

EL DISPLAY DEVICE

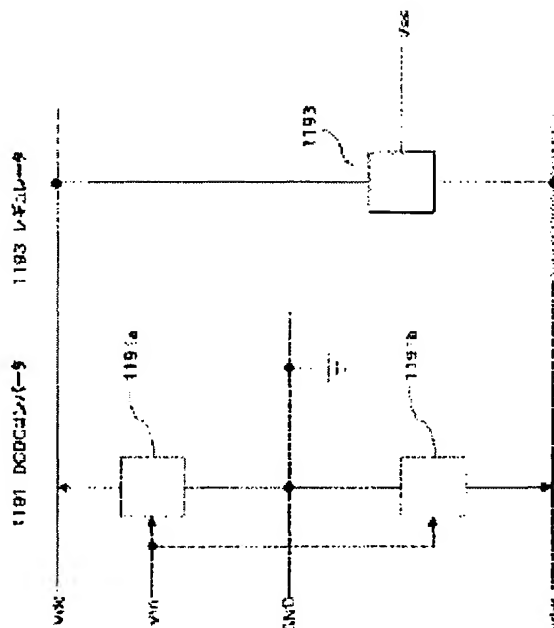
Patent number: JP2005122076
Publication date: 2005-05-12
Inventor: TAKAHARA HIROSHI
Applicant: TOSHIBA MATSUSHITA DISPLAY TEC
Classification:
 - international: **G09G3/20; G09G3/30; H05B33/14; G09G3/20; G09G3/30; H05B33/14; (IPC1-7): G09G3/30; G09G3/20; H05B33/14**
 - european:
Application number: JP20030360035 20031020
Priority number(s): JP20030360035 20031020

Report a data error here

Abstract of JP2005122076

PROBLEM TO BE SOLVED: To solve the problem wherein in an organic EL element, display unevenness occurs, when there is variation in the characteristics of transistors, since light is emitted by electric current.
SOLUTION: An anode voltage V_{dd} is generated from a voltage V_{in} of a battery by a DCDC converter 1191a. Also, a reference voltage V_{dw} is generated by a DCDC converter 1191b by using the voltage V_{in} . A cathode voltage V_{ss} is generated from the anode voltage V_{dd} and the reference voltage V_{dw} by a regulator 1193. The P channel transistors, formed in a matrix form of an EL display panel, operate on the basis of the anode voltage V_{dd} . When the current made to flow into the EL display panel is large, the anode voltage V_{dd} is set high. When the anode voltage V_{dd} is changed, the cathode voltage V_{ss} is also shifted to make it link with the anode voltage V_{dd} .

COPYRIGHT: (C)2005,JPO&NCIPI



Family list

1 family member for:

JP2005122076

Derived from 1 application.

1 EL DISPLAY DEVICE

Publication info: JP2005122076 A - 2005-05-12

© 2006/04/19 10:40:00 JST

Data supplied from the **esp@cenet** database - Worldwide

(51) Int. Cl. ⁷

F I

テーマコード(参考)

G 0 9 G 3/30

G 0 9 G 3/30

J

3 K 0 0 7

G 0 9 G 3/20

G 0 9 G 3/20

6 1 1 A

5 C 0 8 0

H 0 5 B 33/14

G 0 9 G 3/20

6 1 1 H

G 0 9 G 3/20

6 2 4 B

G 0 9 G 3/20

6 4 1 D

審査請求 未請求 請求項の数1 O L (全221頁) 最終頁に続く

(21) 出願番号 特願2003-360035 (P2003-360035)

(22) 出願日 平成15年10月20日 (2003.10.20)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100092794

弁理士 松田 正道

(72) 発明者 高原 博司

東京都港区港南四丁目1番8号 東芝松下
ディスプレイテクノロジー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 DD26 DD27

EE28 FF11 JJ02 JJ03 JJ04

JJ05 JJ06

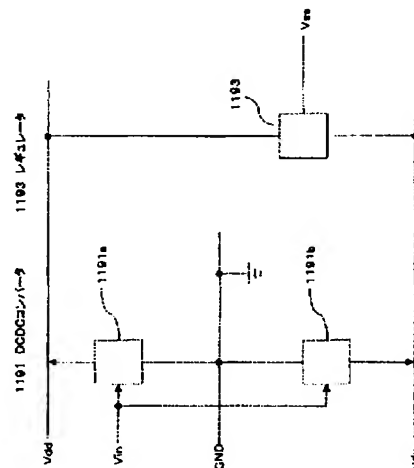
(54) 【発明の名称】 E L 表示装置

(57) 【要約】

【課題】有機EL素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

【解決手段】アノード電圧V_{dd}は、バッテリー電池の電圧V_{in}からDCDCコンバータ1191aにより発生する。また、基準電圧V_{dsw}も電圧V_{in}を用いてDCDCコンバータ1191bにより発生する。カソード電圧V_{ss}はアノード電圧V_{dd}と基準電圧V_{dsw}からレギュレータ1193のより発生する。EL表示パネルのマトリクス状に形成された画素のPチャンネルトランジスタは、アノード電圧V_{dd}を基準に動作する。EL表示パネルに流れる電流が大きい時は、アノード電圧V_{dd}を高くする。アノード電圧V_{dd}を変化させる時は、カソード電圧V_{ss}も連動させてシフトさせる。

【選択図】 図119



【特許請求の範囲】

【請求項1】

マトリックス状に配置されたEL素子と、

前記EL素子を駆動する駆動用トランジスタと、

表示パネルのアノード電圧とカソード電圧を発生する電源回路と、

前記表示パネルの全EL素子に流れる電流に対応する値を演算または測定する電流モニター回路と、

電圧制御回路とを具備し、

前記電圧制御回路は、前記電流モニター回路の出力により、前記アノード電圧を変化させ、同時に、前記アノード電圧の変化方向に前記カソード電圧も変化させることを特徴とするEL表示装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機または無機エレクトロルミネッセンス（EL）素子を用いたEL表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（IC）に関するものである。また、EL表示パネルなどの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

【背景技術】

【0002】

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。 20

【0003】

電気光学変換物質として有機エレクトロルミネッセンス（EL）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度に変化する。液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機EL表示パネルは各画素に発光素子を有する自発光型である。そのため、有機EL表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。 30

【0004】

有機EL表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

【0005】

有機EL表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を、画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。 40

【0006】

アクティブマトリクス方式の有機EL表示パネルは、たとえば特許文献1に開示されている。この表示パネルの一画素分の等価回路を図2に示す。画素16は発光素子であるEL素子15、第1のトランジスタ（駆動用トランジスタ）11a、第2のトランジスタ（スイッチング用トランジスタ）11bおよび蓄積容量（コンデンサ）19からなる。発光素子15は有機エレクトロルミネッセンス（EL）素子である。本明細書では、EL素子15に電流を供給（制御）するトランジスタ11aを駆動用トランジスタ11と呼ぶ。ま 50

た、図2のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

【0007】

有機EL素子15は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。図1、図2などでは発光素子15としてダイオードの記号を用いている。

【0008】

本発明における発光素子15はOLEDに限るものではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機EL素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子15は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。

【0009】

図2の例では、Pチャンネル型のトランジスタ11aのソース端子（S）をアノードV_{dd}とし、EL素子15のカソード（陰極）は接地電位（V_{ss}）に接続される。Nチャンネル型のトランジスタ11aのゲート端子（G）はトランジスタ11bの一端に接続され、ソース端子（S）はEL素子15に接続され、ドレイン端子（D）はカソード電極に接続されている。

【0010】

画素16を動作させるために、まず、ゲート信号線17を選択状態とし、ソース信号線18に輝度情報を表す電圧の映像信号を印加する。トランジスタ11aが導通し、映像信号が蓄積容量19に充電される。ゲート信号線17を非選択状態とすると、トランジスタ11aがオフになり、トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート端子電位は蓄積容量（コンデンサ）19によって安定に保持される。トランジスタ11aを介して発光素子15に流れる電流は、トランジスタ11aのゲート／ドレイン端子間電圧V_{gd}に応じた値となり、発光素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

【特許文献1】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

【0012】

有機EL表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機EL素子は、電流により発光するため、トランジスタの特性バラツキがあると、表示ムラが発生するという課題があった。

【0013】

図2に図示する画素構成では、電圧の映像信号をトランジスタ11aで電流信号に変換する。したがって、トランジスタ11aに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ11aは50%以上の特性バラツキが発生している。したがって、図2の構成では表示ムラが発生してしまう。

【0014】

表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。そして、電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発

10

20

30

40

50

生し、良好な画像表示ができないという課題があった。

【課題を解決するための手段】

【0015】

この目的を達成するために本発明のEL表示パネル（EL表示装置）のドライバ回路は、主として単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、duty比制御、基準電流を操作あるいは制御することにより、画素16に流れる電流を制御（調整）する。

【発明の効果】

【0016】

本発明のソースドライバ回路は、基準電流源を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、EL素子に流れる電流バラツキが発生しないように駆動する。したがって、しきい値のずれによる出力電流のばらつきが小さく、EL表示パネルの表示むらの発生を抑制することが可能となる。また、ダイナミックレンジが広い画像表示を実現でき、実用的効果は大きい。また、プリチャージ制御、duty比制御、基準電流制御などそれぞれ特徴ある効果を発揮する。

【0017】

また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0018】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。

【発明を実施するための最良の形態】

【0019】

本明細書において、各図面は、理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図4に図示する表示パネルの断面図では薄膜封止膜41などを十分厚く図示している。一方、図3において、封止フタ40は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム（38、39）が必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0020】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図3、図4の本発明の表示パネルにタッチパネルなどを付加し、図154から図157に図示する情報表示装置とすることができる。また、たとえば一例として図19、図21、図22、図24、図27、図32、図39、図40、図85、図89、図93、図98、図108、図116、図117、図128、図149、図163などで説明した本発明の駆動方法あるいは装置（回路）は、いずれの本発明の表示装置または表示パネルにも適用することができる。

【0021】

なお、本明細書では、駆動用トランジスタ11、スイッチング用トランジスタ11は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ素子11、ゲートドライバ回路12、ソースドライバ回路14などは、

これらのいずれでも使用することができる。図3、図4などにおいて、基板30はシリコンウエハで形成すればよい。

【0022】

以下、本発明のEL表示パネルについて図面を参照しながら説明をする。有機EL表示パネルは、図3に示すように、画素電極としての透明電極35が形成されたガラス板30（アレイ基板30）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）29、及び金属電極（反射膜）（カソード）36が積層されたものである。透明電極（画素電極）35である陽極（アノード）にプラス、金属電極（反射電極）36の陰極（カソード）にマイナスの電圧を加え、透明電極35及び金属電極36間に直流を印加することにより、有機機能層（EL膜）29が発光する。

10

【0023】

金属電極36には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極35には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極35に対しても同様である。

【0024】

なお、封止フタ40とアレイ基板30との空間には乾燥剤37を配置する。これは、有機EL膜29は湿度に弱いためである。乾燥剤37によりシール剤を浸透する水分を吸収し有機EL膜29の劣化を防止する。

20

【0025】

封止フタ40とアレイ基板30間に、薄型のスピーカを配置または形成してもよい。スピーカはモバイル機器などで使用している薄膜型のものを使用する。封止フタ40の凹部には空間があるため、この空間にスピーカを配置することにより、空間を有効利用できる。また、空間内でスピーカが振動するため、パネルの表面から音響を発生するように構成できる。スピーカは乾燥剤37と同時に固定するか、乾燥剤37以外の箇所に封止フタ40に貼り付けて固定する。その他、封止フタ40に直接にスピーカを形成する構成でもよい。また、封止フタ40の空間あるいは封止フタ40の面などに温度センサを形成または配置し、この温度センサの出力結果により、以降に説明するduty比制御、基準電流比制御、点灯率制御などを実施してもよい。

30

【0026】

スピーカからの端子配線はアルミニウムの蒸着膜で形成し、封止フタ40外部に引き出し電源あるいは信号源に接続する。なお、スピーカの代りに薄型のマイクを配置または形成してもよい。また、圧電振動子をスピーカとして用いてもよい。なお、スピーカ、マイクなどの駆動回路はポリシリコン技術を用いてアレイ30に直接形成あるいは配置してもよいことは言うまでもない。

【0027】

なお、スピーカあるいはマイクなどの表面は無機材料あるいは有機材料もしくは金属材料の1種類あるいは複数種類からなる薄膜を蒸着あるいは塗布し、封止することによりスピーカなどから発生するガスなどによる有機EL膜などの劣化を抑制する。

40

【0028】

EL表示パネル（EL表示装置）の課題として、パネル内部で発生するハレーションを原因とするコントラスト低下がある。これは、EL素子15（EL膜29）から発生した光がパネル内部に閉じ込められ乱反射するために発生する。

【0029】

この課題を解決するために、本発明のEL表示パネルでは、画像表示に非有効な表示領域（無効領域）に光吸収膜（光吸収手段）を形成または配置している。光吸収膜を形成することにより、画素16から発生した光が基板30などで乱反射することにより発生するハレーションによる表示コントラスト低下を抑制することができる。

50

【0030】

なお、無効領域とは、基板30あるいは封止フタ40の側面が例示される。また、基板30かつ表示領域以外（たとえば、ゲートドライバ回路12、ソースドライバ回路14が形成された領域およびその近傍など）、フタ40の全面（下取り出しの場合）などが例示される。

【0031】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたPrMnO₃膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【0032】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。

【0033】

また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

【0034】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【0035】

以上の事項は、図4などの構成にも適用することができることは言うまでもない。

【0036】

図3の本発明の有機EL表示パネルは、ガラスのフタ40を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図4に図示するようにフィルム41（薄膜でもよい。つまり、薄膜封止膜41である）を用いた封止構造であってもよい。

【0037】

封止フィルム（薄膜封止膜）41としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜41として用いる。また、DLC（ダイヤモンドライクカーボン）膜などを電極36の表面に直接蒸着する構成もよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【0038】

薄膜41の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）にして計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0039】

なお、薄膜41あるいは封止構造を形成する膜の厚みは、上記干渉領域の膜厚には限定

されない。5～10 μm 以上あるいは、100 μm 以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜41などが透過性を有する場合は、図4のA側が光出射側となり、不透過性あるいは光反射性の機能あるいは構成を有する場合は、B側が光出射側となる。

【0040】

もちろん、A側とB側からの両方から光が出射されるように構成してもよい。この構成を採用する場合は、A側からEL表示パネルの画像を見る場合と、B側からEL表示パネルの画像を見る場合とでは画像が左右反転する。したがって、A側からEL表示パネルの画像を見る場合と、B側からEL表示パネルの画像を見る場合では、手動あるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の1画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

10

【0041】

図4のように封止フタ40を用いず、封止膜41で封止する構成を薄膜封止と呼ぶ。基板30側から光を取り出す「下取り出し（図3を参照のこと。光取り出し方向は図3のB矢印方向である）」の場合の薄膜封止41は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は1 μm 以上10 μm 以下の厚みが適する。さらに好ましくは、膜厚は2 μm 以上6 μm 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。

20

【0042】

緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜41は前述したように、DLC（ダイヤモンドライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【0043】

有機EL膜29側から光を取り出す「上取り出し（図4を参照のこと。光取り出し方向は図4のA矢印方向である）」の場合の薄膜封止は、有機EL膜29を形成後、有機EL膜29上にカソード（もしくはアノード）となるAg-Mg膜を20オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次に、好ましくはこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜41を形成する。

30

【0044】

図3などにおいて、有機EL膜29から発生した光の半分は、反射膜（カソード電極）36で反射され、アレイ基板30と透過して出射される。しかし、反射膜（カソード電極）36は外光を反射し、写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板30にλ/4板（位相フィルム）38および偏光板（偏光フィルム）39を配置している。偏光板39と位相フィルム38を一体したものは円偏光板（円偏光シート）と呼ばれる。

【0045】

なお、画素が反射電極の場合はEL膜29から発生した光は上方向に出射される（図4のA方向に光が出射）。したがって、位相板38および偏光板39は光出射側に配置することはいうまでもない。

40

【0046】

なお、反射型画素は、画素電極35を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極35の表面に、凸部（もしくは凹凸部）を設けることで有機EL膜29との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード36（アノード35）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減され望ましい。凸部（もしくは凹凸部）は、回折格子にすることで光取り出しに効果がある。回折格子は2次元あるいは3次元構造にする。回折格子のピ

50

ッチは、 $0.2\mu\text{m}$ 以上 $2\mu\text{m}$ 以下にすることが好ましい。この範囲で光効率が良好な結果が得られる。特に回折格子のピッチは、 $0.3\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下にすることが好ましい。また、回折格子の形状は、サインカーブ状にすることが好ましい。

【0047】

図1などにおいて、トランジスタ11はLDD (lightly doped drain) 構造を採用することが好ましい。

【0048】

EL表示パネルは、R、G、Bで発光効率が異なる場合が多い。そのため、駆動用トランジスタ11aが流す電流がR、G、Bで異なる。たとえば、図235に図示するように、Bの画素16を駆動する駆動用トランジスタ11aが点線とすると、Gの画素16を駆動する駆動用トランジスタ11aが実線となる。図235の縦軸は、駆動用トランジスタ11aが流す電流 (S-D電流) (μA) つまりプログラム電流 I_w であり、横軸は駆動用トランジスタ11aのゲート端子電圧である。

【0049】

しかし、図235に図示するように、R、G、Bでゲート端子電圧に対するS-D電流の大きさが異なると、電流 (電圧) プログラム精度が低下する (図235では実線の特性の精度がなくなる)。この課題に対して、駆動用トランジスタ11aのチャンネル幅 (W) とチャンネル長 (L) からなるWL比を調整してトランジスタ11aの設計を行い、同一ゲート端子電圧に対し、R、G、Bの駆動用トランジスタ11aが出力するS-D電流の差が2倍以内となるようにすることが好ましい。

【0050】

また、本明細書ではEL素子15として有機EL素子 (OEL、PEL、PLED、OLEDなど多種多様な略称で記述される) を例にあげて説明するが、これに限定するものではなく、無機EL素子にも適用されることは言うまでもない。

【0051】

まず、有機EL表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられることと、1フレーム期間を通じてEL素子に電流を流すことができること、という2つの条件を満足させなければならない。

【0052】

この2つの条件を満足させるため、図2に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタとして機能させている。また、第2のトランジスタ11aはEL素子15に電流を供給するための駆動用トランジスタとして機能させている。

【0053】

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

【0054】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450 度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが $\pm 0.2\text{V} \sim 0.5\text{V}$ の範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

【0055】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が 450 度 (摂氏) 以上の高温ポリシリコン技術でも、固相 (CGS) 成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。また、アモルファスシリコントランジスタでも発生する。

【 0 0 5 6 】

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

【 0 0 5 7 】

したがって、図 2 のように、電圧を書き込むことにより階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどでは、このバラツキを所定範囲以内の抑えるというスベックを満足できない。

【 0 0 5 8 】

10

本発明の E L 表示装置の画素構造は、具体的には図 1 などに示すように、1つの画素が最低4つからなる複数のトランジスタ 1 1 ならびに E L 素子 1 5 により形成される。画素電極 3 5 は、ソース信号線 1 8 と重なるように構成する。つまり、ソース信号線 1 8 上に絶縁膜あるいはアクリル材料からなる平坦化膜 3 2 を形成して絶縁し、平坦化膜 3 2 上に画素電極 3 5 を形成する。このようにソース信号線 1 8 上の少なくとも一部に画素電極 3 5 を重ねる構成をハイアパーチャ (H A) 構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。平坦化膜 3 2 は層間絶縁膜としても機能する。平坦化膜 3 2 は、 $0.4 \mu\text{m}$ 以上 $2.0 \mu\text{m}$ 以下の膜厚に構成あるいは形成する。平坦化膜 3 2 の膜厚が $0.4 \mu\text{m}$ 以下であれば、層間絶縁が不良になりやすい (歩留まり低下)。 $2.0 \mu\text{m}$ 以上であればコンタクト接続部 3 4 の形成が困難になり、コンタクト不良が発生しやすい (20 歩留まり低下) 。

【 0 0 5 9 】

アクティブマトリックスを構成するトランジスタ 1 1 は、p-チャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ 1 1 b がデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ 1 1 b は、トランジスタ 1 1 a のソースドレイン間のスイッチとして作用するため、できるだけ ON/OFF 比の高い特性が要求される。トランジスタ 1 1 b のゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることにより ON/OFF 比の高い特性を実現できる。

【 0 0 6 0 】

画素 1 6 のトランジスタ 1 1 を構成する半導体膜は、低温ポリシリコン技術において、 30 レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ 1 1 特性のバラツキとなる。しかし、1画素 1 6 内のトランジスタ 1 1 の特性が一致していれば、電流プログラムを行う方式では、所定の電流が E L 素子 1 5 に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【 0 0 6 1 】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相 (C G S) 成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。 40

【 0 0 6 2 】

この課題に対して、本発明ではアニールの時のレーザー照射スポット (レーザー照射範囲) をソース信号線 1 8 に平行に照射する。また、1画素列に一致するようにレーザー照射スポットを移動させる。もちろん、1画素列に限定するものではなく、たとえば、R G B 画素を1画素という単位でレーザーを照射してもよい (この場合は、3画素列ということになる)。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない (通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である)。

【 0 0 6 3 】

画素は R G B の 3 画素で正方形の形状となるように作製されている。したがって、R、 50

G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポットを縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。

【0064】

また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

【0065】

図1に図示する本発明のEL表示パネルの画素構成などについて説明をする。ゲート信号線（第1の走査線）17aをアクティブ（ON電圧を印加）とする。同時に、駆動用のトランジスタ11aには、スイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値 I_w をソースドライバ回路14から流す。また、駆動用トランジスタ11aのゲート端子（G）とドレイン端子（D）間を短絡するようにトランジスタ11bが動作する。同時に、トランジスタ11aのゲート端子（G）とソース端子（S）間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19にトランジスタ11aのゲート電圧（あるいはドレイン電圧）を記憶する（図5（a）を参照のこと）。

【0066】

なお、コンデンサ（蓄積容量）19の大きさは、 0.2 pF 以上 2 pF 以下とすることがよく、中でもコンデンサ（蓄積容量）19の大きさは、 0.4 pF 以上 1.2 pF 以下とすることがよい。好ましくは、画素サイズを考慮してコンデンサ19の容量を決定する。1画素に必要な容量を C_s （ pF ）とし、1画素が占める面積を S_p とする。なお、 S_p とは開口率ではない。各RGBの1つの画素が占める面積である。たとえば、R画素が $200\text{ }\mu\text{m} \times 67\text{ }\mu\text{m}$ であれば、 $S_p = 13400$ 平方 μm である。

【0067】

S_p （平方 μm ）とすれば、 $1500/S_p \leq C_s \leq 30000/S_p$ とし、さらに好ましくは、 $3000/S_p \leq C_s \leq 15000/S_p$ となるようにする。なお、トランジスタ11のゲート容量は小さいので、ここでいう Q とは、蓄積容量（コンデンサ）19単独の容量である。 C_s が $1500/S_p$ よりも小さいと、ゲート信号線17の突き抜け電圧の影響が大きくなり、また、電圧の保持特性が低下し、輝度傾斜などが発生する。また、TFTの補償性能が低下する。 C_s が $30000/S_p$ よりも大きいと、画素16の開口率が低下する。そのため、EL素子15の電界密度が高くなり、EL素子15の寿命が低下するなど悪影響が発生する。また、コンデンサ容量により、電流プログラムの書込み時間が長くなり、低階調領域で書込み不足が発生する。

【0068】

本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値の値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【0069】

また、蓄積容量19の容量値を C_s 、第2のトランジスタ11bのオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

【0070】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

【0071】

$$6 < C s / I_{\text{e}} < 18$$

トランジスタ 11 b のオフ電流を 5 pA 以下とすることにより、EL を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド間保持できないためである。したがって、コンデンサ 19 の蓄積容量が大きければオフ電流の許容量も大きくなる。上記の式を満たすことによって、隣接画素間の電流値の変動を 2 % 以下に抑えることができる。

【 0 0 7 2 】

以上の蓄積容量 $C s$ に関する事項は、図 1 の画素構成に限定されるものではなく、その他の電流プログラム方式の画素構成にも適用できることは言うまでもない。たとえば、適用される電流プログラム画素構成としては、図 6 から図 13、図 31 から図 36 などが例示される。

【 0 0 7 3 】

EL 素子 15 の発光期間では、ゲート信号線 17 a を非アクティブ（OFF 電圧を印加）に、ゲート信号線 17 b をアクティブとして、電流 $I_w = I_e$ の流れる経路を、EL 素子 15 に接続されたトランジスタ 11 d ならびに前記 EL 素子 15 を含む経路に切り替えて、記憶した電流 I_w を前記 EL 素子 15 に流すように動作させる（図 5（b）を参照のこと）。

【 0 0 7 4 】

図 1 の画素回路は、1 画素内に 4 つのトランジスタ 11 を有している。駆動用トランジスタ 11 a のゲート端子はトランジスタ 11 b のソース端子に接続されている。また、トランジスタ 11 b およびトランジスタ 11 c のゲート端子はゲート信号線 17 a に接続されている。トランジスタ 11 b のドレイン端子はトランジスタ 11 c のソース端子ならびにトランジスタ 11 d のソース端子に接続され、トランジスタ 11 c のドレイン端子はソース信号線 18 に接続されている。トランジスタ 11 d のゲート端子はゲート信号線 17 b に接続され、トランジスタ 11 d のドレイン端子は EL 素子 15 のアノード電極に接続されている。

【 0 0 7 5 】

なお、図 1 ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きく、また劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定するものではなく、N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。たとえば、図 9 から図 13 の画素構成などが例示される。

【 0 0 7 6 】

好ましくは、画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ回路 12 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみのトランジスタで形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まり化を実現できる。

【 0 0 7 7 】

以上の事項は、図 1 の画素構成に限定されるものではなく、その他の電流プログラム方式の画素構成にも適用できることは言うまでもない。たとえば、適用される電流プログラム画素構成としては、図 6 から図 13、図 31 から図 36 などが例示される。

【 0 0 7 8 】

以下、さらに本発明の理解を容易にするために、本発明の EL 素子構成について図 5 を用いて説明する。本発明の EL 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 11 b ならびにトランジスタ 11 c が ON することにより、等価回路として図 5（a）となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ 11 a はゲートとドレインが接続された状態となり、このトランジスタ 11 a とトランジスタ

11cを通じて電流Iwが流れる。したがって、トランジスタ11aのゲートソースの電圧はIwが流れるような電圧となる。

【0079】

第2のタイミングは、トランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は図5(b)となる。トランジスタ11aのソースゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、Iwの電流は一定となる。

【0080】

以上の動作を図示すると、図19のようになる。図19(a)の191は、表示画面144における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。画素(行)191は、図5(b)に図示するように非点灯(非表示画素(行))とする。

【0081】

図1の画素構成の場合は、図5(a)に示すように、電流プログラム時は、プログラム電流Iwがソース信号線18に流れる。この電流Iwが駆動用トランジスタ11aを流れ、プログラム電流Iwを流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【0082】

次に、EL素子15に電流を流す期間は図5(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(Vgh)が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(Vgl)が印加され、トランジスタ11dがオンする。

【0083】

このタイミングチャートを図21に図示する。図21などにおいて、括弧内の添え字(たとえば、(1)など)は画素行の番号を示している。つまり、ゲート信号線17a(1)とは、画素行(1)のゲート信号線17aを示している。また、図4の上段の*H(「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す)とは、水平走査期間を示している。つまり、1Hとは第1番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定(1Hの番号、1H周期、画素行番号の順番など)するものではない。

【0084】

図21でわかるように、各選択された画素行(選択期間は、1Hとしている)において、ゲート信号線17aにオン電圧が印加されている時には、ゲート信号線17bにはオフ電圧が印加されている。また、この期間は、EL素子15には電流が流れていない(非点灯状態)。そして、選択されていない画素行において、ゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにはオン電圧が印加されている。

【0085】

なお、トランジスタ11aのゲートとトランジスタ11cのゲートは同一のゲート信号線11aに接続している。しかし、トランジスタ11aのゲートとトランジスタ11cのゲートとを異なるゲート信号線11に接続してもよい(図6を参照のこと)。図6において、1画素のゲート信号線は3本となる(図1の構成は2本である)。

【0086】

図6の画素構成では、トランジスタ11bのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aのばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

【0087】

図6の画素構成において、画素16に電流プログラムを行う際は、ゲート信号線17a1、17a2を同時に選択し、トランジスタ11b、11cをオンさせる。なお、電流プログラムを実施している画素16のゲート信号線17bにはオフ電圧を印加し、トランジ

スタ 11 d をオフさせておく。

【 0 0 8 8 】

選択した画素行における電流プログラム期間（通常、1 水平走査期間）を完了する時は、まず、ゲート信号線 17 a 1 にオフ電圧（V g h）を印加して、トランジスタ 11 b をオフする。この時は、ゲート信号線 17 a 2 はオン電圧（V g l）が印加されており、トランジスタ 11 c はオン状態である。次に、ゲート信号線 17 a 2 にオフ電圧を印加し、トランジスタ 11 c をオフさせる。以上のように、トランジスタ 11 b、11 c の両方がオン状態から、トランジスタ 11 b、11 c をオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ 11 b をオフにし、駆動用トランジスタ 11 a のゲート端子（G）とドレイン端子（D）間をオープンにする（ゲート信号線 17 a 1 にオフ電圧（V g h）を印加する）。次に、トランジスタ 11 c をオフにして、ソース信号線 18 と駆動用トランジスタ 11 a のドレイン端子（D）を切り離す（ゲート信号線 17 a 2 にもオフ電圧（V g h）を印加する）。

【 0 0 8 9 】

ゲート信号線 17 a 1 にオフ電圧を印加してから、ゲート信号線 17 a 2 にオフ電圧を印加するまでの期間 T_w は、 $0.1 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下の期間とすることが好ましい。 $0.1 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下の期間とすることが好ましい。もしくは、1 H の期間を T_h とした時、 T_w は、 $T_h / 500$ 以上 $T_h / 10$ 以下とすることが好ましい。特に、 T_w は、 $T_h / 200$ 以上 $T_h / 50$ 以下とすることが好ましい。

【 0 0 9 0 】

以上の事項は、図 6 の画素構成に限定されるものではない。たとえば、図 12 の画素構成にも適用される。図 12 の画素構成において、画素 16 に電流プログラムを行う際は、ゲート信号線 17 a 1、17 a 2 を同時に選択し、トランジスタ 11 d、11 c をオンさせる。なお、電流プログラムを実施している画素 16 のゲート信号線 17 b にはオフ電圧を印加し、トランジスタ 11 e をオフさせておく。

【 0 0 9 1 】

選択した画素行における電流プログラム期間（通常、1 水平走査期間）を完了する時は、まず、ゲート信号線 17 a 1 にオフ電圧（V g h）を印加して、トランジスタ 11 d をオフする。この時は、ゲート信号線 17 a 2 はオン電圧（V g l）が印加されており、トランジスタ 11 c はオン状態である。次に、ゲート信号線 17 a 2 にオフ電圧を印加し、トランジスタ 11 c をオフさせる。以上のように、トランジスタ 11 d、11 c の両方がオン状態から、トランジスタ 11 d、11 c をオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ 11 d をオフにし、トランジスタ 11 a のゲート端子（G）とドレイン端子（D）間をオープンにする（ゲート信号線 17 a 1 にオフ電圧（V g h）を印加する）。次に、トランジスタ 11 c をオフにして、ソース信号線 18 とトランジスタ 11 a のドレイン端子（D）を切り離す（ゲート信号線 17 a 2 にもオフ電圧（V g h）を印加する）。

【 0 0 9 2 】

図 12 でも図 6 と同様に、ゲート信号線 17 a 1 にオフ電圧を印加してから、ゲート信号線 17 a 2 にオフ電圧を印加するまでの期間 T_w は、 $0.1 \mu\text{sec}$ 以上 $10 \mu\text{sec}$ 以下の期間とすることが好ましい。もしくは、1 H の期間を T_h とした時、 T_w は、 $T_h / 500$ 以上 $T_h / 10$ 以下とすることが好ましい。特に、 T_w は、 $T_h / 200$ 以上 $T_h / 50$ 以下とすることが好ましい。

【 0 0 9 3 】

以上の事項は、図 10 などの画素構成にあっても適用できることは言うまでもない。また、図 12 では駆動用トランジスタ 11 b と EL 素子 15 間にスイッチング用トランジスタ 11 e を配置しているが、図 13 に図示するように、スイッチング用トランジスタ 11 e を省略してもよいことは言うまでもない。

【 0 0 9 4 】

なお、本発明の画素構成は、図 1、図 2 の構成に限定されるものではない。たとえば、

図 7 のように構成してもよい。図 7 は、図 1 の構成に比較してスイッチング用トランジスタ 11 d が不在。替わりに切り替えスイッチ 71 が形成または配置されている。図 1 のスイッチング用トランジスタ 11 d は、駆動用トランジスタ 11 a から EL 素子 15 に流れる電流をオンオフ（流す／流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明では、このトランジスタ 11 d のオンオフ制御機能が重要な構成要素である。トランジスタ 11 d を形成せず、オンオフ機能を実現するのが、図 7 の構成である。

【 0 0 9 5 】

図 7 において、切り替えスイッチ 71 の a 端子は、アノード電圧 V_{dd} に接続されている。なお、a 端子に印加する電圧は、アノード電圧 V_{dd} に限定されるものではなく、EL 素子 15 に流れる電流をオフできる電圧であればよい。

10

【 0 0 9 6 】

切り替えスイッチ 71 の b 端子は、カソード電圧（図 7 ではグランドと図示している）に接続されている。なお、b 端子に印加する電圧はカソード電圧に限定されるものではなく、EL 素子 15 に流れる電流をオンできる電圧であればいずれでもよい。

【 0 0 9 7 】

切り替えスイッチ 71 の c 端子には EL 素子 15 のカソード端子が接続されている。なお、切り替えスイッチ 71 は EL 素子 15 に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図 7 の形成位置に限定されるものではなく、EL 素子 15 の電流が流れる経路であればいずれでもよい。また、スイッチの機能に限定されるものでもなく、EL 素子 15 に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、EL 素子 15 の電流経路に EL 素子 15 に流す電流をオンオフできるスイッチング手段を具備すれば、いずれの画素構成でもよい。

20

【 0 0 9 8 】

本明細書において、オフとは完全に電流が流れない状態を意味するものではない。EL 素子 15 に流れる電流を通常よりも低減できるものであればよい。以上の事項は、本発明の他の構成においても同様である。つまり、トランジスタ 11 d は EL 素子 15 が発光するリーク電流を流しても良い。

【 0 0 9 9 】

切り替えスイッチ 71 は、P チャンネルと N チャンネルのトランジスタを組み合わせることにより容易に実現できるので説明は必要ないであろう。もちろん、スイッチ 71 は EL 素子 15 に流れる電流をオンオフするだけであるから、P チャンネルトランジスタあるいは N チャンネルトランジスタでも形成することができることは言うまでもない。

30

【 0 1 0 0 】

スイッチ 71 が a 端子に接続されている時は、EL 素子 15 のカソード端子にアノード電圧 V_{dd} が印加される。したがって、駆動用トランジスタ 11 a のゲート端子 G がいずれの電圧保持状態であっても EL 素子 15 には電流が流れない。したがって、EL 素子 15 は非点灯状態となる。もちろん、駆動用トランジスタ 11 a のソース端子（S）ー ドレイン端子（D）間の電圧が、カットオフあるいはその近傍にすることができるよう、切り換え回路 71 の a 端子の電圧を設定すればよい。

【 0 1 0 1 】

スイッチ 71 が b 端子に接続されている時は、EL 素子 15 のカソード端子にカソード電圧 V_{ss} が印加される。したがって、駆動用トランジスタ 11 a のゲート端子 G に保持された電圧状態に応じて EL 素子 15 に電流が流れる。したがって、EL 素子 15 は点灯状態となる。

40

【 0 1 0 2 】

以上のことより、図 7 の画素構成では、駆動用トランジスタ 11 a と EL 素子 15 間にはスイッチング用トランジスタ 11 d が形成されていない。しかし、スイッチ 71 を制御することにより EL 素子 15 の点灯制御を行うことができる。

【 0 1 0 3 】

なお、スイッチング用トランジスタ 11 などはホトトランジスタであってもよい。たと

50

例えば、外光の強弱によりホトトランジスタ 11 をオンオフさせ、E L 素子 15 に流れる電流を制御することにより、表示パネルの輝度を変化させることができる。

【 0 1 0 4 】

図 1、図 2、図 6、図 11、図 12 などの画素構成では、駆動用トランジスタ 11 a もしくは 11 b は 1 画素につき 1 個である。本発明はこれに限定するものではなく、駆動用トランジスタ 11 a は 1 画素に複数個を形成または配置してもよい。

【 0 1 0 5 】

図 8 は、1 画素 16 に複数個の駆動用トランジスタ 11 a が形成または構成された実施例である。図 8 では 1 画素に 2 個の駆動用トランジスタ素子 11 a 1、11 a 2 が形成され、2 個の駆動用トランジスタ 11 a 1、11 a 2 のゲート端子は共通のコンデンサ 19 に接続されている。駆動用トランジスタ 11 a を複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図 1 などと同様であるので説明を省略する。なお、図 8 において、駆動用トランジスタ 11 a は 3 個以上で構成（形成）してもよいことは言うまでもない。また、複数の駆動用トランジスタ 11 a は N チャンネルと P チャンネルの両方を用いて構成（形成）してもよい。

10

【 0 1 0 6 】

図 1、図 2 は駆動用トランジスタ 11 a が出力する電流を E L 素子 15 に流し、その電流を駆動用トランジスタ 11 a と E L 素子 15 間に配置されたスイッチング素子 11 d でオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図 9 の構成が例示される。

20

【 0 1 0 7 】

図 9 の実施例では、E L 素子 15 に流す電流が駆動用トランジスタ 11 a で制御される。E L 素子 15 に流れる電流をオンオフさせるのは、V d d 端子と E L 素子 15 間に配置されたスイッチング素子 11 d で制御される。したがって、本発明はスイッチング素子 11 d の配置はどこでもよく、E L 素子 15 に流れる電流を制御できるものであればいずれでもよい。動作などは図 1 などと同様あるいは類似であるので説明を省略する。

【 0 1 0 8 】

また、図 10 の画素構成において、すべてのトランジスタは N チャンネルで構成されている。しかし、本発明は E L 素子構成を N チャンネルで構成することのみに限定するものではない。N チャンネルと P チャンネルの両方を用いて構成してもよい。

30

【 0 1 0 9 】

図 10 の画素構成は、2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。第 1 のタイミングではゲート信号線 17 a 1、17 a 2 にオン電圧（V g h）が印加されることにより、トランジスタ 11 b ならびにトランジスタ 11 c が O N する。また、ゲート信号線 17 b にオフ電圧（V g l）が印加され、トランジスタ 11 d が O F F する。したがって、ソース信号線 18 より所定の電流 I w が書き込まれる。これによりトランジスタ 11 a はゲートとドレインが短絡された状態となり、駆動用トランジスタ 11 a はトランジスタ 11 c を通じてプログラム電流が流れる。

【 0 1 1 0 】

選択した画素行における電流プログラム期間（通常、1 水平走査期間）を完了する時は、まず、ゲート信号線 17 a 1 にオフ電圧（V g h）を印加して、トランジスタ 11 b をオフする。この時は、ゲート信号線 17 a 2 はオン電圧（V g l）が印加されており、トランジスタ 11 c はオン状態である。次に、ゲート信号線 17 a 2 にオフ電圧を印加し、トランジスタ 11 c をオフさせる。以上のように、トランジスタ 11 b、11 c の両方がオン状態から、トランジスタ 11 b、11 c をオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ 11 b をオフにし、トランジスタ 11 a のゲート端子（G）とドレイン端子（D）間をオープンにする（ゲート信号線 17 a 1 にオフ電圧（V g h）を印加する）。次に、トランジスタ 11 c をオフにして、ソース信号線 18 とトランジスタ 11 a のドレイン端子（D）を切り離す（ゲート信号線 17 a

40

50

2 にもオフ電圧 (V g h) を印加する) 。

【 0 1 1 1 】

第 2 のタイミングはゲート信号線 1 7 a 1 、 1 7 a 2 にオフ電圧が印加され、ゲート信号線 1 7 b にオン電圧が印加される。したがって、トランジスタ 1 1 b とトランジスタ 1 1 c がオフし、トランジスタ 1 1 d がオンする。この場合、トランジスタ 1 1 a は常に飽和領域で動作するため、I w の電流は一定となる。

【 0 1 1 2 】

電流プログラム方式の画素 (図 1 、 図 6 から図 1 3 、 図 3 1 から図 3 6 など) では、駆動用トランジスタ 1 1 a (図 1 1 、 図 1 2 などではトランジスタ 1 1 b) の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、駆動用トランジスタ 1 1 のチャンネル長 L が 5 μ m 以上 1 0 0 μ m 以下とすることが好ましい。さらに好ましくは、駆動用トランジスタ 1 1 のチャンネル長 L が 1 0 μ m 以上 5 0 μ m 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【 0 1 1 3 】

以上のように、本発明は、E L 素子 1 5 に電流が流れこむ経路、または E L 素子 1 5 から電流が流れ出す経路 (つまり、E L 素子 1 5 の電流経路である) に、E L 素子 1 5 に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

【 0 1 1 4 】

電流プログラム方式の 1 つであるカレントミラー方式であっても、図 1 1 に図示するように、駆動用トランジスタ 1 1 b と E L 素子 1 5 間にスイッチング素子としてのトランジスタ 1 1 e を形成または配置することにより E L 素子 1 5 に流れる電流をオンオフすることができる (制御することができる) 。もちろん、トランジスタ 1 1 e は、図 7 の切り換え回路 7 1 に置き換えても良い。

【 0 1 1 5 】

図 1 1 のスイッチング用トランジスタ 1 1 d 、 1 1 c は 1 本のゲート信号線 1 7 a に接続されているが、図 1 2 に図示するように、トランジスタ 1 1 c はゲート信号線 1 7 a 2 で制御し、トランジスタ 1 1 d はゲート信号線 1 7 a 1 で制御するように構成してもよい。先にも説明したように、図 1 2 の画素構成の方が、画素 1 6 の制御の汎用性が高くなり、駆動用トランジスタ 1 1 b の特性補償性能も向上する。

【 0 1 1 6 】

次に、本発明の E L 表示パネルあるいは E L 表示装置について説明をする。図 1 4 は E L 表示装置の回路を中心とした説明図である。画素 1 6 はマトリックス状に配置または形成されている。各画素 1 6 には各画素の電流プログラムを行うプログラム電流を出力するソースドライバ回路 1 4 が接続されている。ソースドライバ回路 1 4 の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている (後に説明する) 。たとえば、6 4 階調であれば、6 3 個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 1 8 に印加できるように構成されている (図 1 5 を参照のこと) 。

【 0 1 1 7 】

なお、単位トランジスタ 1 5 4 の最小出力電流は 5 n A 以上 1 0 0 n A 以下にしている。特に単位トランジスタ 1 5 4 の最小出力電流は 1 5 n A 以上 5 0 n A 以下にすることがよい。ドライバ I C 1 4 内の単位トランジスタ群 4 3 1 c を構成する単位トランジスタ 1 5 4 の精度を確保するためである。

【 0 1 1 8 】

また、ソース信号線 1 8 の電荷を強制的に放出または充電するプリチャージ回路を内蔵する (図 1 6 などを参照のこと) 。ソース信号線 1 8 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧 (電流) 出力値は、R、G、B で独立に設定できるように構成することが好ましい。E L 素子 1 5 の閾値が R G B で異なるから

である。

【 0 1 1 9 】

なお、プリチャージによる電圧は、駆動用トランジスタ 1 1 a のゲート (G) 端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ 1 1 a をオフ状態にすることによりプログラム電流 I_w が 0 になる状態を発生させ、EL 素子 1 5 に電流が流れないようにする。ソース信号線 1 8 の電荷の充放電は副次的なものである。

【 0 1 2 0 】

本発明において、ソースドライバ回路 1 4 は半導体シリコンチップで形成し、ガラスオンチップ (C O G) 技術で基板 3 0 のソース信号線 1 8 の端子と接続されている。一方、ゲートドライバ回路 1 2 は、低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路 1 4 に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、表示パネルの狭額縁化を実現できる。もちろん、ゲートドライバ回路 1 2 をシリコンチップで形成し、C O G 技術などを用いて基板 3 0 上に実装してもよいことは言うまでもない。また、ドライバ 1 2 、 1 4 を C O F あるいは T A B 技術で実装してもよい。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成 (有機トランジスタ) してもよい。

【 0 1 2 1 】

ゲートドライバ回路 1 2 はゲート信号線 1 7 a 用のシフトレジスタ回路 1 4 1 a と、ゲート信号線 1 7 b 用のシフトレジスタ回路 1 4 1 b とを内蔵する。なお、説明を容易にするため、画素構成は図 1 を例にあげて説明をする。また、図 6 、 図 1 2 のようにゲート信号線 1 7 a がゲート信号線 1 7 a 1 と 1 7 a 2 で構成される場合は、それぞれ独立にシフトレジスタ回路 1 4 1 を形成するか、1 つのシフトレジスタ回路 1 4 1 の出力信号からロジック回路でゲート信号線 1 7 a 1 、 1 7 a 2 の制御信号を発生させる。

【 0 1 2 2 】

各シフトレジスタ回路 1 4 1 は正相と負相のクロック信号 (C L K x P 、 C L K x N) 、スタートパルス (S T x) で制御される (図 1 4 を参照のこと) 。その他、ゲート信号線の出力、非出力を制御するイネーブル (E N A B L) 信号、シフト方向を上下逆転するアップダウン (U P D W M) 信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路 1 4 1 にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタ回路 1 4 1 のシフトタイミングはコントロール I C 7 6 0 (後述する) からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路 1 4 1 を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより、信号線数が削減でき、狭額縁化を実現できる。

【 0 1 2 3 】

シフトレジスタ回路 1 4 1 のバッファ容量は小さいため、直接にはゲート信号線 1 7 を駆動することができない。そのため、シフトレジスタ回路 1 4 1 の出力とゲート信号線 1 7 を駆動する出力ゲート 1 4 3 間には少なくとも 2 つ以上のインバータ回路 1 4 2 が形成されている。

【 0 1 2 4 】

ソースドライバ回路 1 4 を低温ポリシリなどのポリシリコン技術で基板 3 0 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動するトランスファージェートなどのアナログスイッチのゲートとソースドライバ回路 1 4 のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項 (シフトレジスタの出力と、信号線を駆動する出力段 (出力ゲートあるいはトランスファージェートなどの出力段間に配置されるインバータ回路に関する事項) は、ソースドライブおよびゲートドライバ回路に共通の事項である。

【 0 1 2 5 】

本発明のEL表示パネルにおいて、各画素の色はR、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダなどの3色でもよい。また、Bとイエローなどの2色でもよい。Bとイエロー（Y）を用いれば白黒表示が可能である。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダなどの6色でもよい。R、G、B、シアン、マゼンダなどの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0126】

有機EL表示パネルのカラー化には主に三つの方式がある。そのうち、色変換方式はこのうちの一つである。発光層として青色のみの画素16を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のような歩留まり低下がない。本発明のEL表示パネルは、これらのいずれの方式でもよい。また、インクジェット方式で形成してもよい。

【0127】

RGBなどの3原色で1組の画素を構成する場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。また、R、G、Bを構成する画素16の駆動用トランジスタ11aは、サイズを変化させてもよい。たとえば、最も効率の悪い画素色の駆動用トランジスタ11aを大きく構成する。

【0128】

EL表示パネルの色温度は、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは、±15%以内となるようにする。たとえば、電流密度が100A/平方メートルとすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

【0129】

有機EL素子15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射すると、ホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0130】

この課題に対処するため、本発明ではゲートドライバ回路12（場合によってはソースドライバ回路14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11のパターンニングが困難になる。

【0131】

ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ回路12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0132】

しかし、ドライバ回路12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作、あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明では、ドライバ回路12などの上に

少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0133】

以下、本発明の駆動方法について説明をする。図1に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは図1のトランジスタ11がPチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時にオン電圧を印加する。

【0134】

ソース信号線18には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線18とゲート信号線17との交差部の容量、トランジスタ11b、トランジスタ11cのチャンネル容量などにより発生する。

【0135】

寄生容量はソース信号線18だけでなく、ソースドライバIC14でも発生する。図17に図示するように、保護ダイオード171が主原因である。保護ダイオード171は、IC14を静電気保護する目的を有するが、コンデンサとなり寄生容量ともなってしまう。一般的な保護ダイオードの容量は3～5pFである。

【0136】

本発明のソースドライバIC（後に詳細に説明をする）では、図17に図示するように、接続端子155と電流出力回路164間にサージ低減抵抗172を形成または配置している。抵抗172はポリシリコンまたは拡散抵抗で形成する。抵抗172の抵抗値は、1KΩ以上1MΩ以下とする。この抵抗172により、外部からの静電気が抑制される。したがって、保護ダイオード171のサイズが小さくともよい。保護ダイオード171が小さければ保護ダイオードによる寄生容量の大きさも小さくなる。

【0137】

なお、図17ではソースドライバIC14内に抵抗172を形成または配置しているように図示しているがこれに限定するものではなく、抵抗172は、アレイ30に形成または配置してもよいことはいうまでもない。また、ダイオード（トランジスタをダイオード構成にしたものを含む）171についても同様である。

【0138】

ダイオード171は、抵抗171としてみなされる。抵抗171aと171bはトリミングにより抵抗値を調整できるように構成することが好ましい。トリミングにより、抵抗値171aと171bの抵抗値を調整でき、ソース信号線18に流れるリーク電流をなくすることができる。トリミング以外で抵抗値などを調整することも可能である。たとえば、抵抗171を拡散抵抗で形成することにより、加熱することにより抵抗値を調整できる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。また、ICチップを全体的にあるいは部分的に加熱することにより、ICチップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を、調整あるいは変化させることができる。また、複数の抵抗171aなどを形成し、1つ以上の抵抗171aとソース信号線18との接続をカットすることにより全体として抵抗値の調整を実現でき、リーク電流などをなくすることができる。以上のトリミング、調整などに関する事項は抵抗172に対しても適用されることは言うまでもない。

【0139】

ソース信号線18の電流値変化に要する時間tは、浮遊容量の大きさをC、ソース信号線の電圧をV、ソース信号線に流れる電流をIとすると、 $t = C \cdot V / I$ である。たとえば、プログラム電流を10倍大きくすれば、電流値変化に要する時間が10分の1に短くできる。したがって、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【0140】

プログラム電流をN倍にするとEL素子15に流れる電流もN倍となる。そのため、EL素子15の輝度もN倍となる。そこで、所定の輝度を得るために、たとえば、図1のト

ランジスタ 17 d の導通期間を $1/N$ にする。

【 0 1 4 1 】

以上のように、ソース信号線 18 の寄生容量の充放電を十分に行い、所定の電流値を画素 16 のトランジスタ 11 a に電流プログラムを行うためには、ソースドライバ回路 14 から比較的大きな電流を出力する必要がある。しかし、 N 倍のプログラム電流をソース信号線 18 に流すとこのプログラム電流値が画素 16 にプログラムされてしまい、所定の電流に対し N 倍の大きな電流が EL 素子 15 に流れる。たとえば、10 倍の電流でプログラムすれば、当然、10 倍の電流が EL 素子 15 に流れ、EL 素子 15 は 10 倍の輝度で発光する。所定の発光輝度にするためには、EL 素子 15 に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電でき 10

【 0 1 4 2 】

なお、10 倍の電流値を画素のトランジスタ 11 a (正確にはコンデンサ 19 の端子電圧を設定している) に書き込み、EL 素子 15 のオン時間を $1/10$ にするとしたが、これは一例である。場合によっては、10 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を $1/5$ にしてもよい。逆に、10 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を $1/2$ 倍にする場合もあるであろう。また、1 倍の電流値を画素のトランジスタ 11 a に書き込み、EL 素子 15 のオン時間を $1/5$ にしてもよい。

【 0 1 4 3 】

本発明は、画素への書き込み電流を所定値以外の値にし、EL 素子 15 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、 N 倍の電流値を画素 16 の駆動用トランジスタ 11 に書き込み、EL 素子 15 のオン時間を $1/N$ 倍にするとして説明する。しかし、これに限定するものではなく、 $N1$ 倍 ($N1$ は 1 以上には限定されない) の電流値を画素 16 の駆動用トランジスタ 11 に書き込み、EL 素子 15 のオン時間を $1/(N2)$ 倍 ($N2$ は 1 以上である。 $N1$ と $N2$ とは異なる) でもよいことは言うまでもない。 20

【 0 1 4 4 】

本発明の駆動方法は、たとえば、白ラスタ表示とし、表示画面 144 の 1 フィールド (フレーム) 期間の平均輝度を $B0$ と仮定した場合、各画素 16 の輝度 $B1$ が平均輝度 $B0$ よりも高くなるように電流プログラムを行う駆動方法である。かつ、少なくとも 1 フィールド (フレーム) 期間において、非表示領域 192 が発生するようにする駆動方法である。したがって、本発明の駆動方法では、1 フィールド (フレーム) 期間の平均輝度は $B1$ よりも低くなる。 30

【 0 1 4 5 】

また、1 フィールド (フレーム) 期間において、通常輝度で電流プログラムを画素 16 に対し実施し、非表示領域 192 が発生するようにする駆動方法である。この方式では、1 フィールド (フレーム) 期間の平均輝度は通常の駆動方法 (従来の駆動方法) よりも低くなる。しかし、動画表示性能を向上できる効果が発揮される。

【 0 1 4 6 】

なお、本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図 26 のような電圧プログラム方式の画素構成にも適用できる。1 フレーム (フィールド) の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線 18 の寄生容量の影響は無視できない。特に大型 EL 表示パネルにおいて、寄生容量が大きいため、本発明の駆動方法を実施することは効果がある。 40

【 0 1 4 7 】

なお、図 23 に図示するように、間欠する間隔 (非表示領域 192 / 表示領域 193) は等間隔に限定するものではない。たとえば、ランダムでもよい (全体として、表示期間もしくは非表示期間が所定値 (一定割合) となればよい)。また、RGB で異なっていて 50

もよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【 0 1 4 8 】

非表示領域 1 9 2 とは、ある時刻において非点灯 E L 素子 1 5 の画素 1 6 領域である。表示領域 1 9 3 とは、ある時刻において点灯 E L 素子 1 5 の画素 1 6 領域である。非表示領域 1 9 2、表示領域 1 9 3 は、水平同期信号に同期して、1 画素行ずつ位置がシフトしていく。

【 0 1 4 9 】

本発明の駆動方法の説明を容易にするため、 $1/N$ とは、 $1F$ （1フィールドまたは1フレーム）を基準にしてこの $1F$ を $1/N$ にするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（ $1H$ ））があるし、また、走査状態によっては誤差も生じることが言うまでもない。もちろん、ゲート信号線 1 7 a からの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。

【 0 1 5 0 】

液晶表示パネルは、 $1F$ （1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【 0 1 5 1 】

有機（無機）E L 表示パネル（表示装置）も $1F$ （1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、C R T のように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の輪郭ぼけは発生しない。

【 0 1 5 2 】

本発明の駆動方法では、 $1F/N$ の期間の間だけ、E L 素子 1 5 に電流を流し、他の期間（ $1F(N-1)/N$ ）は電流を流さない。本発明の駆動方式を実施し、画面の一点を観測した場合を考える。この表示状態では、 $1F$ ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を間欠表示状態でみると、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、C R T に近い動画表示を実現することができる。

【 0 1 5 3 】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示を実施するにあたり、トランジスタ 1 1 d は最大でも $1H$ 周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素 1 6 に保持されている。そのため、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【 0 1 5 4 】

本発明の駆動方法はスイッチングのトランジスタ 1 1 d、あるいはトランジスタ 1 1 e（図 1 2 など）などをオンオフさせるだけでE L 素子 1 5 に流す電流を制御する。つまり、E L 素子 1 5 に流れる電流 I_w をオフしても、画像データはそのまま画素 1 6 のコンデンサ 1 9 に保持されている。したがって、次のタイミングでスイッチング素子 1 1 dなどをオンさせ、E L 素子 1 5 に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【 0 1 5 5 】

本発明では、黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないため、画像メモリも不要である。また、有機E L 素子 1 5 は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより、

従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【 0 1 5 6 】

さらに、大型の表示装置でソース信号線 1 8 の配線長が長くなり、ソース信号線 1 8 の寄生容量が大きくなる場合は、 N 値を大きくすることにより対応できる。ソース信号線 1 8 に印加するプログラム電流値を N 倍にした場合、ゲート信号線 1 7 b（トランジスタ 1 1 d）の導通期間を $1 F / N$ とすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【 0 1 5 7 】

電流駆動では、特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ 1 9 をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1 画素行にプログラムする時間（基本的には $1 H$ 以内である。ただし、2 画素行を同時に書き込む場合もあるので $1 H$ 以内に限定されるものではない。）内に寄生容量を充放電することができない。 $1 H$ 期間で充放電できなければ、画素への書き込み不足となり、解像度が出ない。

【 0 1 5 8 】

図 1 の画素構成の場合、図 6（a）に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 1 8 に流れる。この電流 I_w がトランジスタ 1 1 a を流れ、 I_w を流す電流が保持されるように、コンデンサ 1 9 に電圧設定（プログラム）される。このとき、トランジスタ 1 1 d はオープン状態（オフ状態）である。

【 0 1 5 9 】

次に、EL 素子 1 5 に電流を流す期間は、図 6（b）のように、トランジスタ 1 1 c、1 1 b がオフし、トランジスタ 1 1 d が動作する。つまり、ゲート信号線 1 7 a にオフ電圧（ V_{gh} ）が印加され、トランジスタ 1 1 b、1 1 c がオフする。一方、ゲート信号線 1 7 b にオン電圧（ V_{gl} ）が印加され、トランジスタ 1 1 d がオンする。

【 0 1 6 0 】

プログラム電流 I_w が本来流す電流（所定値）の N 倍であるとする、図 6（b）の EL 素子 1 5 に流れる電流 I_e も 10 倍になる。したがって、所定値の 10 倍の輝度で EL 素子 1 5 は発光する。つまり、図 1 8 に図示するように、倍率 N を高くするほど、画素 1 6 の瞬時の表示輝度 B も高くなる。基本的には倍率 N と画素 1 6 の輝度とは比例関係となる。

【 0 1 6 1 】

そこで、トランジスタ 1 1 d を本来オンする時間（約 $1 F$ ）の $1 / N$ の期間だけオンさせ、他の期間（ $N - 1$ ）/ N 期間はオフさせれば、 $1 F$ 全体の平均輝度は所定の輝度となる。この表示状態は、CRT が電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1 / N$ （全画面を 1 とする）が点灯している点である（CRT では、点灯している範囲は 1 画素行（厳密には 1 画素）である）。

【 0 1 6 2 】

本発明では、この $1 F / N$ の表示（点灯）領域 1 9 3 が、図 1 9（b）に示すように表示画面 1 4 4 の上から下に移動する。なお、表示領域 1 9 3 の走査方向は、表示画面 1 4 4 の下から上であってもよい。また、ランダムであってもよい。

【 0 1 6 3 】

本発明では、 $1 F / N$ の期間の間だけ、EL 素子 1 5 に電流が流れ、他の期間（ $1 F \cdot (N - 1) / N$ ）は該当画素行の EL 素子 1 5 には電流が流れない。したがって、各画素 1 6 は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【 0 1 6 4 】

なお、図 1 9 に図示するように、書き込み画素行 1 9 1 a は非点灯表示領域 1 9 2 とする。しかし、これは、図 1、図 2 などの画素構成の場合である。図 1 1、図 1 2 などで図示するカレントミラーの画素構成では、書き込み画素行 1 9 1 は点灯状態としてもよい。

しかし、本明細書では、説明を容易にするため、主として、図 1 の画素構成を例示して説明をする。

【 0 1 6 5 】

以上のように、図 1 9、図 2 3 などのように所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法を N 倍パルス駆動と呼ぶ。図 1 9 の駆動方法では 1 F ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。

【 0 1 6 6 】

液晶表示パネル（本発明以外の EL 表示パネル）では、1 F の期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ボケがなくなり良好な表示状態を実現できる。つまり、CRT に近い動画表示を実現することができる。

【 0 1 6 7 】

図 1 9 に図示するように、駆動するためには、画素 1 6 の電流プログラム期間（図 1 の画素構成においては、ゲート信号線 1 7 a のオン電圧 V_{g1} が印加されている期間）と、EL 素子 1 5 をオフまたはオン制御している期間（図 1 の画素構成においては、ゲート信号線 1 7 b のオン電圧 V_{g1} またはオフ電圧 V_{gh} が印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線 1 7 a とゲート信号線 1 7 b は分離されている必要がある。

【 0 1 6 8 】

たとえば、ゲートドライバ回路 1 2 から画素 1 6 に配線されたゲート信号線 1 7 が 1 本である場合、ゲート信号線 1 7 に印加されたロジック（ V_{gh} または V_{g1} ）をトランジスタ 1 1 b に印加し、ゲート信号線 1 7 に印加されたロジックをインバータで変換（ V_{g1} または V_{gh} ）して、トランジスタ 1 1 d に印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線 1 7 a を操作するゲートドライバ回路 1 2 a と、ゲート信号線 1 7 b を操作するゲートドライバ回路 1 2 b が必要となる。

【 0 1 6 9 】

図 1 9 の駆動方法のタイミングチャートを図 2 0 に図示する。なお、本発明などにおいて、説明を容易にするため、特に断りがない時の画素構成は図 1 であるとする。図 2 0 でわかるように、各選択された画素行（選択期間は、1 H としている）において、ゲート信号線 1 7 a にオン電圧（ V_{g1} ）が印加されている時（図 2 0（a）を参照）には、ゲート信号線 1 7 b にはオフ電圧（ V_{gh} ）が印加されている（図 2 0（b）を参照）。この期間は、EL 素子 1 5 には電流が流れていない（非点灯状態）。

【 0 1 7 0 】

選択されていない画素行において、ゲート信号線 1 7 a にオフ電圧（ V_{gh} ）が印加され、ゲート信号線 1 7 b にはオン電圧（ V_{g1} ）が印加されている。また、この期間は、EL 素子 1 5 に電流が流れている（点灯状態）。また、点灯状態では、EL 素子 1 5 は所定の N 倍の輝度（ $N \cdot B$ ）で点灯し、その点灯期間は $1 F / N$ である。したがって、1 F を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1 / N) = B$ （所定輝度）となる。なお、 N は 1 以上であればいずれの値でもよい。

【 0 1 7 1 】

図 2 1 は、図 2 0 の動作を各画素行に適用した実施例である。ゲート信号線 1 7 に印加する電圧波形を示している。電圧波形は、オフ電圧を V_{gh} （H レベル）とし、オン電圧を V_{g1} （L レベル）としている。（1）、（2）などの添え字は選択している画素行番号を示している。

【 0 1 7 2 】

図 2 1 において、ゲート信号線 1 7 a（1）が選択され（ V_{g1} 電圧）、選択された画素行のトランジスタ 1 1 a からソースドライバ回路 1 4 に向かってソース信号線 1 8 にブ

ログラム電流が流れる。このプログラム電流は所定値の N 倍である。ただし、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。コンデンサ19には、 N 倍の電流がトランジスタ11aに流れるようにプログラムされる。画素行(1)が選択されている時は、図1の画素構成ではゲート信号線17b(1)はオフ電圧(V_{gh})が印加され、EL素子15には電流が流れない。

【0173】

1H後には、ゲート信号線17a(2)が選択され(V_{gl} 電圧)、選択された画素行のトランジスタ11aからソースドライバ回路14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値の N 倍である。したがって、コンデンサ19には N 倍の電流がトランジスタ11aに流れるようにプログラムされる。画素行(2)が選択されている時は、図1の画素構成ではゲート信号線17b(2)はオフ電圧(V_{gh})が印加され、EL素子15には電流が流れない。しかし、先の画素行(1)のゲート信号線17a(1)にはオフ電圧(V_{gh})が印加され、ゲート信号線17b(1)にはオン電圧(V_{gl})が印加されるため、点灯状態となっている。

【0174】

次の1H後には、ゲート信号線17a(3)が選択され、ゲート信号線17b(3)はオフ電圧(V_{gh})が印加され、画素行(3)のEL素子15には電流が流れない。しかし、先の画素行(1)、(2)のゲート信号線17a(1)、17a(2)にはオフ電圧(V_{gh})が印加され、ゲート信号線17b(1)、17b(2)にはオン電圧(V_{gl})が印加されるため、点灯状態となっている。

【0175】

以上の動作を、1Hの同期信号に同期して画像を表示していく。しかし、図21の駆動方式では、EL素子15には N 倍の電流が流れる。したがって、表示画面144は N 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/N$ にしておけばよいことは言うまでもない。 $1/N$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面(非点灯表示領域)192の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

【0176】

しかし、寄生容量の影響が無視できるあるいは影響が軽微の場合は、 $N=1$ として、本発明の駆動方法を実施してもよいことは言うまでもない。この駆動方法は、図99から図116などを用いて後ほど説明をする。

【0177】

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15に N 倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し(ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど)、ダミーEL素子とEL素子15に分流してプログラム電流を流しても良い。たとえば、プログラム対象の画素16に書き込むプログラム電流が $0.2\mu A$ とし、ソースドライバ回路14から出力するプログラム電流を $2.0\mu A$ とする。したがって、ソースドライバ回路14から見れば、 $N=2.0/0.2=10$ である。ソースドライバ回路14から出力されたプログラム電流のうち、 $1.8\mu A$ ($2.0-0.2$)をダミー画素に流す。残りの $0.2\mu A$ を対象画素16の駆動用トランジスタ11aに流す。ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【0178】

以上のように構成することにより、ソース信号線18に流す電流を N 倍に増加させることにより、駆動用トランジスタ11aに N 倍の電流が流れるようにプログラムすることができる。また、EL素子15には、 N 倍よりは十分小さい電流を流すことができることになる。

【0179】

図 19 (a) は、表示画面 144 への書き込み状態を図示している。図 19 (a) において、191a は書き込み画素行である。ソースドライバ IC 14 から各ソース信号線 18 にプログラム電流が供給される。なお、図 19 などでは 1 H 期間に書き込む画素行は 1 行である。しかし、何ら 1 H に限定するものではなく、0.5 H 期間でも、2 H 期間でもよい。また、ソース信号線 18 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線 18 に書き込まれるのは電圧である電圧プログラム方式 (図 28 など) でもよい。

【 0180 】

図 19 (a) において、ゲート信号線 17 a が選択されるとソース信号線 18 に流れる電流がトランジスタ 11 a にプログラムされる。この時、ゲート信号線 17 b はオフ電圧が印加され EL 素子 15 には電流が流れない。これは、EL 素子 15 側にトランジスタ 11 d がオン状態であると、ソース信号線 18 から EL 素子 15 の容量成分が見え、この容量に影響されてコンデンサ 19 に十分に正確な電流プログラムができなくなるためである。したがって、図 1 の構成を例にすれば、図 19 (b) で示すように電流を書き込まれている画素行は非点灯領域 192 となる。

【 0181 】

今、N (ここでは、先に述べたように $N = 10$ とする) 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になる。したがって、表示画面 144 の 90 % の範囲を非点灯領域 192 とすればよい。表示パネルの表示画面 144 の水平走査線が QCIF の 220 本 ($S = 220$) とすれば、22 本を表示領域 193 とし、 $220 - 22 = 198$ 本を非表示領域 192 とすればよい。一般的に述べれば、水平走査線 (画素行数) を S とすれば、 S / N の領域を表示領域 193 とし、この表示領域 193 を N 倍の輝度で発光させる (N は 1 以上の値である) 。この表示領域 193 を画面の上下方向に走査する。したがって、 $S (N - 1) / N$ の領域は非点灯領域 192 とする。この非点灯領域は黒表示 (非発光) である。また、この非発光部 192 は、トランジスタ 11 d をオフさせることにより実現する。なお、N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値は変化することは言うまでもない。

【 0182 】

また、先の実施例で、10 倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になり、表示画面 144 の 90 % の範囲を非点灯領域 192 とすればよいとした。しかし、これは、RGB の画素を共通に非点灯領域 192 とすることに限定するものではない。例えば、R の画素は $1 / 8$ を非点灯領域 192 とし、G の画素は $1 / 6$ を非点灯領域 192 とし、B の画素は $1 / 10$ を非点灯領域 192 と、それぞれの色により変化させてもよい。また、RGB の色で個別に非点灯領域 192 (あるいは点灯領域 193) を調整できるようにしてもよい。これらを実現するためには、R、G、B で個別のゲート信号線 17 b が必要になる。しかし、以上の RGB の個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。この実施例を図 22 に示す。

【 0183 】

図 19 (b) に図示するように、書き込み画素行 191 a を含む画素行を非点灯領域 192 とし、書き込み画素行 191 a よりも上画面の S / N (時間的には $1 F / N$) の範囲を表示領域 193 とする (書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる) 。画像表示状態は、表示領域 193 が帯状になって、画面の上から下に移動する。

【 0184 】

図 19 の表示では、1 つの表示領域 193 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 193 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【 0185 】

この課題に対しては、図 23 に図示するように、表示領域 193 を複数に分割するとよ

い。この分割された総和が $S(N-1)/N$ の面積となれば、図 19 の明るさと同等になる。なお、分割された表示領域 193 は等しく（等分に）する必要はない。また、分割された非表示領域 192 も等しくする必要はない。

【0186】

以上のように、表示領域 193 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【0187】

図 24 は、ゲート信号線 17 の電圧波形および EL の発光輝度を図示している。図 24 で明らかなように、ゲート信号線 17b を V_{g1} にする期間 ($1F/N$) を複数に分割（分割数 K ）している。つまり、 V_{g1} にする期間は $1F/(K \cdot N)$ の期間を K 回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。

【0188】

画像の分割数は可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0189】

図 24 などにおいて、ゲート信号線 17b を V_{g1} にする期間 ($1F/N$) を複数に分割（分割数 K ）し、 V_{g1} にする期間は $1F/(K \cdot N)$ の期間を K 回実施するとしたが、これ限定するものではない。 $1F/(K \cdot N)$ の期間を L ($L \neq K$) 回実施してもよい。つまり、本発明は、EL 素子 15 に流す期間（時間）を制御することにより表示画面 144 を表示するものである。したがって、 $1F/(K \cdot N)$ の期間を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、表示画面 144 の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では 50% の輝度（コントラスト）変化となる。また、画像の表示領域 193 を分割する時、ゲート信号線 17b を V_{g1} にする期間は同一期間に限定するものではない。

【0190】

以上の実施例は、トランジスタ 11d または切り換え回路 71 などにより EL 素子 15 に流れる電流を遮断し、また、EL 素子 15 に流れる経路を形成することにより、表示画面 144 をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ 19 に保持された電荷により駆動用トランジスタ 11a に複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ 19 に保持された電荷を充放電させることにより、表示画面 144 をオンオフ（点灯、非点灯）する方式でもよい。

【0191】

図 25 は図 23 の画像表示状態を実現するための、ゲート信号線 17 に印加する電圧波形である。図 25 と図 21 の差異は、ゲート信号線 17b の動作である。ゲート信号線 17b は画面を分割する個数に対応して、その個数分だけオンオフ (V_{g1} と V_{gh}) 動作する。他の点は図 21 と同一であるので説明を省略する。

【0192】

EL 表示装置における黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図 1、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 28 の構成においては、トランジスタ 11d あるいはトランジスタ 11e もしくは切り換え回路 71 をオンオフ操作するだけで間欠表示を実現できる。これは、コンデンサ 19 に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素 16 に、画像データは $1F$ の期間中は保持されている。この保持されている画像データに相当する電流を EL 素子 15 に流すか否かを、トランジスタ 11d、11e などの制御により実現しているのである。

【 0 1 9 3 】

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、E L 素子 1 5 に流す電流が各画素内で保存している構成において、駆動用トランジスタ 1 1 を E L 素子 1 5 間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

【 0 1 9 4 】

コンデンサ 1 9 の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。1 フィールド（フレーム）期間でコンデンサ 1 9 の端子電圧が変化（充放電）すると、画面輝度に変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 1 1 a が 1 フィールド（1 フィールド）期間で E L 素子 1 5 に流す電流は、少なくとも 6 5 % 以下に低下しないようにする必要がある。この 6 5 % とは、画素 1 6 に書き込み、E L 素子 1 5 に流す電流の最初が 1 0 0 % とした時、次のフレーム（フィールド）で前記画素 1 6 に書き込む直前の E L 素子 1 5 に流す電流が 6 5 % 以上とすることである。

10

【 0 1 9 5 】

図 1 の画素構成では、間欠表示を実現する場合としない場合では、1 画素を構成するトランジスタ 1 1 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 1 8 の寄生容量の影響を除去し、良好な電流プログラムを実現している。その上、C R T に近い動画表示を実現しているのである。

【 0 1 9 6 】

また、ゲートドライバ回路 1 2 の動作クロックはソースドライバ回路 1 4 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

20

【 0 1 9 7 】

なお、画像表示方向（画像書き込み方向）は、1 フィールド（1 フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【 0 1 9 8 】

また、1 フィールド（1 フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。また、画面の中央部から走査してもよい。また、走査開始位置をランダム化してもよい。

30

【 0 1 9 9 】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は、絶えず画面の上から下あるいは下から上と固定し、非表示領域 1 9 2 の動作方向を 1 フィールド目では画面の上から下方向とし、つぎの第 2 フィールド目では画面の下から上方向としてもよい。また、1 フレームを 3 フィールドに分割し、第 1 のフィールドでは R、第 2 のフィールドでは G、第 3 のフィールドでは B として、3 フィールドで 1 フレームを形成するとしてもよい。また、1 水平走査期間（1 H）ごとに、R、G、B を切り替えて表示してもよい（図 2 5 から図 3 9 とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。

40

【 0 2 0 0 】

非表示領域 1 9 2 は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、表示（点灯）領域 1 9 3 よりも表示輝度が低い領域と解釈するべきである。また、非表示領域 1 9 2 とは、R、G、B 画像表示のうち、1 色または 2 色のみが非表示状態という場合も含まれる。また、R、G、B 画像表示のうち、1 色または 2 色のみが低輝度の画像表示状態という場合も含まれる。

【 0 2 0 1 】

基本的には表示領域 1 9 3 の輝度（明るさ）が所定値に維持される場合、表示領域 1 9

50

3の面積が広がるほど、表示画面144の輝度は高くなる。たとえば、表示領域193の輝度が100 (nt)の場合、表示領域193が全表示画面144に占める割合を10%から20%にすれば、画面の輝度は2倍となる。したがって、全表示画面144に占める表示領域193の面積を変化させることにより、画面の表示輝度を変化させることができる。表示画面144の表示輝度は、表示画面144に占める表示領域193の割合に比例する。

【0202】

表示領域193の面積は、図14に図示するシフトレジスタ回路141へのデータパルス(ST2)を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図23の表示状態と図19の表示状態とを切り替えることができる。1F周期でのデータパルス数を多くすれば、表示画面144は明るくなり、少なくすれば、表示画面144は暗くなる。また、連続してデータパルスを印加すれば図19の表示状態となり、間欠にデータパルスを入力すれば図23の表示状態となる。

【0203】

従来の画面の輝度調整では、表示画面144の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

【0204】

以上の実施例は、主として、 $N=2$ 倍、4倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、 $N=1$ より大きいことに限定されるものでもない。たとえば、ある時刻で表示画面144の半分以下の領域を非点灯領域192とすることもある。所定値の $5/4$ 倍の電流 I_w で電流プログラミングし、1Fの $4/5$ 期間点灯させれば、所定の輝度を実現できる。

【0205】

本発明は、これに限定されるものではない。一例として、 $10/4$ 倍の電流 I_w で電流プログラミングし、1Fの $4/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の2倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、1Fの $2/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/2$ 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、1Fの $1/1$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $5/4$ 倍で点灯する。また、1倍の電流 I_w で電流プログラミングし、1Fの $1/4$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/4$ 倍で点灯する。

【0206】

つまり、本発明は、プログラム電流の大きさと、1Fの点灯期間を制御することにより、表示画面の輝度を制御する方式である。1F期間よりも短い期間点灯させることにより、黒画面192を挿入でき、動画表示性能を向上できる。逆に、 N を1以上とし、1Fの期間、常時点灯させることにより明るい画面を表示できる。

【0207】

好ましくは、画素に書き込む電流(ソースドライバ回路14から出力するプログラム電流)は、画素サイズが A 平方 mm とし、白ラスタ表示所定輝度を B (nt)とした時、プログラム電流 I (μA)は、

$$(A \times B) / 20 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書き込み不足が解消する。

【0208】

さらに、好ましくは、プログラム電流 I (μA)は、

$$(A \times B) / 10 \leq I \leq (A \times B)$$

の範囲とすることが好ましい。

10

20

30

40

50

【 0 2 0 9 】

図 2 0、図 2 4 では、ゲート信号線 1 7 a の動作タイミングとゲート信号線 1 7 b の書き込みタイミングには言及していない。しかし、ある画素が選択されているとした時（上記画素が接続されているゲート信号線 1 7 a にオン電圧が印加されている時）、その前後の 1 H 期間（1 水平走査期間）はゲート信号線 1 7 b（E L 側のトランジスタ 1 1 d を制御するゲート信号線）には、オフ電圧を印加する。前後 1 H 期間にゲート信号線 1 7 b にオフ電圧を印加した状態にすることにより、パネルにクロストークが発生せず、安定した画像表示を実現できる。

【 0 2 1 0 】

この駆動方法のタイミングチャートを図 2 6 に示す。図 2 6 では、ゲート信号線 1 7 a には、1 H（選択期間）にオン電圧（V g 1）が印加されている。該当画素行が選択されている 1 H 期間の前後 1 H 期間（計 3 H 期間）には、ゲート信号線 1 7 b にはオフ電圧（V g h）が印加されている。

【 0 2 1 1 】

なお、以上の実施例は選択期間の前後 1 H 期間の間は、ゲート信号線 1 7 b にはオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図 2 7 に図示するように、選択期間の前の 1 H 期間と選択期間後の 2 H 期間に、ゲート信号線 1 7 b にオフ電圧を印加するように構成してもよい。以上の実施例は、本発明の他の実施例にも適用できることは言うまでもない。

【 0 2 1 2 】

E L 素子 1 5 をオンオフする周期は 0 . 5 m s e c 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期が 1 0 0 m s e c 以上になると、点滅状態に見える。したがって、E L 素子のオンオフ周期は、0 . 5 μ s e c 以上 1 0 0 m s e c 以下にすべきである。さらに好ましくは、オンオフ周期を 2 m s e c 以上 3 0 m s e c 以下にすべきである。さらに好ましくは、オンオフ周期を 3 m s e c 以上 2 0 m s e c 以下にすべきである。

【 0 2 1 3 】

先にも記載したが、黒画面 1 9 2 の分割数は、1 つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は 1 以上 8 以下とすべきである。さらに好ましくは 1 以上 5 以下とすることが好ましい。

【 0 2 1 4 】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、N = 4 では、7 5 % が黒画面であり、2 5 % が画像表示である。このとき、7 5 % の黒表示部を 7 5 % の黒帯状態で画面の上下方向に走査するのが分割数 1 である。2 5 % の黒画面と 2 5 / 3 % の表示画面の 3 ブロックで走査するのが分割数 3 である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的に（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などの入力コンセントに対応して切り替えするように構成すればよい。

【 0 2 1 5 】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を 1 0 以上とする（極端には 1 H ごとにオンオフしてもよい）。N T S C の動画を表示するときは、分割数を 1 以上 5 以下とする。なお、分割数は 3 以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8 などである。

【 0 2 1 6 】

また、全表示画面に対する黒画面の割合は、全画面 1 4 4 の面積を 1 とした時、0 . 2 以上 0 . 9 以下（N で表示すれば 1 . 2 以上 9 以下）とすることが好ましい。また、特に 0 . 2 5 以上 0 . 6 以下（N で表示すれば 1 . 2 5 以上 6 以下）とすることが好ましい。

0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0217】

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには、12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

【0218】

ゲート信号線17bの1F/Nの期間だけ、Vg1にする時刻は1F（1Fに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間のうち、10
所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（1H）後、すぐにゲート信号線17bをVg1にしてEL素子15を発光させる方がよい。図1のコンデンサ19の保持率特性の影響を受けにくくなるからである。

【0219】

トランジスタ11b、11cを駆動するゲート信号線17aとトランジスタ11dを駆動するゲート信号線17bの駆動電圧は変化させるとよい。ゲート信号線17aの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線17bの振幅値よりも小さくする。

【0220】

ゲート信号線17aの振幅値が大きいと、ゲート信号線17aと画素16との突き抜け
電圧が大きくなり、黒浮きが発生する。ゲート信号線17aの振幅は、ソース信号線18
の電位が画素16に印加されるように制御できればよい。ソース信号線18の電位変動は
小さいから、ゲート信号線17aの振幅値は小さくすることができる。20

【0221】

一方、ゲート信号線17bはEL素子15のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、図6のシフトレジスタ回路141aと141bとの出力電圧を変化させる。画素がPチャンネルトランジスタで形成されている場合は、シフトレジスタ回路141aと141bのVgh（オフ電圧）を略同一にし、シフトレジスタ回路141aのVg1（オン電圧）をシフトレジスタ回路141bのVg1（オン電圧）よりも低くする。30

【0222】

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本のゲート信号線17aを配置（形成）してもよい。

【0223】

図22はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図22ではゲート信号線17aは3つの画素（16R、16G、16B）を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

【0224】

ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rから映像データをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gから映像データをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bから映像データをコンデンサ19Bに書き込む。40

【0225】

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは、別個にオンオフ制御する50

ことができる。つまり、EL素子15R、EL素子15G、EL素子15Bは、それぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【0226】

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路141と、ゲート信号線17bRを走査するシフトレジスタ回路141R（図示せず）と、ゲート信号線17bGを走査するシフトレジスタ回路141G（図示せず）と、ゲート信号線17bBを走査するシフトレジスタ回路141B（図示せず）の4つを形成（配置）することが適切である。

【0227】

ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を $1/N$ の期間流すとしたが、これは理想状態である。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的に、コンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、10倍以下の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=10$ 未満の場合と同一となる。

【0228】

しかし、本明細書では、説明を容易にするため、突き抜け電圧などの影響がなく、理想状態として説明をする。実際には本発明はN倍の電流値を設定し、N倍に比例したあるい

【0229】

また、本発明は、所望値より大きな電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【0230】

図1のスイッチング用トランジスタ11b、11cをPチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときには V_{gh} 電圧となる。そのため、コンデンサ19の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ11aのゲート（G）端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから（階調1までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

【0231】

図1におけるトランジスタ11bは駆動用トランジスタ11aが流す電流をコンデンサ19に保持するために動作する。つまり、駆動用トランジスタ11aのゲート端子（G）とドレイン端子（D）もしくはソース端子（S）間をプログラム時にショートさせる機能を有する。

【0232】

トランジスタ11bは、ソース端子またはドレイン端子が保持用のコンデンサ19に接続されている。トランジスタ11bはゲート信号線17aに印加された電圧により、オンオフ制御される。課題は、オフ電圧が印加された時にゲート信号線17aの電圧がコンデンサ19に突き抜けることである。この突き抜け電圧により、コンデンサ19の電位（＝駆動用トランジスタ11aのゲート端子（G）電位）が変動する。そのため、電流プログラムによるトランジスタ11aの特性補償ができなくなる。したがって、突き抜け電圧は小さくする必要がある。

【0233】

突き抜け電圧を小さくするためには、トランジスタ11bのサイズを小さくするとよい。今、トランジスタのサイズ S_{cc} をチャンネル幅 W （ μm ）、チャンネル長 L （ μm ）

10

20

30

40

50

とし、 $S_{cc} = W \cdot L$ (平方 μm) とする。トランジスタが複数直列接続されて構成されている場合は、 S_{cc} は接続されたトランジスタサイズの総和である。たとえば、1つのトランジスタを、 $W = 5$ (μm)、 $L = 6$ (μm) とし、個数 ($n = 4$) が接続されて構成されていれば、 $S_{cc} = 5 \times 6 \times 4 = 120$ (平方 μm) である。

【0234】

トランジスタのサイズと突き抜け電圧は相関がある。この関係を図29に示す。なお、トランジスタはPチャンネルトランジスタであるとする。ただし、Nチャンネルトランジスタであっても適用できる。

【0235】

図29において、横軸は S_{cc}/n としている。 S_{cc} は先に説明したように、トランジスタのサイズの総和である。 n は接続されたトランジスタ数である。図29では S_{cc} を n 個でわったものを横軸にしている。つまり、トランジスタ1個あたりのサイズである。

【0236】

先の実施例では、トランジスタのサイズ S_{cc} を、チャンネル幅 W (μm)、チャンネル長 L (μm) とし、トランジスタ数が $n = 4$ であれば、 $S_{cc}/n = 5 \times 6 \times 4 / 4 = 30$ (平方 μm) である。図29において、縦軸は突き抜け電圧 (V) である。

【0237】

突き抜け電圧は0.3 (V) 以内にしないと、レーザーショットムラが発生し、視覚的に許容できない。したがって、1つあたりのトランジスタのサイズは25 (平方 μm) 以下にする必要がある。一方で、トランジスタは5 (平方 μm) 以上にしないと、トランジスタの加工精度がでず、ばらつきが大きくなる。また、駆動能力にも課題を生じる。以上のことからトランジスタ11bは、5 (平方 μm) 以上25 (平方 μm) 以下にする必要がある。さらに好ましくは、トランジスタ11bは、5 (平方 μm) 以上20 (平方 μm) 以下にする必要がある。

【0238】

トランジスタによる突き抜け電圧は、トランジスタを駆動する電圧 (V_{gh} 、 V_{gl}) の振幅値 ($V_{gh} - V_{gl}$) と相関がある。振幅値が大きいほど突き抜け電圧は大きくなる。この関係を図30に図示している。図30において、横軸を振幅値 ($V_{gh} - V_{hl}$) (V) としている。縦軸は突き抜け電圧である。図29でも説明したように、突き抜け電圧は0.3 (V) 以下となるようにする必要がある。

【0239】

なお、突き抜け電圧の許容値0.3 (V) は、言い換えると、ソース信号線18の振幅値の1/5以下 (20%以下) である。ソース信号線18は、プログラム電流が白表示の場合は1.5 (V) であり、プログラム電流が黒表示の場合は3.0 (V) である。したがって、 $(3.0 - 1.5) / 5 = 0.3$ (V) となる。

【0240】

一方、ゲート信号線の振幅値 ($V_{gh} - V_{hl}$) は、4 (V) 以上ないと十分に画素16に書き込むことができない。以上のことから、ゲート信号線の振幅値 ($V_{gh} - V_{gl}$) は、4 (V) 以上15 (V) 以下の条件を満足させる必要がある。さらに好ましくは、ゲート信号線の振幅値 ($V_{gh} - V_{gl}$) は、5 (V) 以上12 (V) 以下の条件を満足させる必要がある。

【0241】

トランジスタ11bを複数のトランジスタを直列に接続して構成する場合は、駆動用トランジスタ11aのゲート端子 (G) に近いトランジスタ (トランジスタ11bxと呼ぶ) のチャンネル長 L を長くすることが好ましい。ゲート信号線17aにオン電圧 (V_{gl}) からオフ電圧 (V_{gh}) に変化させた時、トランジスタ11bxが他のトランジスタ11bよりも速くオフ状態になる。そのため、突き抜け電圧の影響が軽減される。たとえば、複数のトランジスタ11bとトランジスタ11bxのチャンネル幅 W が3 μm であれば、複数のトランジスタ11b (トランジスタ11bx以外) のチャンネル長 L は5 μm と

し、トランジスタ 11 b x のチャンネル長 L_x は $10 \mu m$ とする。トランジスタ 11 b はトランジスタ 11 c 側から配置し、トランジスタ 11 b x は駆動用トランジスタ 11 a のゲート端子 (G) 側に配置する。

【 0 2 4 2 】

なお、トランジスタ 11 b x のチャンネル長 L_x は、トランジスタ 11 b のチャンネル長 L の 1.4 倍以上 4 倍以下にすることが好ましい。さらに好ましくは、トランジスタ 11 b x のチャンネル長 L_x は、トランジスタ 11 b のチャンネル長 L の 1.5 倍以上 3 倍以下にすることが好ましい。

【 0 2 4 3 】

図 1 などで説明した画素構成では、駆動用トランジスタ 11 a は各画素 16 に対して 1 10 つの構成である。しかし、本発明において、駆動用トランジスタ 11 a は 1 つに限定されるものでない。たとえば、図 3 1 の画素構成が例示される。

【 0 2 4 4 】

図 3 1 は、画素 16 を構成するトランジスタ数を 6 個とし、プログラム用トランジスタ 11 a n を、トランジスタ 11 b 2 とトランジスタ 11 c の 2 個のトランジスタを経由してソース信号線 18 に接続されるように構成し、駆動用トランジスタ 11 a 1 を、トランジスタ 11 b 1 とトランジスタ 11 c の 2 個のトランジスタを経由してソース信号線 18 に接続されるように構成した実施例である。

【 0 2 4 5 】

図 3 1 において、駆動用トランジスタ 11 a 1 のゲート端子とプログラム用トランジスタ 11 a n のゲート端子とを共通にしている。トランジスタ 11 b 1 は、電流プログラム時に駆動用トランジスタ 11 a 1 のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ 11 b 2 は、電流プログラム時にプログラム用トランジスタ 11 a n のドレイン端子とゲート端子とを短絡するように動作する。

【 0 2 4 6 】

トランジスタ 11 c は、駆動用トランジスタ 11 a 1 のゲート端子に接続されており、トランジスタ 11 d は、駆動用トランジスタ 11 a 1 と EL 素子 15 間に形成または配置され、EL 素子 15 に流れる電流を制御する。また、駆動用トランジスタ 11 a 1 のゲート端子とアノード (V d d) 端子間には付加コンデンサ 19 が形成または配置されており、駆動用トランジスタ 11 a 1 とプログラム用トランジスタ 11 a n のソース端子はアノード (V d d) 端子に接続されている。

【 0 2 4 7 】

以上のように、駆動用トランジスタ 11 a 1 とプログラム用トランジスタ 11 a n が、同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ 11 a 1 を流れる電流は、トランジスタ 11 b 1、トランジスタ 11 c を通じてソース信号線 18 に流れる。また、プログラム用トランジスタ 11 a n を流れる電流は、トランジスタ 11 b 2、トランジスタ 11 c を通じてソース信号線 18 に流れる。したがって、駆動用トランジスタ 11 a 1 の電流と、プログラム用トランジスタ 11 a n の電流は、同数の 2 つのトランジスタを通過してソース信号線 18 に流れるように構成されている。

【 0 2 4 8 】

図 3 1 では、駆動用トランジスタ 11 a n を 1 つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ 11 a n は、同一チャンネル幅 W 、同一チャンネル長 L あるいは同一 W/L 比の複数のトランジスタから構成してもよい。また、駆動用トランジスタ 11 a 1 の駆動用トランジスタ 11 a n と、同一チャンネル幅 W 、同一チャンネル長 L あるいは同一 W/L 比にすることが好ましい。同一 W/L あるいは W/L 比のトランジスタを複数形成する方が、各トランジスタ 11 a の出力バラツキが小さくなり、また画素 16 間のばらつきも少なくなり好ましい。

【 0 2 4 9 】

ゲート信号線 17 a に選択電圧 (オン電圧) が印加されると、トランジスタ 11 a n と 50

トランジスタ 11a1 からの電流が合成されたものがプログラム電流 I_w となる。このプログラム電流 I_w を、駆動用トランジスタ 11a1 から EL 素子 15 に流れる電流 I_e の所定倍率にする。

【0250】

$I_w = n \cdot I_e$ (n は 1 以上の自然数)

上式において、表示パネルの最大白ラスタでの表示輝度 $B(n_t)$ 、表示パネルの画素面積 S (平方ミリメートル) (画素面積は、RGB を 1 単位として取り扱う。したがって、各 R、G、B の絵素が、縦 0.1 mm、横 0.05 mm であれば、 $S = 0.1 \times (0.05 \times 3)$ (平方ミリメートル) である)、表示パネルの 1 画素行選択期間 (1 水平走査 (1 H) 期間) を H (ミリ秒) としたとき、以下の条件を満足するようにする。なお、10
表示輝度 B は、パネル仕様に規定する表示できる最大輝度である。

【0251】

$5 \leq (B \cdot S) / (n \cdot H) \leq 150$

さらに好ましくは、以下の条件を満足するようにする。

【0252】

$10 \leq (B \cdot S) / (n \cdot H) \leq 100$

I_w はソースドライバ IC (回路) 14 が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素 16 のコンデンサ 19 にホールドされる。また、 I_e は駆動用トランジスタ 11a1 が EL 素子 15 に流す電流である。

【0253】

トランジスタ 11a1、トランジスタ 11an の出力ばらつきに関しては、トランジスタ 11an と駆動用トランジスタ 11a1 を近接させて形成または配置することにより改善できる。また、トランジスタ 11an、トランジスタ 11a1 の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【0254】

ゲート信号線 17a が選択されると、駆動用トランジスタ 11a1 およびプログラム用トランジスタ 11an の両方がオンする。駆動用トランジスタ 11a1 が流す電流 I_{w1} と、プログラム用トランジスタ 11a1 が流す電流 I_{w2} とは、略一致させることが好ましい。最も好ましくは、プログラム用トランジスタ 11an と駆動用トランジスタ 11a1 のサイズ (W 、 L) を一致させることである。つまり、 $I_{w1} = I_{w2}$ 、 $I_w = 2 I_e$ 30
の関係を満足させることが好ましい。もちろん、 $I_{w1} = I_{w2}$ の関係を満足させるには、トランジスタサイズ (W 、 L) を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタの WL を調整することにより容易に実現できる。略 $I_{w2} / I_{w1} = 1$ であれば、トランジスタ 11b1 とトランジスタ 11b1 のサイズは略一致して構成あるいは形成することができる。

【0255】

なお、 I_{w2} / I_{w1} は、1 以上 10 以下の関係を満足させておくことが好ましい。 I_{w2} / I_{w1} は、1 以上 10 以下の関係を満足させておくことが好ましい。さらに好ましくは、1.5 以上 5 以下の関係を満足させておくことが好ましい。

【0256】

I_{w2} / I_{w1} が 1 以下では、ほとんど、ソース信号線 18 の寄生容量の影響を改善する効果は見込めない。一方、 I_{w2} / I_{w1} が 10 以上となると、 I_w に対する I_e の関係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ 11b のオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【0257】

プログラム用トランジスタ 11an が流す電流 I_{w2} が、駆動用トランジスタ 11a1 が流す電流 I_{w1} に比較して一定以上大きい場合は ($I_{w2} > I_{w1}$)、スイッチング用トランジスタ 11b2 のオン抵抗を、スイッチング用トランジスタ 11b1 のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ 11b2 は、トランジスタ 11b1 よりも大きな電流を、同一のゲート信号線 17a の電圧に対して流すように構成 50

する必要があるからである。

【 0 2 5 8 】

つまり、駆動用トランジスタ 1 1 a 1 の出力電流の大きさに対するトランジスタ 1 1 b 1 の大きさと、プログラム用トランジスタ 1 1 a n の出力電流の大きさに対するトランジスタ 1 1 b 2 の大きさをマッチングさせる必要がある。

【 0 2 5 9 】

言い換えれば、プログラム電流 I_{w2} 、プログラム電流 I_{w1} に対して、トランジスタ 1 1 b のオン抵抗を変化させる必要がある。また、プログラム電流 I_{w2} 、プログラム電流 I_{w1} に対して、トランジスタ 1 1 b 1 と 1 1 b 2 のサイズを変化させる必要がある。

【 0 2 6 0 】

プログラム電流 I_{w2} がプログラム電流 I_{w1} よりも大きければ、トランジスタ 1 1 b 2 のオン抵抗はトランジスタ 1 1 b 1 のオン抵抗よりも小さくする必要がある（トランジスタ 1 1 b 1 とトランジスタ 1 1 b 2 のゲート端子電圧が同一の場合である）。プログラム電流 I_{w2} がプログラム電流 I_{w1} よりも大きければ、トランジスタ 1 1 b 2 のオン電流（ I_{w2} ）はトランジスタ 1 1 b 1 のオン電流（ I_{w1} ）よりも大きくする必要がある（トランジスタ 1 1 b 1 とトランジスタ 1 1 b 2 のゲート端子電圧が同一の場合である）。

【 0 2 6 1 】

$I_{w2} : I_{w1} = n : 1$ とし、ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b 1 とトランジスタ 1 1 b 2 がオンしたときのトランジスタ 1 1 b 2 のオン抵抗を R_2 、トランジスタ 1 1 b 1 のオン抵抗を R_1 とする。この時、 R_2 は、 $R_1 / (n + 5)$ 以上、 $R_1 / (n)$ 以下の関係を満足するように構成する。構成するとは、トランジスタ 1 1 b の所定のサイズに形成する、あるいは配置する、もしくは動作させるの意味である。ただし、 n は 1 よりも大きな値である。

【 0 2 6 2 】

なお、上記事項は、トランジスタ 1 1 b 1 とトランジスタ 1 1 b 2 のオン抵抗 R あるいは、プログラム電流 I_w の説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ 1 1 b 1 のゲート端子に接続されたゲート信号線 1 7 と、トランジスタ 1 1 b 2 のゲート端子に接続されたゲート信号線 1 7 とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

【 0 2 6 3 】

図 3 2 は図 3 1 の画素構成の動作の説明図である。図 3 2 (a) は電流プログラム状態であり、図 3 1 (b) は E L 素子 1 5 に電流を供給している状態である。なお、図 3 2 (b) の状態で、トランジスタ 1 1 d をオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【 0 2 6 4 】

図 3 2 (a) では、ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b 1、1 1 b 2、1 1 c がオンする。トランジスタ 1 1 a 1 は電流 I_e を供給し、トランジスタ 1 1 a n は電流 $I_w - I_e$ を供給し、合成した電流 I_w がソースドライバ I c のプログラム電流となる。以上の動作により、プログラム電流 I_w に対応する電圧がコンデンサ 1 9 に保持される。電流プログラム時には、トランジスタ 1 1 d はオフ状態に保持される（ゲート信号線 1 7 b にはオフ電圧が印加されている）。

【 0 2 6 5 】

E L 素子 1 5 に電流を流す場合が、図 3 2 (b) の動作状態である。ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にオン電圧が印加される。この状態では、トランジスタ 1 1 b 1、1 1 b 2、1 1 c がオフ状態になり、トランジスタ 1 1 d がオン状態になる。E L 素子 1 5 には、 I_e 電流が供給される。

【 0 2 6 6 】

図 3 3 は図 3 1 の変形例である。図 3 3 は、トランジスタ 1 1 c がソース信号線 1 8 と

10

20

30

40

50

トランジスタ 11a1 のドレイン端子間に配置されている。以上のように、図 31 には多数の変形例が例示することができる。

【0267】

図 31 は、ゲート信号線 17a にオンオフ電圧を印加することにより、トランジスタ 11b1、11b2、11c が制御される。しかし、電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ 11b1、11b2 とトランジスタ 11c が同時にオフする場合と、トランジスタ 11c の方が、トランジスタ 11b1、11b2 よりも先にオフになる場合とでは、コンデンサ 19 に保持される電圧が規定の値から変化する場合がある。コンデンサ 19 に保持される電圧の変化により、駆動用トランジスタ 11a から EL 素子 15 に供給する電流 I_e に誤差が発生する。

10

【0268】

この課題に対しては、図 34 のように構成することが好ましい。図 34 では、ゲート信号線 17a1 のトランジスタ 11b1 と 11b2 のゲート端子が接続されている。また、ゲート信号線 17a2 に、トランジスタ 11c のゲート端子が接続されている。したがって、ゲート信号線 17a1 にオンオフ電圧を印加することにより、トランジスタ 11b1 と 11b2 がオンオフ制御される。また、ゲート信号線 17a2 にオンオフ電圧を印加することにより、トランジスタ 11c がオンオフ制御される。

【0269】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線 17a1、17a2 にオン電圧が印加されている状態から、ゲート信号線 17a1、17a2 にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線 17a1 の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ 11b1 と 11b2 がオフ状態になる。次に、ゲート信号線 17a2 をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ 11c がオフ状態になる。

20

【0270】

以上のように、トランジスタ 11b1、11b2 をオフ状態にしてから、トランジスタ 11c をオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ 19 に保持される電圧が規定値どおりとなる。なお、ゲート信号線 17a1 とゲート信号線 17a2 にオフ電圧を印加するタイミングのずれは、 $0.1 \mu\text{sec}$ 以上 $5 \mu\text{sec}$ 以下にすることが好ましい。

30

【0271】

図 34 は駆動用トランジスタ 11a が 1 個の構成であったが、本発明はこれに限定するものではなく、図 193 に図示するように 2 個以上であってもよい。図 193 は EL 素子 15 を駆動するトランジスタ 11a が 2 個（駆動用トランジスタ 11a1、11a2）で構成され、また、プログラム用トランジスタ 11an が 2 個（11an1、11an2）で構成されている。図 193 のように構成することにより、画素の特性バラツキをより低減することができる。なお、駆動用トランジスタ 11a とプログラム用トランジスタ 11an とは、交互の並びになるようにレイアウト配置を行ってもよい。

【0272】

図 194 に図示するように、画素構成することも有効である。図 194 は、2 つの駆動用トランジスタ 11a（11a1、11a2）を有している。この 2 つの駆動用トランジスタ 11a（11a1、11a2）の両方は、EL 素子 15 に電流 I_e を供給し、この電流により EL 素子は輝度 B で発光する。

40

【0273】

図 195 は、図 194 の画素の動作を説明するためのタイミング図である。以下、図 194 の動作について説明をする。なお、図 194 の画素はマトリックス状に配置され、順次ゲート信号線が選択されることにより該当画素が選択される。ここでは説明を容易にするために、図 1 と同様に 1 画素について説明を行う。

【0274】

まず、ゲート信号線 17a が選択され、 V_{g1} 電圧が印加されると、トランジスタ 11 50

b 2、1 1 b 1、1 1 c がオンし、導通状態となる。この状態で、ソース信号線 1 8 に印加されたプログラム電流がトランジスタ 1 1 a 2、1 1 a 1 に流れ、このプログラム電流 I_w が流れるように、コンデンサ 1 9 に電圧が保持される（図 1 9 5 のゲート信号線 1 7 a の欄を参照のこと）。以上で電流プログラムが完了する。1 H の期間のゲート信号線 1 7 a には、オン電圧（ V_{g1} ）が印加され、選択期間経過後、オフ電圧（ V_{gh} ）が印加される。以上は基本的な動作であって、実際にはゲート信号線のオンオフタイミングなどは、図 2 6、図 2 7 などが適用されることは言うまでもない。

【0 2 7 5】

次に、駆動用トランジスタ 1 1 a 1 の電流 I_{e1} を EL 素子 1 5 に流す期間は、ゲート信号線 1 7 b 1 が選択される（ V_{g1} 電圧が印加される）。また、EL 素子 1 5 に電流を流さない期間には、ゲート信号線 1 7 b 1 にはオフ電圧（ V_{gh} 電圧）が印加される。以上の状態を定常的に繰り返すこと、あるいは周期的あるいはランダムに行うことにより EL 素子 1 5 が発光する。図 1 9 5 では、EL 素子 1 5 の発光を輝度 B で示している。なお、ゲート信号線 1 7 b 1 のタイミングチャートを図 1 9 5 のゲート信号線 1 7 b 1 で示している。

【0 2 7 6】

駆動用トランジスタ 1 1 a 2 の電流 I_{e2} を EL 素子 1 5 に流す期間は、ゲート信号線 1 7 b 2 が選択される（ V_{g1} 電圧が印加される）。また、EL 素子 1 5 に電流を流さない期間には、ゲート信号線 1 7 b 2 にはオフ電圧（ V_{gh} 電圧）が印加される。以上の状態を定常的に繰り返すこと、あるいは周期的あるいはランダムに行うことにより EL 素子 1 5 が発光する（図 1 9 5 では、EL 素子 1 5 の発光を輝度 B で示している。なお、ゲート信号線 1 7 b 2 のタイミングチャートを図 1 9 5 のゲート信号線 1 7 b 2 で示している。）

なお、図 1 9 4、図 1 9 5 の実施例において、駆動用トランジスタ 1 1 a は 2 つとし、この 2 つを切り換えると説明したが、これに限定するものではなく、駆動用トランジスタ 1 1 a を 3 個以上形成または配置し、3 個以上の駆動用トランジスタ 1 1 a を切り換えて、EL 素子 1 5 に電流 I_e を供給してもよい。また、2 つ以上の駆動用トランジスタ 1 1 a が同時に EL 素子に電流 I_e を供給してもよい。また、駆動用トランジスタ 1 1 a 1 が EL 素子 1 5 に供給する電流 I_{e1} と、駆動用トランジスタ 1 1 a 2 が EL 素子 1 5 に供給する電流 I_{e2} とはその電流の大きさを異ならせてもよい。

【0 2 7 7】

また、複数の駆動用トランジスタ 1 1 a はサイズを異ならせてもよい。また、複数の駆動用トランジスタ 1 1 a が EL 素子 1 5 に電流を流す時間は同一である必要はなく、異なってもよい。たとえば、駆動用トランジスタ 1 1 a 1 が $10 \mu\text{sec}$ の時間（ $10 \mu\text{sec}$ ）の間、EL 素子 1 5 に電流を供給し、駆動用トランジスタ 1 1 a 2 が $20 \mu\text{sec}$ の時間（ $20 \mu\text{sec}$ ）の間、EL 素子 1 5 に電流を供給するように構成してもよい。図 1 9 4 において、また、駆動用トランジスタ 1 9 4 において、駆動用トランジスタ 1 1 a 1 のゲート端子と駆動用トランジスタ 1 1 a 2 のゲート端子は共通に接続されているが、これに限定するものではなく、各ゲート端子が別のゲート電位に設定できるものであってもよいことは言うまでもない。以上の実施例は、図 3 1 から図 3 6 の画素構成にも適用できる。この場合は、プログラム用トランジスタと駆動用トランジスタに適用される。

【0 2 7 8】

以上の実施例は、主として図 1 の変形例の実施例であった。本発明はこれに限定するものではなく、図 1 3 などのカレントミラーの画素構成にも適用することができる。

【0 2 7 9】

図 3 5 は本発明の実施例である。図 3 5 は駆動用トランジスタ 1 1 b が 1 個で、プログラム用トランジスタ 1 1 a n が 4 個で、画素が構成された実施例である。他の構成は、図 1 2 または図 1 3 の実施例と同様である。

【0 2 8 0】

図 3 5 の実施例では、ゲート信号線 1 7 a 1、1 7 a 2 が選択されると、トランジスタ

11c、11dが動作状態となり、プログラム用トランジスタ11anとソース信号線18との電流経路が形成される。なお、4つのプログラム用トランジスタ11anは、同一サイズ（同一チャンネル幅W、同一チャンネル長L）で形成することが好ましい。ただし、本発明において、プログラム用トランジスタ11anは1つで構成してもよい。この場合は、1つのプログラム用トランジスタ11anの形状あるいはWL比を考慮し、所定のプログラム電流Iwが実現できるようにすることが好ましい。

【0281】

図35の実施例では、プログラム電流Iwは、4つのプログラム用トランジスタ11anの電流が合成されたものとなる。説明を容易にするため、各プログラム用トランジスタ11aに流れる電流が等しいとする。なお、説明を容易にするため、EL素子15に電流を供給するトランジスタ11aを駆動用トランジスタ11bと呼び、電流プログラム時に動作するトランジスタ11anなどをプログラム用トランジスタ11anと呼ぶことにする。

【0282】

図35では、駆動用トランジスタ11bと1つのプログラム用トランジスタ11anは同一出力電流となるようにしている（駆動用トランジスタおよびプログラム用トランジスタのゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためには、トランジスタ11anおよび11bのWL（チャンネル幅Wとチャンネル長L）を同一にすればよい。同一WLあるいはWL比のトランジスタ11aを複数形成する方が、各トランジスタ11aの出力バラツキが小さくなり、また画素16間のばらつきも少なくなり好ましい。

【0283】

ゲート信号線17a1、17a2に選択電圧（オン電圧）が印加されると、複数のプログラム用トランジスタ11anからの電流が合成されたものがプログラム電流Iwとなる。このプログラム電流Iwを、駆動用トランジスタ11bからEL素子15に流れる電流Ieの所定倍率にする。

【0284】

$I_w = n \cdot I_e$ （nは1より大きい自然数）

上式において、表示パネルの最大白ラスタでの表示輝度B（nt）、表示パネルの画素面積S（平方ミリメートル）（画素面積は、RGBを1単位として取り扱う。したがって、各RGBの絵素が縦0.1mm、横0.05mmであれば、 $S = 0.1 \times (0.05 \times 3)$ （平方ミリメートル）である）、表示パネルの1画素行選択期間（1水平走査（1H）期間）をH（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Bは、パネル仕様に規定する表示できる最大輝度である。

【0285】

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

さらに好ましくは、以下の条件と満足するようにする。

【0286】

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

IwはソースドライバIC（回路）14が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素16のコンデンサ19にホールドされる。また、Ieは駆動用トランジスタ11aがEL素子15に流す電流である。

【0287】

したがって、駆動用トランジスタ11bおよびプログラム用トランジスタ11aのWLまたは大きさ（形状）、出力電流は上記の関係式を満足するように構成または形成する。なお、説明を容易にするため、図35の構成では、駆動用トランジスタ11bのサイズもしくはは供給電流と、プログラム用トランジスタ11anのサイズ（形状）もしくはは1つあたりの供給電流が等しいとすると、n-1個のプログラム用トランジスタ11aを形成することにより上式の関係式を満足させることができる。特に図35の画素構成では、駆動用トランジスタ11aの電流もプログラム電流にすることができ、画素16の開口率をカレ

ントミラーの画素構成に比較して高くすることができる。

【 0 2 8 8 】

以上のように画素 1 6 を構成することにより、プログラム電流 I_w は、 I_e に対して n 倍になる。したがって、ソース信号線 1 8 に寄生容量が存在しても、書き込み不足はなくなる。

【 0 2 8 9 】

各トランジスタ 1 1 b、1 1 a n の出力ばらつきに関しては、プログラム用トランジスタ 1 1 a n と駆動用トランジスタ 1 1 b とを近接させて形成または配置することにより改善できる。また、トランジスタ 1 1 a n、トランジスタ 1 1 b の特性は、形成方向によっても異なる場合がある。したがって、トランジスタのチャンネル形成方向を横方向または縦方向に統一することが好ましい。

【 0 2 9 0 】

EL 表示パネルでは、RGB の EL 素子は異なる材料で構成される。したがって、各色で発光効率が異なる場合が多い。そのため、各 RGB のプログラム電流 I_w も異なる。ソース信号線 1 8 の寄生容量は、一般的に RGB に対する変化はなく、同一である場合が多い。各 RGB のプログラム電流 I_w が異なり、ソース信号線 1 8 の寄生容量が RGB で同一であれば、プログラム電流の書き込み時定数が異なることになる。

【 0 2 9 1 】

図 3 5 の画素構成に関しても、各 RGB のプログラム用トランジスタ 1 1 a n の個数を変化させればよい。また、各 RGB のプログラム用トランジスタ 1 1 a n のサイズ (WL など) あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ 1 1 b の個数あるいはサイズを変化させてもよい。

【 0 2 9 2 】

以上の事項は、図 3 1、図 3 3、図 3 4 などの画素構成においても同様に適用できることは言うまでもない。各 RGB のプログラム用トランジスタ 1 1 a n の個数を変化させればよい。また、各 RGB のプログラム用トランジスタ 1 1 a n のサイズ (WL など) あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ 1 1 a の個数あるいはサイズを変化させてもよい。

【 0 2 9 3 】

図 3 5 は、ゲート信号線 1 7 a 2 でトランジスタ 1 1 c を制御し、ゲート信号線 1 7 a 1 でトランジスタ 1 1 d を制御する。電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ 1 1 c とトランジスタ 1 1 d が同時にオフすることを抑制することができる。

【 0 2 9 4 】

電流プログラム状態から電流プログラム状態以外に変化させる時 (ゲート信号線 1 7 a 1、1 7 a 2 にオン電圧が印加されている状態から、ゲート信号線 1 7 a 1、1 7 a 2 にオフ電圧を印加する状態に変化させる時)、まず、ゲート信号線 1 7 a 2 の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ 1 1 d がオフ状態になる。次に、ゲート信号線 1 7 a 1 をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ 1 1 c がオフ状態になる。

【 0 2 9 5 】

以上のように、トランジスタ 1 1 d をオフ状態にしてから、トランジスタ 1 1 c をオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ 1 9 に保持される電圧が規定値どおりとなる。なお、ゲート信号線 1 7 a 1 とゲート信号線 1 7 a 2 にオフ電圧を印加するタイミングのずれは、0.1 μ sec 以上 5 μ sec 以下にすることが好ましい。

【 0 2 9 6 】

図 3 6 は、トランジスタ 1 1 c とトランジスタ 1 1 d をゲート信号線 1 7 a に印加する電圧により制御できるようにした構成である。図 3 6 の構成では、画素 1 6 を駆動するゲート信号線 1 7 は 1 本ですむため、配線信号線数が少なくすむ。図 3 6 の画素構成では

、非表示領域 192 を発生させることはできない。しかし、画素の制御は容易であり、画素の開口率も向上できる。

【0297】

以上の実施例は、電流プログラムの画素構成であった。本発明はこれに限定するものではなく、電圧駆動と電流駆動の画素構成を組み合わせてもよい。図 211 は電圧駆動と電流駆動の両方を実施できる画素構成である。電流駆動では低階調領域で電流書き込みが発生する。一方で電圧駆動では、低階調でも書き込み不足はない。しかし、電圧駆動では、表示画面に形成された駆動用トランジスタ 11a の特性バラツキを吸収することができないため、レーザーアニールのムラが表示されてしまう。電流駆動ではこの問題がない。したがって、図 213 に図示するように、低階調領域で電圧駆動を実施し、高階調領域で電流駆動を実施し、その中間の階調領域で電圧駆動の後、電流駆動を実施することにより、電流駆動と電圧駆動の双方の課題を解決することができる。

【0298】

図 211 は、電圧駆動と電流駆動の両方が実施することができる画素構成である。ただし、説明を容易にするため、図 1 と同様に 1 画素のみを記載している。また、ドライバ回路 12 など概念的に記載している。

【0299】

図 211 で、トランジスタ 11e を削除すると電圧オフセットキャンセル駆動の画素構成となる。図 211 の画素構成は、基本的には電圧オフセットキャンセル構成において、コンデンサ 19b をショートする 11e を形成または配置したものである。

【0300】

図 212 は、図 211 の画素構成を説明する説明図である。図 212 (a) は、電流駆動方式でのプログラム時の画素状態である。図 212 (b) は、電圧駆動方式でのプログラム時の状態である。

【0301】

まず、図 212 (a) の電流プログラム状態について説明をする。図 212 (a) ではトランジスタ 11e がオン状態にされる。そのため、コンデンサ 19b の両端がショートされる。また、ゲートドライバ回路 12d と 12a は同一の動作が実施される (図 212 (a) では、ゲートドライバ回路 12a + 12d として示している)。つまり、各画素行を選択される時は、ゲートドライバ回路 12a + 12d からオン電圧はゲート信号線 17b と 17a に印加される。したがって、トランジスタ 11e、11c、11b が同時にオン状態になる。つまり、図 212 (a) は図 1 の画素構成と同一である。そのため、ソースドライバ回路 14 から出力されたプログラム電流 I_w が駆動用トランジスタ 11a に書き込まれる。以降の動作 (ゲート信号線 17b の選択状態、動作) は、図 1 と同様であるので説明を省略する。なお、図 212 (a) において、本発明で説明する図 1 に対応した駆動方式はいずれも適用できることは言うまでもない。

【0302】

次に、図 212 (b) はゲート信号線 17a とゲート信号線 17c は別個に動作する。なお、この画素構成は電圧オフセットキャンセラとして知られているので動作については説明を省略する。

【0303】

本発明は、図 213 に図示するように、低階調領域では図 212 (b) の画素回路構成で動作させ、高階調領域では図 212 (a) の画素回路構成で動作させる。高階調領域と低階調領域の中間階調の領域では、図 212 (b) の回路構成で 1H の最初に行い、その後、図 212 (a) の回路構成で実施することが好ましい。図 212 (a) と図 212 (b) の切り換え範囲は評価によって決定する必要がある。検討の結果によれば、全階調範囲のうち、最も低階調 (階調 0) から、全階調の $1/10$ 以上 $1/4$ の範囲以下のいずれかでは、図 212 (b) の電圧駆動のみを実施し、全階調の $1/6$ 以上 $1/3$ 以下のいずれかの範囲から最高階調までは、図 212 (a) の電流プログラムを実施することが好ましい。

10

20

30

40

50

【 0 3 0 4 】

なお、この電流駆動のみあるいは電圧駆動のみを実施する階調範囲以外では図 2 1 2 (b) の電圧プログラムを実施した後、図 2 1 2 (a) の電流プログラムを実施する。高階調の領域においても図 2 1 2 (b) の電圧プログラムを実施した後、図 2 1 2 (a) の電流プログラムを実施してもよい。なお、低階調領域においても、図 2 1 2 (b) の電圧プログラムを実施した後、図 2 1 2 (a) の電流プログラムを実施してもよい。低階調領域では電圧プログラム状態が支配的であり、電圧プログラムの後に電流プログラムを実施しても電流プログラムの状態は画素 1 6 へのプログラム状態に影響を与えないからである。

【 0 3 0 5 】

以上のように本発明は、低階調領域では、まず、1 H の最初には電圧プログラムの画素構成を実現して少なくとも電圧プログラムを実施し、高階調領域では、1 H の最後には電流プログラムの画素構成を実現して少なくとも電流プログラムを実施するものである。なお、電流プログラムと電圧プログラムの組合せによる画素 1 6 へのプログラムは、図 1 2 7 から図 1 4 3 で説明しているので説明を省略する。図 2 1 1 および図 2 1 2 と、図 1 2 7 から図 1 4 3 の駆動方式とを組み合わせてもよいことはいうまでもない。

【 0 3 0 6 】

図 1 などは、電流プログラムの画素構成であるとして説明した。しかし、図 1 のほか図 6 、図 7 、図 8 、図 9 、図 1 0 、図 3 1 などの画素構成においても以下の方法は適用できることは言うまでもない。以上の事項は本発明の他の実施例でも同様に適用できることは言うまでもない。

【 0 3 0 7 】

図 2 1 4 は電流駆動の画素構成で電圧プログラムを行う実施例である。図 2 1 4 (a) は電圧プログラムを実施している状態であり、図 2 1 4 (b) は E L 素子 1 5 にプログラム電流 I_w を流して発光している状態である。

【 0 3 0 8 】

図 2 1 4 (a) では、ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b とトランジスタ 1 1 c とをオン状態にする。この状態でソース信号線 1 8 にプログラム電圧 V を印加し、この電圧 V を画素 1 6 のコンデンサ 1 9 に保持させる。この時、ゲート信号線 1 7 b にはオフ電圧を印加してトランジスタ 1 7 d をオフ (オープン) 状態にする。

【 0 3 0 9 】

図 2 1 4 (b) は、E L 素子 1 5 を発光させている時のトランジスタの状態を示している。ゲート信号線 1 7 a にはオフ電圧を印加し、トランジスタ 1 1 b 、トランジスタ 1 1 c はオープン状態にする。ゲート信号線 1 7 b にはオン電圧を印加し、トランジスタ 1 1 d は短絡 (オン状態) にする。

【 0 3 1 0 】

以上のように駆動することにより電圧プログラムを実施できる。つまり、低階調領域ではソース信号線に少なくとも 1 H の最初にはプログラム電圧 V を印加し、高階調領域では、少なくとも 1 H の最後にはプログラム電流 I_w を印加する。

【 0 3 1 1 】

なお、電圧駆動と電流駆動の切り換えタイミングは、図 2 1 2 、図 1 2 7 から図 1 4 3 などで説明しているので説明を省略する。以上の事項は本発明の他の実施例でも同様である。

【 0 3 1 2 】

図 2 1 5 は図 2 1 1 の変形例である。また、図 1 と図 2 との組合せとも考えることができる。図 1 にトランジスタ 1 1 e が追加された画素構成であるからである。トランジスタ 1 1 e を制御するゲート信号線 1 7 c が追加され、このゲート信号線 1 7 c に順次オンオフ電圧を走査状態で印加するゲートドライバ回路 1 2 c を具備する。

【 0 3 1 3 】

図 2 1 6 は図 2 1 5 の動作の説明図である。図 2 1 5 (a) は電流プログラムの駆動状態である。図 2 1 5 (b) は電圧プログラムの駆動状態である。

10

20

30

40

50

【 0 3 1 4 】

図 2 1 5 (a) では、ゲート信号線 1 7 c にオフ電圧が印加され、トランジスタ 1 1 e がオフ（オープン状態）になる。この状態は、図 1 の画素構成と同一である。したがって、ゲート信号線 1 7 c に絶えずオフ電圧を印加した状態で駆動することにより、図 1 で説明した駆動方法などを実現できることになり、電流プログラムを実施できる。

【 0 3 1 5 】

図 2 1 5 (b) では、ゲート信号線 1 7 には常時オフ電圧が印加される。したがって、ゲート信号線 1 7 a に接続されたトランジスタ 1 1 b とトランジスタ 1 1 c は常時オフ（オープン状態）にされる。この状態で、ゲート信号線 1 7 c にはゲートドライバ回路 1 2 c により順次走査状態でオン電圧が印加されていく。選択された画素行のトランジスタ 1 1 e がオン状態となり、ソース信号線 1 8 に印加されたプログラム電圧 V がコンデンサ 1 9 に印加される。なお、図 2 1 6 (b) での駆動方式では、電圧プログラム時にトランジスタ 1 1 d は必ずしもオフ（オープン）状態にすることはなく、図 2 1 6 (b) に図示するようにオン状態でもオフ状態のいずれでもよい。ただし、EL 素子 1 5 に電流を流す時はトランジスタ 1 1 d をオン状態にする必要があることは言うまでもない。他の動作などに関しては先の実施例の動作と同様であるので説明を省略する。

【 0 3 1 6 】

図 2 1 7 は、図 2 1 2 もしくは図 2 1 5 の変形例である。図 2 1 7 は、駆動用トランジスタ 1 1 a とトランジスタ 1 1 d 間にトランジスタ 1 1 e が形成または配置されている。トランジスタ 1 1 e は、ゲートドライバ回路 1 2 c に接続されたゲート信号線 1 7 c によ

【 0 3 1 7 】

図 2 1 8 は図 2 1 7 の動作の説明図である。図 2 1 8 (a) は電流プログラムの状態を示しており、図 2 1 8 (b) は電圧プログラムの状態を示している。

【 0 3 1 8 】

図 2 1 8 (a) では、ゲート信号線 1 7 c には常時オン電圧が印加され（図 2 1 2 と同様に、画素行が選択される時にトランジスタ 1 1 e をオン状態にしてもよいことは言うまでもない。このことは図 2 1 5 についても同様である。）、選択された画素行のゲート信号線 1 7 a にはオン電圧が印加される。そのため、トランジスタ 1 1 b、トランジスタ 1 1 c がオンとなる。この状態でソース信号線 1 8 にプログラム電流 I_w が印加され、このプログラム電流 I_w が、選択された画素 1 6 のコンデンサ 1 9 に書き込まれる。

【 0 3 1 9 】

図 2 1 8 (b) は、電圧プログラム時の画素書き込み状態を図示している。基本的には図 2 の電圧プログラム状態となる。ゲート信号線 1 7 c にはオフ電圧が印加され、トランジスタ 1 1 e がオフ（オープン状態）となる。また、図 2 8 (a) と同様にゲート信号線 1 7 b にはオフ電圧が印加され、トランジスタ 1 1 d がオフ状態となる。この状態でソース信号線 1 8 に印加されたプログラム電圧 V が、選択された画素 1 6 のコンデンサ 1 9 に書き込まれる。他の動作などに関しては、先の実施例の動作と同様であるので説明を省略する。

【 0 3 2 0 】

図 2 の画素構成において、特に問題となる事項に、電源（パネルに供給するカソード電圧、アノード電圧）をオンオフする際に、過渡電流が EL 素子 1 5 に流れるということがある。つまり、トランジスタ 1 1 b のオンオフ状態が確定せず、また、コンデンサ 1 9 の電位状態が不定の状態である。この課題は電源オフ時でも発生する。

【 0 3 2 1 】

この課題に対しては、図 2 1 9 に図示するように、アノードとトランジスタ 1 1 a 間にスイッチ用トランジスタ 2 1 9 a を配置または形成し、駆動用トランジスタ 1 1 a から EL 素子 1 5 あるいはカソード間にトランジスタ 2 1 9 b を形成または配置することにより解決することができる。

10

20

30

40

50

【 0 3 2 2 】

電源オフする際は、図 2 2 0 に図示するように電源をオフする前に、コントローラによりトランジスタ 2 1 9 1 をオフにする。トランジスタ 2 1 9 1 のオフは図 2 2 0 (a) に図示するように、トランジスタ 2 1 9 1 a またはトランジスタ 2 1 9 1 b のいずれか一方をオフにしてもよいし、図 2 2 0 (b) に図示するように、トランジスタ 2 1 9 1 a とトランジスタ 2 1 9 1 b の両方をオフにした後、電源回路をオフ状態にしてもよい。

【 0 3 2 3 】

電源オンする際は、コントローラによりトランジスタ 2 1 9 1 をオフにする。その後、電源回路をオンにしてから、トランジスタ 2 1 9 1 をオン状態にすることが好ましい。

【 0 3 2 4 】

以上の、図 2 1 9 、図 2 2 0 で説明した事項は、本発明の他の画素構成にも適用できることはいうまでもない。図 2 1 9 のトランジスタ 2 1 9 a とトランジスタ 2 1 9 b のいずれか一方を配置または形成すれば効果が得られることは言うまでもない。

【 0 3 2 5 】

また、図 2 1 9 は各画素 1 6 にスイッチ用のトランジスタ 2 1 9 1 を形成または配置するとしたが、これに限定するものではなく、アノード端子に 1 個のスイッチ 2 1 9 1 a を配置し、カソード端子に 1 個のスイッチ 2 1 9 1 b を配置してもよい。また、図 2 1 9 において 2 1 9 1 はトランジスタであるとしたが、これに限定するものではなく、サイリスタのような他の素子、ホトダイオード、リレー素子などでもよいことは言うまでもない。

【 0 3 2 6 】

以上の実施例は、表示領域に形成あるいは配置された画素 1 6 は、電流駆動方式の画素または電圧駆動方式の画素構成か、もしくは、電圧駆動と電流駆動とを切り換えることができるものであった。しかし、本発明はこれに限定するものではない。たとえば、図 2 2 1 のように構成してもよい。

【 0 3 2 7 】

図 2 2 1 は、1 本のソース信号線 1 8 に電流駆動の画素 (図 1 など) 1 6 b と電圧駆動の画素 (図 2 など) 1 6 a が接続された構成である。電流駆動の画素 1 6 b はソース信号線 1 8 の一端に配置または形成され、また、形成位置はソースドライバ回路 (I C) 1 4 から遠い位置に配置または形成される。また、電流駆動の画素 1 6 b の駆動用トランジスタ 1 1 a の W L と電圧駆動の画素 1 6 a の駆動用トランジスタ 1 1 a の W L とは一致させる。

【 0 3 2 8 】

電流駆動の画素 1 6 b は、プログラム電流 (電圧) の大きさなどの場合にに応じてオン状態にされ、ソース信号線 1 8 に電流を供給し、ソース信号線 1 8 の充放電を実施して、画素 1 6 へのプログラム書き込みを実施する。

【 0 3 2 9 】

なお、図 2 2 2 は、図 2 2 1 の電圧画素 1 6 a と電流画素 1 6 b の関係を入れ替えた構成である。以上のように本発明は、表示領域に電圧画素 1 6 a と電流画素 1 6 b の両方を形成または配置するものである。

【 0 3 3 0 】

本発明の画素構成によれば、トランジスタ 1 1 d (図 1 の場合) などのスイッチング手段を制御することにより、R G B 画像を順次表示することができる (図 2 2 の構成も参照のこと) 。図 3 7 (a) は、1 フレーム (1 フィールド) 期間に R 表示領域 1 9 3 R 、 G 表示領域 1 9 3 G 、 B 表示領域 1 9 3 B を画面の上から下方向 (下方向から上方向でもよい) に走査する。R G B の表示領域以外の領域は非表示領域 5 2 とする。つまり、間欠駆動を実施する。R 、 G 、 B の表示領域 1 9 3 は個別に間欠表示が実施される。

【 0 3 3 1 】

図 3 7 (b) は、1 フィールド (1 フレーム) 期間に R 、 G 、 B 表示領域 1 9 3 を複数発生するように実施した実施例である。この駆動方法は、図 2 3 の駆動方法と類似である。したがって、説明を必要としないであろう。図 3 7 (b) のように表示領域 1 9 3 を複

10

20

30

40

50

数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

【 0 3 3 2 】

図 3 8 (a) は、R G B の表示領域 1 9 3 で、表示領域 1 9 3 の面積を異ならせたものである。なお、表示領域 1 9 3 の面積は点灯期間に比例することは言うまでもない。図 3 8 (a) では、R 表示領域 1 9 3 R と G 表示領域 1 9 3 G の面積を同一にしている。G 表示領域 1 9 3 G より B 表示領域 1 9 3 B の面積を大きくしている。

【 0 3 3 3 】

有機 E L 表示パネルでは、B の発光効率が悪い場合が多い。図 3 8 (a) のように B 表示領域 1 9 3 B を他の色の表示領域 1 9 3 よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、R、G、B 表示領域 1 9 3 の面積を変 10
化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。

【 0 3 3 4 】

図 3 8 (b) は、1 フィールド (フレーム) 期間で、B 表示期間 1 9 3 B が複数 (1 9 3 B 1、1 9 3 B 2) となるようにした実施例である。図 3 8 (a) は、1 つの B 表示領域 1 9 3 B を変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図 3 8 (b) は、同一面積の B 表示領域 1 9 3 B を複数表示させることにより、ホワイトバランス調整 (補正) を良好にする。また、色温度補正 (調整) を良好にする。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

【 0 3 3 5 】

本発明の駆動方式は、図 3 7、図 3 8 のいずれかに限定するものではない。R、G、B の表示領域 1 9 3 を発生し、また、間欠表示する。結果として動画ボケを対策し、画素 1 6 への書き込み不足を改善する。なお、図 2 3 の駆動方法では、R、G、B が独立の表示領域 1 9 3 は発生しない。R G B が同時に表示される (W 表示領域 1 9 3 が表示されると表現すべきである)。なお、図 3 8 (a) と図 3 8 (b) とは組み合わせてもよいことは言うまでもない。たとえば、図 3 8 (a) の R G B の表示面積 1 9 3 を変化し、かつ図 3 8 (b) の R G B の表示領域 1 9 3 を複数発生させる駆動方法の実施である。 20

【 0 3 3 6 】

なお、図 3 7 から図 3 8 の駆動方式は、図 2 2 のように、R G B ごとに E L 素子 1 5 (E L 素子 1 5 R、E L 素子 1 5 G、E L 素子 1 5 B) に流れる電流を制御できる構成あれば、図 3 7、図 3 8 の駆動方式を容易に実施できることは言うまでもないであろう。 30

【 0 3 3 7 】

図 2 2 の表示パネルの構成において、ゲート信号線 1 7 b R にオンオフ電圧を印加することにより、R 画素 1 6 R をオンオフ制御することができる。ゲート信号線 1 7 b G にオンオフ電圧を印加することにより、G 画素 1 6 G をオンオフ制御することができる。ゲート信号線 1 7 b B にオンオフ電圧を印加することにより、B 画素 1 6 B をオンオフ制御することができる。

【 0 3 3 8 】

また、以上の駆動を実現するためには、図 3 9 に図示するように、ゲート信号線 1 7 b R を制御するゲートドライバ回路 1 2 b R、ゲート信号線 1 7 b G を制御するゲートドライバ回路 1 2 b G、ゲート信号線 1 7 b B を制御するゲートドライバ回路 1 2 b B を形成または配置すればよい。 40

【 0 3 3 9 】

図 3 9 のゲートドライバ回路 1 2 b R、1 2 b G、1 2 b B を、図 1 9、図 2 0 など説明した方法で駆動することにより、図 3 7、図 3 8 の駆動方法を実現できる。もちろん、図 3 9 の表示パネルの構成で、図 2 3 の駆動方法なども実現できることは言うまでもない。

【 0 3 4 0 】

図 2 0、図 2 4、図 2 6、図 2 7 などでは、ゲート信号線 1 7 b (E L 側選択信号線) は 1 水平走査期間 (1 H) を単位として、オン電圧 (V g l)、オフ電圧 (V g h) を印 50

加するとして説明をした。しかし、EL素子15の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は1H単位に限定する必要はない。なお、以下の事項はゲート信号線17a(17a1、17a2)にも適用される。

【0341】

まず、アウトプットイネーブル(OEV)の概念を導入するため、以下のように規定する。OEV制御を行うことにより、1水平走査期間(1H)以内のゲート信号線17a、17bにオンオフ電圧(Vg1電圧、Vgh電圧)を画素16に印加できるようになる。説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線17a(図1の場合)であるとして説明をする。また、ゲート信号線17aを制御するゲートドライバ回路12aの出力をWR側選択信号線と呼ぶ。EL素子15
10
を選択するゲート信号線17b(図1の場合)であるとして説明をする。また、ゲート信号線17bを制御するゲートドライバ回路12bの出力をEL側選択信号線と呼ぶ。

【0342】

ゲートドライバ回路12は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路12aのシフトレジスタ内の保持データにより、WR側選択信号線に出力される電圧がオン電圧(Vg1)かオフ電圧(Vgh)かが決定される。さらに、ゲートドライバ回路12aの出力段には、強制的に出力をオフにするOEV1回路(図示せず)が形成または配置されている。OEV1回路がLレベルの時には、ゲートドライバ回路12aの出力であるWR側選択信号をそのままゲート信号線17aに出力する。
20

【0343】

以上の関係をロジック的に図示すれば、OR回路の関係となる(図40(b)を参照のこと)。なお、オン電圧をロジックレベルのL(0)とし、オフ電圧をロジック電圧のH(1)としている。ゲートドライバ回路12aがオフ電圧を出力している場合は、ゲート信号線17aにオフ電圧が印加される。ゲートドライバ回路12aがオン電圧(ロジックではLレベル)を出力している場合は、OR回路でOEV1回路の出力とORが取られてゲート信号線17aに出力される。OEV1回路は、Hレベルの時、ゲートドライバ信号線17aに出力する電圧をオフ電圧(Vgh)にする(図40(a)のタイミングチャートの例を参照のこと)。

【0344】

ゲートドライバ回路12bのシフトレジスタ内の保持データにより、ゲート信号線17b(EL側選択信号線)に出力される電圧がオン電圧(Vg1)かオフ電圧(Vgh)かが決定される。さらに、ゲートドライバ回路12bの出力段には、強制的に出力をオフにするOEV2回路(図示せず)が形成または配置されている。OEV2回路がLレベルの時には、ゲートドライバ回路12bの出力をそのままゲート信号線17bに出力する。以上の関係をロジック的に図示すれば、図40(a)の関係となる。なお、オン電圧をロジックレベルのL(0)とし、オフ電圧をロジック電圧のH(1)としている。
30

【0345】

ゲートドライバ回路12bがオフ電圧を出力している場合(EL側選択信号はオフ電圧)は、ゲート信号線17bにオフ電圧が印加される。ゲートドライバ回路12bがオン電圧(ロジックではLレベル)を出力している場合は、OR回路でOEV2回路の出力とORが取られてゲート信号線17bに出力される。つまり、OEV2回路は、入力信号がHレベルの時、ゲートドライバ信号線17bに出力する電圧をオフ電圧(Vgh)にする。したがって、OEV2回路によりEL側選択信号がオン電圧出力状態であっても、強制的にゲート信号線17bに出力される信号はオフ電圧(Vgh)になる。なお、OEV2回路の入力がLであれば、EL側選択信号がスルーでゲート信号線17bに出力される(図40(a)のタイミングチャートの例を参照のこと)。
40

【0346】

ゲート信号線17b(EL側選択信号線)にオン電圧を印加する期間を調整することにより、表示画面144の輝度をリニアに調整することができる。これはOEV2回路を制
50

御することにより容易に実現できる。たとえば、図 4 1 では、図 4 1 (a) よりも図 4 1 (b) の方が表示輝度は低くなる。また、図 4 1 (b) よりも図 4 1 (c) の方が表示輝度は低くなる。

【 0 3 4 7 】

また、図 4 2 に図示するように、1 H 期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図 4 2 (a) は、6 回設けた実施例である。図 4 2 (b) は、3 回設けた実施例である。図 4 2 (c) は、1 回設けた実施例である。図 4 2 では、図 4 2 (a) よりも図 4 2 (b) の方が表示輝度は低くなる。また、図 4 2 (b) よりも図 4 2 (c) の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

10

【 0 3 4 8 】

以後、本発明の電流駆動方式のソースドライバ IC（回路）1 4 について説明をする。本発明のソースドライバ IC は、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、IC チップとして説明をするがこれに限定するものではなく、高温彫りシリコン技術、低温ポリシリコン技術、CGS 技術、アモルファスシリコン技術などを用いて、表示パネルの基板 3 0 上に作製してもよいことは言うまでもない。また、シリコンウエハなどに形成したソースドライバ回路 1 4 を基板 3 0 に転写してもよい。

【 0 3 4 9 】

図 4 3 は、ソースドライバ IC（回路）1 4 の 1 出力段の構造図である。つまり、1 つのソース信号線 1 8 に接続される出力部である。複数の同一サイズの単位トランジスタ 1 5 4（1 単位）で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。図 4 3 は、6 4 階調表示の一実施例である。1 出力段に相当するトランジスタ群 4 3 1 c には、単位トランジスタ 1 5 4 は 6 3 個で構成されている。

20

【 0 3 5 0 】

なお、本発明のソースドライバ IC（回路）1 4 を構成するトランジスタあるいはトランジスタ群は、MOS タイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。

【 0 3 5 1 】

図 4 3 は、本発明の 1 実施例として、6 ビットのデジタル入力の場合を図示している。つまり、2 の 6 乗であるから、6 4 階調表示である。このソースドライバ IC 1 4 をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各 6 4 階調であるから、 $64 \times 64 \times 64 = \text{約 } 26 \text{ 万色}$ を表示できることになる。

30

【 0 3 5 2 】

6 4 階調の場合は、D 0 ビットの単位トランジスタ 1 5 4 は 1 個、D 1 ビットの単位トランジスタ 1 5 4 は 2 個、D 2 ビットの単位トランジスタ 1 5 4 は 4 個、D 3 ビットの単位トランジスタ 1 5 4 は 8 個、D 4 ビットの単位トランジスタ 1 5 4 は 1 6 個、D 5 ビットの単位トランジスタ 1 5 4 は 3 2 個であるから、合計で単位トランジスタ 1 5 4 は 6 3 個である。つまり、本発明は階調の表現数（この実施例の場合は、6 4 階調）- 1 個の単位トランジスタ 1 5 4 を 1 出力と構成（形成）する。

40

【 0 3 5 3 】

なお、単位トランジスタ 1 個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。たとえば、1 つの単位トランジスタ 1 5 4 が、4 つのサブ単位トランジスタで構成される場合が例示される。したがって、本発明が、階調の表現数 - 1 個の単位トランジスタで構成されていることには差異はない（同義である）。

【 0 3 5 4 】

また、図 4 3 において、D 5 ビット目の単位トランジスタ 1 5 4 の 3 2 個は、密集させて配置（形成）しているように図示しているが、本発明はこれに限定するものではない。

50

たとえば、8個の単位トランジスタ154の群（つまり、8個のトランジスタの集まりが4組）に分割し、分割されたトランジスタ群を分散させて配置（構成）してもよい。この方が、出力電流のバラツキが低減する。

【0355】

図43において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ151a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する単位トランジスタ154に向かって電流が流れる。この電流はIC14内の内部配線153に流れる。この内部配線153はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線153に流れる電流が画素16のプログラム電流となる。

【0356】

たとえば、D1入力端子にHレベル（正論理時）の時、スイッチ151がオンする。すると、カレントミラーを構成する2つの単位トランジスタ154に向かって電流が流れる。この電流はIC14内の内部配線153に流れる。この内部配線153はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線153に流れる電流が画素16のプログラム電流となる。

【0357】

他のスイッチ151でも同様である。D2入力端子にHレベル（正論理時）の時は、スイッチ151cがオンする。すると、カレントミラーを構成する4つの単位トランジスタ154に向かって電流が流れる。D5入力端子にHレベル（正論理時）の時は、スイッチ151fがオンする。すると、カレントミラーを構成する32個の単位トランジスタ154に向かって電流が流れる。

【0358】

以上のように、外部からのデータ（D0～D5）に応じて、それに対応する単位トランジスタに向かって電流が流れる。したがって、データに応じて、0個から63個の単位トランジスタに電流が流れるように構成されている。

【0359】

なお、本発明は説明を容易にするため、電流源は6ビットの63個としているが、これに限定するものではない。8ビットの場合は、255個の単位トランジスタ154を形成（配置）すればよい。また、4ビットの時は、15個の単位トランジスタ154を形成（配置）すればよい。もちろん、8ビットの場合は、255×2個の単位トランジスタ154を形成（配置）してもよい。1つの単位トランジスタ154が2個で1単位電流を出力する。単位電流源を構成する単位トランジスタ154は、同一のチャンネル幅W、チャンネル幅Lとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【0360】

また、単位トランジスタ154はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ154を重み付けしてもよい。たとえば、1単位の単位トランジスタ154と、2倍の単位トランジスタ154と、4倍の単位トランジスタ154などを混在させて電流出力回路を構成してもよい。

【0361】

しかし、単位トランジスタ154を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【0362】

6ビットの画像データD0、D1、D2、・・・、D5で制御されるスイッチを介して、プログラム電流Iwはソース信号線に出力される（電流を引き込む）。したがって、6

ビットの画像データ D 0、D 1、D 2、・・・、D 5 の O N、O F F に応じて、出力線には、1 倍、2 倍、4 倍、・・・、3 2 倍の電流が加算されて出力される。すなわち、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 により、出力線 1 5 3 よりプログラム電流が出力される（ソース信号線 1 8 から電流を引き込む。）。

【 0 3 6 3 】

E L 表示パネルで、フルカラー表示を実現するためには、R G B のそれぞれに基準電流を形成（作成）する必要がある。R G B の基準電流の比率でホワイトバランスを調整できる。基準電流は、単位トランジスタ 1 5 4 が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ 1 5 4 が流す電流を決定することができる。そのため、R、G、B のそれぞれの基準電流を設定すれば、すべての階調におけるホワイ 10 トバランスが取れることになる。以上の事項は、ソースドライバ回路 1 4 が電流きざみ出力（電流駆動）であることから発揮される効果である。

【 0 3 6 4 】

トランジスタ群 4 3 1 c 内の単位トランジスタ 1 5 4 のゲート端子（G）は共通のゲート配線 1 5 3 と接続されている。また、単位トランジスタ 1 5 4 のソース端子（S）は共通の内部配線 1 5 0 に接続され、内部配線 1 5 0 の一端に端子 1 5 5 が構成されている。単位トランジスタ 1 5 4 のドレイン端子（D）はグランド電位（G N D）に接地されている。

【 0 3 6 5 】

1 つのトランジスタ群 4 3 1 c は 1 本のソース信号線 1 8 に対応して構成（形成）され 20 ている。また、図 4 7 に図示するように、単位トランジスタ 1 5 4 はトランジスタ 1 5 8 b 1 または 1 5 8 b 2 とカレントミラー回路を構成している。トランジスタ 1 5 8 b には基準電流 I c が流れ、この基準電流 I c より単位トランジスタ 1 5 4 の出力電流が決定される。

【 0 3 6 6 】

図 4 7 に図示するように、トランジスタ 1 5 8 b のゲート端子（G）と単位トランジスタのゲート端子（G）とは共通のゲート配線 1 5 3 で接続されている。そのため、トランジスタ 1 5 8 b と各トランジスタ群 4 3 1 c とはカレントミラー回路を構成している。図 4 7 に図示するように、トランジスタ群 4 3 1 c の両側にトランジスタ 1 5 8 b 1 とトランジスタ 1 5 8 b 2 を配置することにより、ゲート配線 1 5 3 の電位勾配が小さくなる 30 。したがって、左右のトランジスタ群（4 3 1 c 1、4 3 1 c n）の出力電流の大きさが等しくなる（同一階調の時）。また、基準電流 I c 1 と I c 2 の大きさを調整することにより、ゲート配線 1 5 3 の電位勾配を変化させることができる。基準電流 I c 1、I c 2 の大きさを調整することにより、左右のトランジスタ群（4 3 1 c 1、4 3 1 c n）の出力電流の大きさを調整できる。

【 0 3 6 7 】

図 4 7 ではトランジスタ群 4 3 1 c とトランジスタ 1 5 8 b がカレントミラー回路を構成するとしたが、実際には、トランジスタ 1 5 8 b は複数のトランジスタから構成されている。つまり、複数のトランジスタ 1 5 8 b によるトランジスタ群 4 3 1 b と、トランジスタ群 4 3 1 c がカレントミラー回路を構成している。つまり、複数のトランジスタ 1 5 40 8 b のゲート端子と複数の単位トランジスタ 1 5 4 のゲート端子が、共通のゲート配線 1 5 3 で結線されている。

【 0 3 6 8 】

図 4 8 は、トランジスタ群 4 3 1 b のトランジスタ 4 8 3 b の配置構成である。1 つのトランジスタ群 4 3 1 b には、トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 と同一数の 6 3 個のトランジスタ 1 5 8 b が形成されている。

【 0 3 6 9 】

もちろん、1 つのトランジスタ群 4 3 1 b 内のトランジスタ 1 5 8 b の個数を 6 3 個に限定するものではない。単位トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 数が階調数 - 1 で構成される場合は、トランジスタ群 4 3 1 b 内のトランジスタ 1 5 8 b の個数も 50

階調数 - 1 あるいはこれと同様もしくは類似個数で形成される。また、図 4 8 の構成に限定されるものではなく、図 4 9 のようにマトリックス状に形成または配置してもよい。

【 0 3 7 0 】

以上の構成を、図 4 4 に模式図的にしめす。単位トランジスタ群 4 3 1 c が出力端子数分、並列に配置される。単位トランジスタ群 4 3 1 c の両脇にトランジスタ群 4 3 1 b が複数ブロック形成されている。トランジスタ群 4 3 1 b のトランジスタ 1 5 8 b のゲート端子と、単位トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 のゲート端子とはゲート配線 1 5 3 で接続される。

【 0 3 7 1 】

なお、以上の説明は、説明を容易にするため、単色のソースドライバ IC 1 4 のように説明したが、本来は、図 4 5 のように構成される。つまり、トランジスタ群 4 3 1 b および単位トランジスタ群 4 3 1 c は、赤 (R)、緑 (G)、青 (B) のトランジスタ群が交互に配置される (図 4 5 において、添え字 R が付加されたトランジスタ群は赤 (R) 用を示しており、添え字 G が付加されたトランジスタ群は緑 (G) 用を示しており、添え字 B が付加されたトランジスタ群は青 (B) 用を示している)。以上のように、R G B 用のトランジスタ群を交互に配置することにより R G B 間の出力バラツキが低減する。この構成もソースドライバ IC 1 4 内のレイアウトとして重要な要件である。

【 0 3 7 2 】

図 4 7 では、各トランジスタ群 4 3 1 c 1 と 4 3 1 c n の両側に、トランジスタ 1 5 8 b (1 5 8 b 1、1 5 8 b 2) が形成または配置されている。本発明はこれに限定するものではない。図 4 6 に図示するように、トランジスタ 1 5 8 b は片側であってもよい。

【 0 3 7 3 】

基準電流 I_c は、図 5 0 に図示するように、電子ポリウム 5 0 1 とオペアンプ 5 0 2 など発生させることが好ましい。電子ポリウム 5 0 1 とオペアンプ 5 0 2 などは、ソースドライバ IC 1 4 に内蔵させる。電子ポリウム 5 0 1 の内部にはラダー抵抗 R が構成 (形成) されており、ラダー抵抗 R は基準電圧 V_s (もしくは IC 電源電圧) を分割している。ラダー抵抗で分圧された電圧は、スイッチ S で選択され、オペアンプ 5 0 2 の正極性端子に印加される。印加された電圧とソースドライバ IC 1 4 の外付け抵抗 R 1 により、基準電流 I_c が発生する。抵抗 R 1 を外付けすることにより、R 1 の値により容易に基準電流の値を調整でき、また、R G B 回路の外付け抵抗を調整することにより容易にホワイトバランスを取ることができる。

【 0 3 7 4 】

図 5 0 の構成では、電子ポリウム 5 0 1 a と電子ポリウム 5 0 1 b を独立に動作させることができる。したがって、トランジスタ 1 5 8 a 1 とトランジスタ 1 5 8 a 2 とが流す電流の値を変更することができる。したがって、チップの左右のトランジスタ 1 5 8 b (1 5 8 b 1、1 5 8 b 2) に流す電流を調整でき、ゲート配線 1 5 3 の電位傾きを調整可能である。

【 0 3 7 5 】

単位トランジスタ 1 5 4 を構成するトランジスタの大きさは、一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。単位トランジスタ 1 5 4 の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、チャンネル幅 $W = 3 \mu m$ 、チャンネル長 $L = 4 \mu m$ であれば、1 つの単位電流源を構成する単位トランジスタ 1 5 4 のサイズは、 $W \times L = 12$ 平方 μm である。

【 0 3 7 6 】

トランジスタサイズが小さくなるほどバラツキが大きくなるのは、シリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1 つのトランジスタが複数の結晶界面にまたがって形成されていると、トランジスタの出力電流バラツキは小さくなる。

【 0 3 7 7 】

図 4 4、図 4 8 において、トランジスタ群 4 3 1 b のトランジスタ 1 5 8 b の総面積 (50

トランジスタ群 4 3 1 b の個数×トランジスタ群 4 3 1 b 内のトランジスタ 1 5 8 b の W L サイズ×トランジスタ 1 5 8 b 数) を S_b とする。トランジスタ群 4 3 1 b が 1 個のトランジスタ 1 5 8 b で構成される場合は、 S_b は、トランジスタ群 4 3 1 b の個数×トランジスタ 1 5 8 b の W L サイズであることは言うまでもない。以上のように、トランジスタ 1 5 8 b の総面積を S_b とする。

【 0 3 7 8 】

また、トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 の総面積 (トランジスタ群 4 3 1 c 内の単位トランジスタ 1 5 4 の W L サイズ×単位トランジスタ 1 5 4 数) を S_c (平方 μm) とする。トランジスタ群 4 3 1 c の個数を n (n は整数) とする。 n は Q C I F + パネルの場合は 1 7 6 である (R G B ごとに基準電流回路が形成されている場合)。 10
したがって、 $n \times S_c$ (平方 μm) は、トランジスタ群 4 3 1 b のトランジスタ 1 5 8 b とカレントミラー回路を形成する (トランジスタ 1 5 8 b とゲート配線 1 5 3 を共通にする) 単位トランジスタ 1 5 4 の総面積である。

【 0 3 7 9 】

$S_c \times n / S_b$ が大きくなるにしたがって、ゲート配線 1 5 3 の揺れが大きくなる。 $S_c \times n / S_b$ が大きくなることは、出力端子数 n を一定とすると、トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 総面積が、トランジスタ群 4 3 1 b のトランジスタ 1 5 8 b 総面積に対して大きくなることを示す。ゲート配線 1 5 3 の揺れが大きくなる。大きくなるにつれ、ゲート配線 1 5 3 の揺れが大きくなる。

【 0 3 8 0 】

$S_c \times n / S_b$ が小さくなることは、出力端子数 n を一定とすると、トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 総面積が、トランジスタ群 4 3 1 b のトランジスタ 1 5 8 b 総面積に対して狭いことを示す。この場合はゲート配線 1 5 3 の揺れが小さくなる。 20

【 0 3 8 1 】

ゲート配線 1 5 3 の揺れの許容範囲は、 $S_c \times n / S_b$ が 5 0 以下である。 $S_c \times n / S_b$ が 5 0 以下であれば、変動比率は許容範囲内であり、ゲート配線 1 5 3 の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。

【 0 3 8 2 】

図 6 7 は、I C 耐圧と単位トランジスタ 1 5 4 の出力バラツキの関係を図示したものである。縦軸のバラツキ比率とは、1. 8 (V) 耐圧プロセスで作製した単位トランジスタ 1 5 4 のバラツキを 1 としている。 30

【 0 3 8 3 】

なお、図 6 7 は単位トランジスタ 1 5 4 の形状 L / W を $12 (\mu m) / 6 (\mu m)$ とし、各耐圧プロセスで製造した単位トランジスタ 1 5 4 の出力バラツキを示している。また、各 I C 耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、1. 8 (V) 耐圧、2. 5 (V) 耐圧、3. 3 (V) 耐圧、5 (V) 耐圧、8 (V) 耐圧、10 (V) 耐圧、15 (V) 耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。 40

【 0 3 8 4 】

耐圧と出力バラツキに相関があるのは、トランジスタのゲート絶縁膜と関係しているためと推定される。耐圧が高い場合は、ゲート絶縁膜が厚い。ゲート絶縁膜が厚いとモビリティも低くなり、膜厚に対するバラツキも大きくなる。

【 0 3 8 5 】

図 6 7 から、I C 耐圧が 13 (V) 程度までは、I C プロセスに対するバラツキ比率 (単位トランジスタ 1 5 4 の出力電流バラツキ) の増加割合は小さい。しかし、I C 耐圧が 15 (V) 以上になると I C 耐圧に対するバラツキ比率の傾きが大きくなる。

【 0 3 8 6 】

図 6 7 におけるバラツキ比率は、3 以内が 6 4 階調から 2 5 6 階調表示でのバラツキ許 50

容範囲である。ただし、このばらつき比率は、単位トランジスタ154の面積、 L/W により異なる。しかし、単位トランジスタ154の形状などを変化させても、IC耐圧に対するバラツキ比率の変化傾向はほとんど差がない。IC耐圧13～15 (V) 以上でバラツキ比率が大きくなる傾向がある。

【0387】

一方、ソースドライバIC (回路) 14の出力端子155の電位は、画素16の駆動用トランジスタ11aのプログラム電流により変化する。画素16の駆動用トランジスタ11aが、白ラスター (最大白表示) の電流を流す時のゲート端子電位 V_w とする。画素16の駆動用トランジスタ11aが、黒ラスター (完全黒表示) の電流を流す時のゲート端子電位 V_b とする。 $V_w - V_b$ の絶対値は2 (V) 以上必要である。また、 V_w 電圧が出力端子155に印加されている時、単位トランジスタ154のチャンネル間電圧は、0.5 (V) 必要である。

【0388】

したがって、出力端子155 (端子155はソース信号線18と接続され、電流プログラム時、画素16の駆動用トランジスタ11aのゲート端子電圧が印加される) には、0.5 (V) から $(V_w - V_b) + 0.5$ (V) の電圧が印加される。 $V_w - V_b$ は2 (V) であるから、端子155は最大 $2 (V) + 0.5 (V) = 2.5 (V)$ 印加される。したがって、ソースドライバIC 14の出力電圧 (電流) が *rail-to-rail* 出力であっても、IC耐圧としては2.5 (V) 必要である。出力端子155の振幅必要範囲は、2.5 (V) 以上必要である。

【0389】

以上のことから、ソースドライバIC 14の耐圧は、2.5 (V) 以上15 (V) 以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバIC 14の耐圧は、3 (V) 以上12 (V) 以下のプロセスを使用することが好ましい。さらに好ましくは、駆動用トランジスタ11aの振幅値を比較的大きくし、プログラム電流に対するトランジスタ11aのゲート端子電圧変化を大きくし、プログラム精度を向上させるという観点から、最低耐圧は4.5 (V) 以上にすることが好ましい。IC耐圧とは、使用できる電源電圧の最大値と同等である。なお、使用できる電源電圧とは、常時使用できる電圧であり、瞬時耐圧ではない。

【0390】

なお、以上の説明は、ソースドライバIC 12の使用耐圧プロセスが、2.5 (V) 以上13 (V) 以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板30に直接にソースドライバ回路14が形成された実施例 (低温ポリシリコンプロセスなど) にも適用される。アレイ基板30に形成されたソースドライバ回路14の使用耐圧は15 (V) 以上と高い場合がある。この場合は、ソースドライバ回路14に使用する電源電圧を図67に図示するIC耐圧に置き換えてもよい。また、ソースドライバIC 14にあっても、IC耐圧とせず、使用する電源電圧に置き換えても良い。

【0391】

単位トランジスタ154に一定のトランジスタサイズが必要な理由は、ウエハにモビリティの特性分布があるからである。

【0392】

単位トランジスタ154のチャンネル幅 W は、出力電流のバラツキと相関がある。図51は、単位トランジスタ154の面積を一定とし、単位トランジスタ154のトランジスタ幅 W を変化させた時のグラフである。図51は単位トランジスタ154のチャンネル幅 $W = 2 (\mu m)$ のバラツキを1としている。

【0393】

図51で示すように、バラツキ比率は、単位トランジスタの W が $2 (\mu m)$ から $9 \sim 10 (\mu m)$ まで緩やかに増加し、 $10 (\mu m)$ 以上でバラツキ比率の増加が大きくなる傾向がある。また、チャンネル幅 $W = 2 (\mu m)$ 以下でバラツキ比率が増加する傾向がある。

【 0 3 9 4 】

図 5 1 におけるバラツキ比率は、3 以内が 6 4 階調から 2 5 6 階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ 1 5 4 の面積により異なる。しかし、単位トランジスタ 1 5 4 の面積を変化させても、I C 耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

【 0 3 9 5 】

以上のことから、単位トランジスタ 1 5 4 のチャンネル幅 W は、2 (μm) 以上 1 0 (μm) 以下とすることが好ましい。さらに好ましくは、単位トランジスタ 1 5 4 のチャンネル幅 W は、2 (μm) 以上 9 (μm) 以下とすることが好ましい。また、単位トランジスタ 1 5 4 のチャンネル幅 W は、図 5 2 のゲート配線 1 5 3 のリンキング抑制対策からも 10
上記範囲で形成することが好ましい。

【 0 3 9 6 】

図 5 3 は、単位トランジスタ 1 5 4 の L / W と目標値からのずれ (ばらつき) のグラフである。単位トランジスタ 1 5 4 の L / W 比が 2 以下では、目標値からのずれが大きい (直線の傾きが大きい)。しかし、L / W が大きくなるにつれて、目標値からのずれが小さくなる傾向にある。単位トランジスタ 1 5 4 の L / W が 2 以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ (ばらつき) は L / W = 2 以上で、0 . 5 % 以下となる。したがって、トランジスタの精度としてソースドライバ回路 1 4 に採用できる。

【 0 3 9 7 】

以上のことから、単位トランジスタ 1 5 4 の L / W は 2 以上にすることが好ましい。し 20
かし、L / W が大きいということは L が長くなることを意味しているからトランジスタサイズが大きくなる。したがって、L / W は 4 0 以下にすることが好ましい。さらに好ましくは、L / W は 3 以上 1 2 以下にすることが好ましい。

【 0 3 9 8 】

L / W が比較的大きな値の時に、出力バラツキが小さくなるのは、該当単位トランジスタ 1 5 4 のゲート電圧が高くなり、ゲート電圧の変動に対する出力電流変化が小さくなるためと思われる。

【 0 3 9 9 】

また、L / W の大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キंकの影響により単位トランジスタ 1 5 4 の出力電流がばらついても 30
問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キंकの影響により単位トランジスタ 1 5 4 の出力電流が少しでもばらつくと階調数が低減する。

【 0 4 0 0 】

以上のことを勘案し、本発明のドライバ回路 1 4 は、階調数を K とし、単位トランジスタ 1 5 4 の L / W (L は単位トランジスタ 1 5 4 のチャンネル長、W は単位トランジスタのチャンネル幅) とした時、

$$(\sqrt{(K/16)}) \leq L/W \leq \sqrt{(K/16)} \times 20$$

の関係を満足させるように構成 (形成) している。

【 0 4 0 1 】

6 4 階調 (RGB 各 6 ビット) の場合は、6 3 個の単位トランジスタ 1 5 4 を形成する 40
とした。したがって、2 5 6 階調 (RGB 各 8 ビット) の場合、2 5 5 個の単位トランジスタ 1 5 4 が必要になることになる。

【 0 4 0 2 】

電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ 1 5 4 において、チャンネル長 L を一定にし、チャンネル幅 W を 1 / 2 にすれば、単位トランジスタ 1 5 4 が流す電流がおよそ 1 / 2 になるという特徴ある効果がある (特徴ある構成がある)。同様に、チャンネル長 L を一定にし、チャンネル幅 W を 1 / 4 にすれば、単位トランジスタ 1 5 4 が流す電流がおよそ 1 / 4 になるという特徴ある効果がある。

【 0 4 0 3 】

図 5 5 (b) は、各ビットに対して同一のサイズの単位トランジスタ 1 5 4 を配置したトランジスタ群 4 3 1 c の構成である。説明を容易にするため、図 5 5 (a) は 6 3 個の単位トランジスタ 1 5 4 で構成され、6 ビットのトランジスタ群 4 3 1 c を構成 (形成) しているとする。また、図 5 5 (b) は 8 ビットであるとする。

【 0 4 0 4 】

図 5 5 (b) では、下位 2 ビット (A で示す) は、単位トランジスタ 1 5 4 よりも小さいサイズのトランジスタで構成している。最小ビット目の第 0 ビット目は、単位トランジスタ 1 5 4 のチャンネル幅 W の $1/4$ で形成している (単位トランジスタ 1 5 4 b で示す) 。また、第 1 ビット目は、単位トランジスタ 1 5 4 のチャンネル幅 W の $1/2$ で形成している (単位トランジスタ 1 5 4 a で示す) 。

【 0 4 0 5 】

以上のように、下位 2 ビットは上位の単位トランジスタ 1 5 4 よりも小さいサイズの単位トランジスタ (1 5 4 a 、 1 5 4 b) で形成している。また、正規の単位トランジスタ 1 5 4 の個数は 6 3 個で変化がない。したがって、6 ビットから 8 ビットに変更しても、トランジスタ群 4 3 1 c の形成面積は図 5 5 (a) と図 5 5 (b) で大差はない。

【 0 4 0 6 】

図 5 5 (b) に図示するように、6 ビットから 8 ビット仕様に変化させても出力段のトランジスタ群 4 3 1 c のサイズが大きくなるのは、電流の加算ができるという点、単位トランジスタ 1 5 4 において、チャンネル長 L を一定にし、チャンネル幅 W を $1/n$ にすれば、単位トランジスタ 1 5 4 が流す電流がおよそ $1/n$ になるという点をうまく利用しているからである。

【 0 4 0 7 】

また、図 5 5 (b) に図示するように、単位トランジスタ 1 5 4 a 、 1 5 4 b のようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ 1 5 4 a または 1 5 4 b の出力電流は加算される。したがって、図 5 5 (a) の 6 ビット仕様より、図 5 5 (b) の 8 ビット仕様のほうが高階調出力を実現できる。もちろん、単位トランジスタ 1 5 4 a 、 1 5 4 b の出力バラツキが大きいから、正確な 8 ビット表示を実現することはできない可能性はある。でも、かならず、図 5 5 (a) よりも高精細表示を実現できる。

【 0 4 0 8 】

なお、実際にはチャンネル幅 W を $1/2$ にしても出力電流は正確には $1/2$ にはならない。多少の補正が必要である。補正は、テストトランジスタを形成し、測定することにより補正係数を容易に把握することができる。

【 0 4 0 9 】

本発明は、下位のビットを作製 (構成) するために、上位のビットの単位トランジスタ 1 5 4 に比較して小さい小単位トランジスタを形成または配置するのもである。この小さいという概念は、上位ビットを構成する単位トランジスタ 1 5 4 の出力電流よりも小さいという意味である。したがって、単位トランジスタ 1 5 4 に比較してチャンネル幅 W が小さいだけでなく、同時にチャンネル長 L も小さい場合も含まれる。また、他の形状も含まれる。

【 0 4 1 0 】

図 5 5 は、トランジスタ群 4 3 1 c を構成する単位トランジスタ 1 5 4 のサイズを複数種類とするものであった。図 5 5 では 2 種類としている。2 種類とするのは単位トランジスタ 1 5 4 のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ 4 3 1 c を構成する単位トランジスタ 1 5 4 のサイズは、低階調用と高階調用の 2 種類とすることが好ましい。しかし、本発明はこれに限定するものではない。3 種類以上であってもよいことは言うまでもない。

【 0 4 1 1 】

図 4 3 でも図示しているように、トランジスタ群 4 3 1 c を構成する単位トランジスタ

154のゲート端子は、1つのゲート配線153で接続されている。ゲート配線153に印加された電圧により単位トランジスタ154の出力電流が決定される。したがって、トランジスタ群431c内の単位トランジスタ154の形状が同一であれば、各単位トランジスタ154は同一の単位電流を出力する。

【0412】

本発明は、トランジスタ群431cを構成する単位トランジスタ154のゲート配線153を共通にすることには限定されない。たとえば、図56(a)のように構成してもよい。図56(a)において、トランジスタ158b1とカレントミラーをなす単位トランジスタ154と、トランジスタ158b2とカレントミラーをなす単位トランジスタ154とが配置されている。

10

【0413】

トランジスタ158b1はゲート配線153aで接続されている。トランジスタ158b2はゲート配線153bで接続されている。図56(a)の一番上の1個の単位トランジスタ154はLSB(0ビット目)であり、2段目の2個の単位トランジスタ154は1ビット目、3段目の4個の単位トランジスタ154は2ビット目である。また、4段目の組の8個の単位トランジスタ154は3ビット目である。

【0414】

図56(a)において、ゲート配線153aとゲート配線153bの印加電圧を変化させることにより、各単位トランジスタ154のサイズ、形状が同一であっても、各単位トランジスタ154の出力電流をゲート配線153の印加電圧により変化(変更)すること

20

【0415】

図56(a)において、単位トランジスタ154のサイズなどを同一にして、ゲート配線153a、153bの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ154のサイズなどを異ならせ、印加するゲート配線153a、153bの電圧を調整することにより、異なる形状の単位トランジスタ154の出力電流を同一となるようにしてもよい。

【0416】

図55では、低階調のビットを構成する単位トランジスタ154のサイズは、高階調を構成する単位トランジスタ154よりも小さくした。単位トランジスタ154のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ154のチャンネル長Lを高階調よりも大きくし、単位トランジスタ154の面積を小さくならないようにしてバラツキを抑制している。

30

【0417】

図57に図示するように、低階調領域Aの範囲の単位トランジスタ154のサイズと、高階調領域Bの範囲の単位トランジスタ154のサイズを異ならせると、出力ばらつきは2つの曲線が組み合わさったものとなる。しかし、実用上は問題ない。逆に、低階調部の単位トランジスタ154のサイズを高階調部の単位トランジスタ154のサイズよりも大きくすることにより、単位トランジスタ154あたりの出力バラツキを小さくすることができて好ましい。

40

【0418】

図56のように構成すれば、低階調と高階調の単位トランジスタ154のサイズに関わらず、ゲート配線153への印加電圧調整により、単位トランジスタ154の出力電流を同一にすることができる。

【0419】

なお、本発明において、ゲート配線153は153aと153bの2種類として説明しているが、これに限定するものではない。3種類以上であってもよい。また、単位トランジスタ154の形状なども3種類以上であってもよい。

【0420】

図56(b)は、単位トランジスタ154サイズを同一にし、2つのゲート配線153

50

で構成した実施例である。図 5 6 (b) の一番上の 2 個の単位トランジスタ 1 5 4 は L S B (0 ビット目) であり、2 段目の 4 個の単位トランジスタ 1 5 4 は 1 ビット目、3 段目の 8 個の単位トランジスタ 1 5 4 の組は 2 ビット目である。また、ゲート配線 1 5 3 b に接続された 4 組目の 8 個の単位トランジスタ 1 5 4 は 3 ビット目である。

【 0 4 2 1 】

図 5 6 (b) においても、ゲート配線 1 5 3 a とゲート配線 1 5 3 b の印加電圧を変化させることにより、各単位トランジスタ 1 5 4 のサイズ、形状が同一であっても、各単位トランジスタ 1 5 4 の出力電流をゲート配線 1 5 3 の印加電圧により変化 (変更) することができる。

【 0 4 2 2 】

図 5 6 (b) では、低階調部に該当するゲート配線 1 5 3 a に接続された単位トランジスタ 1 5 4 a の 1 つの出力電流は、高階調部に該当するゲート配線 1 5 3 b に接続された単位トランジスタ 1 5 4 の出力電流の $1/2$ となるように構成している。単位トランジスタ 1 5 4 a と単位トランジスタ 1 5 4 とは同一形状としている。

【 0 4 2 3 】

単位トランジスタ 1 5 4 a の出力電流を単位トランジスタ 1 5 4 の $1/2$ とするために、ゲート配線 1 5 3 a に印加する電圧をゲート配線 1 5 3 b よりも低くしている。ゲート配線 1 5 3 に印加する電圧を調整することにより、単位トランジスタ 1 5 4 a と単位トランジスタ 1 5 4 の形状が略同一であっても出力電流を変化あるいは調整することができる

【 0 4 2 4 】

なお、図 5 6 の実施例において、ゲート配線 1 5 3 の印加電圧を変化するとして説明をした。ゲート配線 1 5 3 の印加電圧は、ソースドライバ IC (回路) 1 4 の外部から印加することもできることは言うまでもない。しかし、一般的には、単位トランジスタ 1 5 4 とカレントミラー対をなすトランジスタ 1 5 8 b (トランジスタ群 4 3 1 b) の構成あるいはサイズを変化あるいは設計もしくは構成を行うことにより、ゲート配線 1 5 3 の電圧を調整もしくは変更することができる。また、単位トランジスタ 1 5 4 とカレントミラー対をなすトランジスタ 1 5 8 b (トランジスタ群 4 3 1 b) に流す電流 I_c を変更あるいは調整できることは言うまでもない。

【 0 4 2 5 】

図 5 8 は、高階調側の単位トランジスタ 1 5 4 a (D 2 、 D 3 、 D 4 ・ ・ ・ ・ ・) は、2 の乗数個を配置している。一方、低階調側の単位トランジスタ 1 5 4 b (D 1 、 D 2) も、2 の乗数個を配置している。単位トランジスタ 1 5 4 a と単位トランジスタ 1 5 4 b の単位出力電流は異ならせている (1 5 4 b の単位電流のほうが、1 5 4 a よりも小さい。たとえば、単位トランジスタの W を低階調側のほうを狭くしている) 。低階調側も高階調側の単位トランジスタ 1 5 4 も共通のゲート配線 1 5 3 で接続されており、カレントミラー回路を構成するトランジスタ 1 5 8 b に流れる基準電流 I_c で制御される。

【 0 4 2 6 】

図 5 9 では、高階調側の単位トランジスタ 1 5 4 a (D 2 、 D 3 、 D 4 ・ ・ ・ ・ ・) は、2 の乗数個を配置している。一方、低階調側の単位トランジスタ 1 5 4 b (D 1 、 D 2) も、2 の乗数個を配置している。高階調側の単位トランジスタ 1 5 4 a は、トランジスタ 1 5 8 b h とカレントミラー回路を構成している。また、トランジスタ 1 5 8 b h に流れる基準電流は $I_{c h}$ である。一方、低階調側の単位トランジスタ 1 5 4 b は、トランジスタ 1 5 8 b l とカレントミラー回路を構成している。また、トランジスタ 1 5 8 b l に流れる基準電流は $I_{c l}$ である。

【 0 4 2 7 】

以上のように構成することにより、単位トランジスタ 1 5 4 a と単位トランジスタ 1 5 4 b の単位出力電流を異ならせている (1 5 4 b の単位電流のほうが、1 5 4 a よりも小さい) 。低階調側と高階調側の単位トランジスタ 1 5 4 は、異なるゲート配線 1 5 3 で接続されている。

10

20

30

40

50

【 0 4 2 8 】

以上のように、本発明では多数の変形実施例がある。たとえば、図 5 8 と図 5 9 との組合せも例示される。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。また、一部の単位トランジスタ 1 5 4 を大きくしてもよく、また小さくしてもよい。

【 0 4 2 9 】

単位トランジスタ群 4 3 1 c を構成する単位トランジスタ 1 5 4、トランジスタ群 4 3 1 b を構成するトランジスタ 1 5 8 b は、N チャンネルトランジスタで構成（形成）することが好ましい。これは、N チャンネルトランジスタは、P チャンネルトランジスタに比較して単位トランジスタ面積あたりに対する出力バラツキが小さいからである。したがって、単位トランジスタ 1 5 4 など N チャンネルで構成することにより、ソースドライバ I C のサイズを小さくすることができる。

【 0 4 3 0 】

なお、単位トランジスタ 1 5 4 を N チャンネルで形成することは、ソースドライバ I C 1 4 をシンクタイプ（吸い込み電流方式）にすることになる。したがって、画素 1 6 の駆動用トランジスタ 1 1 a は P チャンネルトランジスタで構成することが好ましい。

【 0 4 3 1 】

図 1 5 9 のグラフは、P チャンネルトランジスタと N チャンネルトランジスタのサイズ（W L）を同一にし、出力電流を同一にした場合の出力バラツキを示している。横軸は、1 出力を構成するトランジスタ群 4 3 1 c の総面積 S c の面積比である。面積 S c が大きくなるほど、出力バラツキは小さいなる。

【 0 4 3 2 】

縦軸は、出力バラツキの比を示している。図 1 5 9 では、N チャンネルトランジスタの総面積 S c が 1 の時の出力バラツキを 1 としている。

【 0 4 3 3 】

図 1 5 9 に図示するように、N チャンネルトランジスタの総面積 S c が 4 倍になると出力バラツキは 0. 5 になる。N チャンネルトランジスタの総面積 S c が 8 倍になると出力バラツキは 0. 2 5 になる。つまり、本発明の結果から、出力バラツキは $1/\sqrt{S c}$ に比例する。

【 0 4 3 4 】

N チャンネルトランジスタの総面積 S c と P チャンネルトランジスタの総面積 S c が同一の時、出力バラツキは 1. 4 倍になる。P チャンネルトランジスタの総面積 S c が N チャンネルトランジスタの総面積 S c の 2 倍の時、出力バラツキは同一になる。つまり、出力バラツキは、N チャンネルトランジスタの総面積 S c / 2 = P チャンネルトランジスタの総面積 S c、の関係がある。

【 0 4 3 5 】

以上の結果から、単位トランジスタ群 4 3 1 c を構成する単位トランジスタ 1 5 4 と、トランジスタ群 4 3 1 b を構成するトランジスタ 1 5 8 b は、N チャンネルトランジスタで構成（形成）することが好ましい。

【 0 4 3 6 】

出力段は単位トランジスタ 1 5 4 など形成し、トランジスタ群 4 3 1 c と、トランジスタ 1 5 8 b もしくはトランジスタ 1 5 8 b から構成されるトランジスタ群とは、カレントミラー回路を構成する。トランジスタ 1 5 4 c とトランジスタ 1 5 8 b とを近接させることによりカレントミラー比は、ほぼ一定値になる。しかし、バラツキの範囲で変動する場合がある。この場合は、図 1 6 0 に図示するように、トリミング（レーザートリミング、サンドブラストトリミングなど）により、トランジスタ 1 5 8 b など切り離し所定範囲内のカレントミラー比に調整することが有効である。

【 0 4 3 7 】

トリミングは、図 1 6 0 の A 点に実施し、トランジスタ 1 5 8 b 2 を切り離すことにより実施する。トランジスタ 1 5 8 b を多く形成し、この複数のトランジスタ 1 5 8 b のう

ち、1つ以上をきり流すことによりカレントミラー比を高くすることができる。

【0438】

なお、好ましくは、図161に図示するように、配線153の両側にトランジスタ158bを形成または配置する。トリミング点、A1またはA2をカットすることにより、ICチップの出力端子155aと115nからの出力電流の差を均一化させる。

【0439】

また、各出力段のトランジスタ431cの出力バラツキを調整するためには、図162のように構成することも有効である。図162では、各出力トランジスタ群431c（トランジスタ群に限定するものではない。電流出力回路であればいずれの構成でもよい）とゲート配線153との間に、高抵抗1623を形成または配置している。高抵抗であるため、出力段からの出力電流が微小であっても、抵抗1623で電圧降下する。電圧降下により出力電流を変化させることができる。

【0440】

抵抗1623のトリミングは、トリミング装置1621からのレーザー光1622で行う。抵抗1623をトリミングして高抵抗値に調整する。

【0441】

なお、本発明の実施例ではトランジスタ群431cは単位トランジスタ154で構成するとしたが、これに限定するものではない。単体トランジスタで構成してもよいし、電流保持回路（後に説明する）で構成してもよい。また、電圧－電流変換（V－I変換）回路であってもよい。つまり、本明細書では出力段はトランジスタ群431cで構成するとして説明するが、これに限定するものではなく、電流出力回路であればいずれの構成であってもよい。

【0442】

図163は、トランジスタ157bと複数のトランジスタ158aとカレントミラー回路を構成し、トランジスタ158aとトランジスタ158bとはカレントミラー回路を構成している。また、トランジスタ158bとトランジスタ431cともカレントミラー回路を構成している。

【0443】

以上の図163のような構成も本発明の範疇である。トリミングによる調整は、各出力段のトランジスタ158bまたはトランジスタ群431cに実施すればよい。

【0444】

他の構成として、図164の構成も例示される。図164は、本発明のソースドライバICの出力段を概念的に図示したものである。基準電圧（もしくはIC（回路）14電源電圧） V_s と外づけ抵抗 R_a 、 R_b によりゲート配線153aの電位が決定される（調整される）。

【0445】

各出力段は抵抗 R_n と、トランジスタ158a、158bで電流回路が構成される。この電流回路に流れる電流は抵抗 R_n により決定される。トランジスタ158bとトランジスタ群431cはカレントミラー回路を構成する。トランジスタ群431cの出力端子155から出力される電流は抵抗 R_n をトリミングすることにより行われる。抵抗 R_n をレーザートリミングすることにより、カレントミラー回路（トランジスタ158bとトランジスタ群431c）に流れる電流を調整することができる。なお、もちろん、トランジスタ158a、158b部は、トランジスタ群を構成してもよい。

【0446】

ICチップの左右の出力電流の傾きを調整する（出力端子155a～155nを同一にする（出力バラツキがないようにする））ためには、図165の構成も例示される。トランジスタ158bの電流 I_{c1} 経路に抵抗 R_a 、トランジスタ158bの電流 I_{c2} 経路に抵抗 R_b を配置している。抵抗 R_a 、 R_b は内蔵、外づけのいずれでもよい。 R_a または R_b 、もしくは R_a と R_b の両方をトリミングすることにより、ゲート配線153に流れる電流 I_d が変化する。したがって、ゲート配線153の電圧降下により、出力段43

1 の単位トランジスタ 154 のゲート信号線の電位が変化する。したがって、出力段 43 1 a ~ 43 1 n の出力電流の傾斜分布を補正することができる。

【0447】

なお、トリミングの概念には、ポリウムも含まれる。たとえば、図 165 において、抵抗 R a と R b をポリウムで形成し（配置し）、ポリウムを調整することによって、電流 I d の大きさを調整できる。また、抵抗が拡散抵抗の場合は、加熱により抵抗値を調整あるいは変化させることができる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。また、IC チップを全体的にあるいは部分的に加熱することにより IC チップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を調整あるいは変化させることができる。

10

【0448】

以上の事項は、本発明の他の実施例にも適用できることはいうまでもない。また、トリミングとは、抵抗値を変化させる素子トリミングあるいは機能を変化させる機能トリミング、トランジスタなどの素子を配線から切り離す切断トリミング、1つの抵抗素子を複数に分割する分割トリミング、非接続箇所にレーザー光を照射することにより短絡させ接続するトリミング、ポリウムなどの抵抗値を調整する調整トリミングも含まれる。また、トランジスタであれば、S 値を変化させること、 μ を変化させること、WL 比を変化させ出力電流の大きさを変化させること、立ち上がり電圧位置を変更することなどが例示される。その他、発振周波数を変化すること、カットオフ位置を変化させることも含まれる。つまり、トリミングとは、加工、調整、変更の概念である。以上の事項は本発明の他の実施

20

【0449】

他の構成として、図 166 の構成も例示される。図 166 は本発明のソースドライバ IC の出力段を概念的に図示したものである。電子ポリウム回路 501 とオペアンプ 502 によって、ゲート配線 152 a の電位が決定（調整）される。オペアンプ 502、抵抗 R 1、トランジスタ 158 a で定電流回路が構成されている。抵抗 R 1 には基準電流 I c が流れる。R 1 に流れる電流値は、オペアンプ 502 の正極端子印加電圧と、抵抗値 R 1 の値によって決定される。したがって、抵抗 R 1 をトリミングすることによって、基準電流 I c の大きさを変化させることができる。変化により出力端子 155 からの出力電流の大きさを変更あるいは調整できる。抵抗 R 1 は外づけ抵抗にし、ポリウムとしてもよい。また、電子ポリウム回路としてもよい。また、アナログ的に入力してもよい。

30

【0450】

オペアンプ 502 からの出力電圧は複数のトランジスタ 158 a のゲート端子に印加され、抵抗 R 1 に電流 I c が流れる。この電流 I c は分割され、トランジスタ 158 b に流れる。この電流によりゲート配線 153 b を所定の電位にする。ゲート配線 153 b は、複数の箇所に配置されたトランジスタ 158 b により電位が固定される。そのため、ゲート配線 153 b に電位傾きが発生しにくく、出力端子 155 からの出力バラツキが減少する。

【0451】

以上の実施例は、図 43 に図示するように、階調ビットに対応して単位トランジスタ 154 が形成され、オン（端子 155 に電流を出力する）する単位トランジスタ 154 の個数を変化させることにより出力電流を変化させるものである。たとえば、図 43 では、D 5 ビットには 32 個の単位トランジスタ 154 が配置されており、D 0 ビットには 1 個の単位トランジスタ 154 が配置（形成）されており、D 1 ビットには 2 個の単位トランジスタ 154 が配置（形成）されている。

40

【0452】

しかし、本発明はこれに限定するものではない。たとえば、図 167 に図示するように、各ビットを大きさの異なるトランジスタで構成してもよい。図 167 において、トランジスタ 154 b はトランジスタ 154 a の略 2 倍の電流を出力し、トランジスタ 154 f はトランジスタ 154 e の略 2 倍の電流を出力する。以上のように、本発明は出力段 43

50

1 c が単位トランジスタ 1 5 4 で構成されていることに限定するものではない。

【 0 4 5 3 】

図 1 6 5 はゲート配線 1 5 3 の両端をトランジスタ 1 5 8 b で保持する構成であり、図 1 6 6 はゲート配線 1 5 3 の複数のトランジスタ 1 5 8 b で電位保持する構成である。本発明はこれに限定するものではない。たとえば、図 1 6 8 に図示するように、ゲート配線 1 5 3 の一端をトランジスタ 1 6 8 1 で保持し、トランジスタ 1 6 8 1 に流れる電流 I d でゲート配線 1 5 3 の電位傾きを調整してもよい。トランジスタ 1 6 8 1 はゲート端子に接続された抵抗 R a と R b の分圧電圧で流れる電流が調整される。抵抗 R b はポリウムに構成するか、トリミングにより抵抗値を調整する。基本的には、トランジスタ 1 6 8 1 に流れる電流は微小である。しかし、特殊な動作方法として、トランジスタ 1 6 8 1 を完全にすることにより、ゲート配線 1 5 3 の電位をグランド電圧近くに低下させる方法が例示される。ゲート配線 1 5 3 をグランド電圧近くに低下させることにより、トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 をオフ状態にできる。つまり、トランジスタ 1 6 8 1 の動作により、出力端子 1 5 5 の出力電流をオンオフ制御することができる。

【 0 4 5 4 】

以上の実施例では、トランジスタ (1 5 8 、 1 5 4 など) をトリミングあるいは調整することにより出力電流などを変化あるいは変更もしくは調整するとした。調整などするトランジスタは、具体的には図 1 6 9 に図示するように構成することが好ましい。図 1 6 9 は調整などするトランジスタ 1 6 9 4 の構成を概念的に図示したものである。トランジスタ 1 6 9 4 はゲート端子 1 6 9 2 、ソース端子 1 6 9 1 、ドレイン端子 1 6 9 3 で構成される。ドレイン端子 1 6 9 3 は、トリミングしやすいように複数に分割されている (ドレイン端子 1 6 9 3 a 、 1 6 9 3 b 、 1 6 9 3 c ・ ・ ・) 。図 1 6 9 (a) の A 線でカットすることにより、ドレイン端子 1 6 9 3 e はカットされ、トランジスタ 1 6 9 3 の出力電流を減少させることができる。

【 0 4 5 5 】

図 1 6 9 (b) はドレイン端子 1 6 9 3 のトリミングする間隔を変化させたものである。減少させる電流の大きさに応じて、1箇所以上のドレイン端子 1 6 9 3 をトリミングし、出力電流を調整する。図 1 6 9 (b) では B 線の箇所とトリミングしている。

【 0 4 5 6 】

図 1 7 0 は図 1 6 9 の変形例である。図 1 7 0 (a) は、ゲート端子 1 6 9 2 を 1 6 9 2 a と 1 6 9 2 b に分割した例である。また、図 1 7 0 (b) は、ドレイン端子 1 6 9 3 とソース端子 1 6 9 1 にトリミング箇所 (C 線、 D 線) を設けた実施例である。

【 0 4 5 7 】

なお、以上の実施例では、ドレイン端子 1 6 9 3 あるいはソース端子 1 6 9 1 を1箇所あるいは複数箇所をトリミングするとしたが、本発明はこれに限定するものではない。たとえば、ゲート端子 1 6 9 2 をトリミングしてもよい。また、トリミングだけに限定するものではなく、トランジスタ 1 6 9 4 の半導体膜に、レーザー光あるいは熱的エネルギーを照射し、トランジスタ 1 6 9 4 を劣化させることにより、出力電流などを調整してもよいことは言うまでもない。また、図 1 6 9 、図 1 7 0 などの実施例はトランジスタだけに限定されるものではなく、ダイオード、水晶、サイリスタ、コンデンサ、抵抗などに適用してもよいことは言うまでもない。

【 0 4 5 8 】

また、図 1 6 7 に図示するように、各ビットでトランジスタサイズが異なる場合 (ビットの大きさに比例する場合など) は、トリミングする長さ (ドレインなどの長さ) もビットの大きさに比例するように構成することが好ましい。この実施例を図 1 7 5 に図示している。

【 0 4 5 9 】

図 1 7 5 では、図 1 7 5 (a) が下位ビットであり、図 1 7 5 (c) が上位ビットである。下位ビットのトリミング長さ A は、上位ビットのトリミング長さ C よりも短くなるように構成している。トリミング長さは、トランジスタの電流変化量に比例する。したがっ

て、上位ビットのトランジスタの方がトリミング変化量は大きくなるように構成している。以上のように、本発明はトランジスタの大きさ、ビット位置などに応じて変化させてもよいことはいうまでもない。つまり、各ビットで一様にすることに限定されるものではない。

【 0 4 6 0 】

図 4 3 は、各ビットに必要数の単位トランジスタ 1 5 4 を形成または配置した例である。しかし、単位トランジスタ 1 5 4 は形成バラツキがある。そのため、出力端子 1 5 5 からの出力はばらつく。このばらつきを低減するためには、各ビットの出力電流を調整する必要がある。出力電流の調整には、あらかじめ余分の単位トランジスタ 1 5 4 を形成しておき、この余分の単位トランジスタ 1 5 4 を出力端子 1 5 5 から切断することにより調整すればよい。なお、余分の単位トランジスタ 1 5 4 は、他の単位トランジスタ 1 5 4 と同一サイズにする必要はない。余分の単位トランジスタ 1 5 4 は小さめに形成（分担する出力電流を小さく）することが好ましい。

【 0 4 6 1 】

図 1 7 1 は上記説明の実施例である。D 0 ビットには 3 つの単位トランジスタ 1 5 4 が形成されている。3 つのうち、1 つが正規の単位トランジスタ 1 5 4 であり、他の 2 つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ 1 5 4（単位トランジスタ 1 5 4 と呼ぶよりは調整用トランジスタである）である。

【 0 4 6 2 】

同様に、D 1 ビットには 4 つの単位トランジスタ 1 5 4 が形成されている。4 つのうち、2 つが正規の単位トランジスタ 1 5 4 であり、他の 2 つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ 1 5 4（単位トランジスタ 1 5 4 と呼ぶよりは調整用トランジスタである）である。また、同様に、D 2 ビットには 8 つの単位トランジスタ 1 5 4 が形成されている。8 つのうち、4 つが正規の単位トランジスタ 1 5 4 であり、他の 4 つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ 1 5 4（単位トランジスタ 1 5 4 と呼ぶよりは調整用トランジスタである）である。

【 0 4 6 3 】

以上のように調整用トランジスタ 1 5 4（図 1 7 1 で B で示す）は、出力電流を調整するためにトリミングなどが施される。B で示すトランジスタは、A の矢印が示すライン上に配置されている。したがって、レーザー光などでスキャンする際に、スキャン方向を一方向に移動させるだけで調整用トランジスタをトリミングすることができる。したがって、高速トリミングを実施することができる。

【 0 4 6 4 】

以上の実施例は、出力段が単位トランジスタ 1 5 4 などで構成された実施例である。しかし、トリミングなどにより出力電流を調整する方法などは、本発明はこれに限定されるものではない。図 1 7 2 に図示するように、各出力端子 1 5 5 に接続される出力段をオペアンプ 5 0 2 とトランジスタ 1 5 8 b および抵抗 R 1 で形成した実施例にも適用できる。

【 0 4 6 5 】

図 1 7 2 で図示する各出力段は、オペアンプ 5 0 2 とトランジスタ 1 5 8 b および抵抗 R 1 で電流回路を構成している。電流の大きさは抵抗 R 1 で調整され、階調は、回路 8 6 2 から出力される階調電圧により表現される。

【 0 4 6 6 】

図 1 7 2 で図示する各出力段は、レーザー装置 1 6 2 1 などによりレーザー光 1 6 2 2 などが照射されトリミングされる。各出力段に対応する抵抗 R 1 を順次トリミングしていくことにより、出力電流のバラツキが発生しないようにすることができる。

【 0 4 6 7 】

なお、図 1 7 2 では、回路 8 6 2 から出力されるアナログ電圧で出力電流が決定される。ただし、本発明はこれに限定するものではなく、図 1 7 4 に図示するように、デジタル 8 ビットのデジタルデータを D A 回路 6 6 1 でアナログ電圧に変換し、オペアンプ 5 0 2

aに印加してもよいことは言うまでもない。

【0468】

また、図209に図示するように、出力段は、映像データに対応する電流 I_c を流すトランジスタ158bと1対1で構成されるトランジスタ154からなるカレントミラー回路で構成してもよい。各出力段には、DA回路501とオペアンプ502、内蔵抵抗 R_1 、トランジスタ158aなどからなる電流回路が構成されている。抵抗 R_1 にトリミングなどを施すことにより、出力ばらつきを極めて小さくすることができる。

【0469】

図210は図209の類似の構成である。サンプリング回路862から映像データに対応する電流 I_c がトランジスタ158bに供給される。トランジスタ158bとトランジスタ154とはN倍のカレントミラー回路を構成している。 10

【0470】

図172は抵抗 R_1 を必要に応じて順次トリミングするとしたが、本発明はこれに限定するものではない。たとえば、図173に図示するように出力段431cを必要に応じてトリミングしてもよいことは言うまでもない。トリミングの必要度の判断は、端子155を検査用の端子1734などに接触させ、選択スイッチ1731、共通線1732を介して電流計（電流測定手段）1733に接続する。選択スイッチ1731は順次オンし、出力段431cからの電流を電流計1733に印加する。トリミング手段1632は、電流計1733の測定電流値に基づき、単位トランジスタ、抵抗などをトリミングして所定値に調整する。 20

【0471】

以上の実施例は、電流の出力段などをトリミングして出力電流バラツキなどを変更あるいは調整するものであった。しかし、本発明はこれに限定するものではない。たとえば、図176に図示するように、基準電流を発生あるいは所定値にする抵抗 R_a 、 R_b などをトリミングすることにより、基準電流 I_c を調整し、出力電流を変化あるいは調整してもよいことは言うまでもない。

【0472】

図60などの回路構成ではホワイトバランス調整が容易である。まず、RGBの電子ポリウム501を同一の設定値に調整する。次に、外付け抵抗 R_{1r} 、 R_{1g} 、 R_{1b} を調整してホワイトバランスを調整する。 30

【0473】

電流ドライバIC（回路）14では、いずれかの電子ポリウムの設定値でホワイトバランスをとれば、電子ポリウム501の値を同一にすればホワイトバランスを維持したまま、表示画面144の輝度調整を行えるという特徴がある。なお、601は基準電流回路である。

【0474】

図60は、トランジスタ群431cの両側から給電する構成であるが、上記事項はこれに限定するものではない。図61に図示するように、片側給電構成でも同様である。まず、R、G、Bの電子ポリウム501が同一の設定値で、外付け抵抗 R_{1r} 、 R_{1g} 、 R_{1b} を調整してホワイトバランスをとる。一般的に、R回路の I_{cr} 、G回路の I_{cg} 、B回路の I_{cb} を各RGBのEL素子の発光効率を考慮して所定の比率とすることによりホワイトバランスをとる。 40

【0475】

電流ドライバIC（回路）14では、どこかの電子ポリウムの設定値でホワイトバランスをとれば、電子ポリウム501の値を同一にすればホワイトバランスを維持したまま、表示画面144の輝度調整を行えるという特徴がある。なお、RGBの電子ポリウムは、R、G、B独立に形成または配置することが好ましいが、これに限定するものではない。たとえば、R、G、Bで1つの電子ポリウム501でも、ホワイトバランスを維持したまま画面輝度を調整することが可能である。

【0476】

本発明では、ソースドライバIC（回路）14の内部に電子ポリウムを形成または配置することにより、ソースドライバIC（回路）14の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。この事項は、電流駆動ドライバにおいて重要な事項である。電流駆動では、映像データがEL素子15に流れる電流に比例する。したがって、映像データをロジック処理することにより全EL素子に流れる電流を制御できる。基準電流もEL素子15に流れる電流に比例するから、基準電流をデジタル制御することにより、全EL素子15に流れる電流を制御できる。以上のことから、映像データに基づき、基準電流制御を実施することにより、表示輝度のダイナミックレンジの拡大などを容易に実現できる。

【0477】

基準電流の変更あるいは変化させることにより、単位トランジスタ154の出力電流を変化させることができる。たとえば、基準電流 I_c が $100\mu A$ の時に、1つの単位トランジスタ154がオン状態での出力電流が $1\mu A$ とする。この状態で、基準電流 I_c を $50\mu A$ にすれば、1つの単位トランジスタ154の出力電流は $0.5\mu A$ となる。同様に、基準電流 I_c を $200\mu A$ にすれば、1つの単位トランジスタ154の出力電流は $2.0\mu A$ となる。つまり、基準電流 I_c と単位トランジスタ154の出力電流 I_d は比例関係を満足することが好ましい（図62の実線aを参照のこと）。

【0478】

基準電流 I_c を設定する設定データと基準電流 I_c とは比例関係となるように構成することが好ましい。たとえば、設定データが1の時、基準電流 I_c が $100\mu A$ とし、これと基底とするならば、設定データが100の時、基準電流 I_c が $200\mu A$ となるようにする。つまり、設定データが1増加すると、基準電流 I_c が $1\mu A$ 増加するように構成することが好ましい。

【0479】

以上のように構成することにより、電子ポリウム501の設定データにより、RGBの基準電流（ I_{cr} 、 I_{cg} 、 I_{cb} ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗 R_{1r} 、 R_{1g} 、 R_{1b} を調整してホワイトバランスを調整する構成は重要性がある（特徴ある構成である）。

【0480】

以上の実施例では、外付け抵抗でホワイトバランスを調整するとしたが、抵抗 R_1 はICチップに内蔵させてもよいことは言うまでもない。

【0481】

また、図63に図示するように、抵抗値を調整あるいは制御するスイッチSを付加してもよい。たとえば、図63（a）は、スイッチS1の選択により外付け抵抗は R_1 となる。また、スイッチS2の選択により、外付け抵抗は R_2 となる。また、スイッチS1とS2の両方野の選択により、外付け抵抗は、 R_1 と R_2 とを並列に接続した抵抗値になる。

【0482】

図63（b）は、直列に抵抗 R_1 と R_2 を接続し、スイッチSの制御により外付け抵抗を $R_1 + R_2$ としたり、 R_1 としたりできるように構成したものである。

【0483】

図63のように構成することにより、基準電流 I_c の変化範囲を拡大することができる。つまり、電子ポリウム501の設定データだけでなく、スイッチSの制御により基準電流を調整できるからである。したがって、本発明のEL表示パネルの輝度調整範囲（ダイナミックレンジ）を拡大できる。

【0484】

本発明において、電子ポリウム501の1ステップ変化による基準電流の変化は3%程度にしている。たとえば、基準電流が1倍から3倍まで変化し、電子ポリウムのステップ数が6ビットの64ステップであれば、 $(3 - 1) / 64 = 0.03$ となり、約3%であ

10

20

30

40

50

る。

【 0 4 8 5 】

1 ステップあたりの基準電流の変化が大きいと、電子ポリウムを変化させた時の表示画面 1 4 4 輝度変化が大きく、変化した時にフリッカとして認識されてしまう。逆に、1 ステップあたりの基準電流変化が小さいと、表示画面 1 4 4 輝度変化が小さく輝度調整のダイナミック変化が乏しくなる。また、ステップ数を大きくすることは、電子ポリウム 5 0 1 サイズを大きくすることに直結し、ソースドライバ I C 1 4 のサイズが大きくなりコストが高くなる。

【 0 4 8 6 】

以上のことから、1 ステップあたりの基準電流の変化は、1 % 以上 8 % 以下のきざみに 10
 することが好ましい（ただし、基底を基準としている）。さらには、1 % 以上 5 % 以下のきざみにすることが好ましい。たとえば、電子ポリウム 5 0 1 が 8 ビット（2 5 6 ステップ）とし、基準電流の変化が 1 倍から 1 0 倍までとすると、 $(10 - 1) / 256 = 3.5\%$ きざみとなり、条件 1 % 以上 5 % 以下を満足している。

【 0 4 8 7 】

以上の実施例では 1 ステップあたりの基準電流の変化として説明したが、基準電流の変化は、画面輝度の変化であるから、電子ポリウム 5 0 1 の 1 ステップあたりの表示画面 1 4 4 輝度変化、あるいはアノード（もしくはカソード）電流の変化としても言い換えることができることは言うまでもない。

【 0 4 8 8 】

以上の実施例において、図 6 2 の実線 a に図示するように、基準電流 I_c と単位トランジスタ 1 5 4 の出力電流 I_d は比例関係を満足することが好ましいとしたが、これに限定するものではない。たとえば、図 6 2 の点線 b で示すように、非線形（1.8 乗から 2.8 乗の範囲が好ましい）としてもよい。非線形（1.8 乗から 2.8 乗の範囲が好ましい）とすることにより、電子ポリウム 5 0 1 の設計データに対する基準電流の変化が人間の視覚特性の 2 乗カーブに近づくため、階調特性が良好となる。

【 0 4 8 9 】

なお、以上の実施例では、電子ポリウム 5 0 1 の設定データで基準電流を変化させるとしたが、これに限定するものではない。図 6 4、図 6 5 に図示するように、電圧入出力端子 6 4 3 により基準電流を変化あるいは調整もしくは制御してもよいことは言うまでもない。 30

【 0 4 9 0 】

図 5 0、図 6 0、図 6 1 などの電子ポリウム 5 0 1 の構成は、図 6 4 のように構成してもよい。図 6 4 において、ラダー抵抗 6 4 1（抵抗アレイあるいはトランジスタアレイ）とスイッチ 6 4 2 が電子ポリウム 5 0 1 に対応する。なお、ラダー抵抗 6 4 1 は一定間隔あるいは所定の間隔きざみの電圧を発生する手段であればいずれでもよい。たとえば、トランジスタをダイオード接続してもよいし、トランジスタのオン抵抗で構成あるいは形成してよいことはいうまでもない。

【 0 4 9 1 】

なお、以上のラダー抵抗 6 4 1 とスイッチ回路 6 4 2 などからなる構成、方式あるいは 40
 電圧入出力端子 6 4 3 の構成、方式などは、図 7 5 などのプリチャージ構成に適用できることはいうまでもない。また、図 1 4 6、図 1 4 7 などのカラーマネージメント処理構成にも適用できる。また、図 1 4 0、図 1 4 1、図 1 4 3 などの電圧プログラム構成にも適用できることはいうまでもない。

【 0 4 9 2 】

また、図 6 4、図 6 5 の構成は、図 5 6、図 5 7 の構成にも適用できる。また、図 5 0 などのように、ソースドライバ I C（回路）1 4 の両側から基準電流を印加する構成にも適用できる。また、図 4 6、図 6 1 などにも適用できることはいうまでもない。

【 0 4 9 3 】

図 6 4 において、トランジスタ 1 5 8 a r が R 回路の基準電流 I_{cr} を発生させ、トラ 50

ンジスタ 158 a g が G 回路の基準電流 I_{cg} を発生させる。また、トランジスタ 158 a b が B 回路の基準電流 I_{cb} を発生させる。

【 0 4 9 4 】

図 6 4 では、ラダー抵抗 6 4 1 を R G B の 3 つのスイッチ回路 (6 4 2 r 、 6 4 2 g 、 6 4 2 b) で共用している。したがって、ソースドライバ I C (回路) 1 4 内のラダー抵抗 6 4 1 の形成面積を小さくすることができる。

【 0 4 9 5 】

図 6 4 、図 6 5 においても、スイッチ回路 6 4 2 の設定データにより、R G B の基準電流 (I_{cr} 、 I_{cg} 、 I_{cb}) は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗 R_{1r} 、 R_{1g} 、 R_{1b} を調整してホワイトバランスをとることができる。

【 0 4 9 6 】

図 6 4 において、電圧入出力端子 6 4 3 はドライバ I C (回路) 1 4 の外部からのアナログ電圧を入力する端子である。アナログ電圧により基準電流 I_c を変化あるいは調整することができる。したがって、スイッチ回路 6 4 2 によらず、ホワイトバランス調整、表示画面 1 4 4 輝度調整を実施することができる。

【 0 4 9 7 】

なお、スイッチ回路 6 4 2 は、設定データが 0 の時、すべてのスイッチがオープン状態になるように構成されている。したがって、スイッチ回路 6 4 2 の設定データが 0 で電圧入出力端子 6 4 2 の入力電圧が有効になるように制御される。逆に、スイッチ回路 6 4 2 の設定データが 0 以外の場合は、ラダー抵抗 6 4 1 からの電圧がオペアンプ 5 0 2 の正極端子に入力される。

【 0 4 9 8 】

電圧入出力端子 6 4 3 は、スイッチ回路 6 4 2 からの出力電圧のモニター端子としても機能する。つまり、ラダー抵抗 6 4 1 の選択電圧がスイッチ回路 6 4 2 で選択され、選択されたいずれの電圧がオペアンプ 5 0 2 に入力されているかをモニターできる。

【 0 4 9 9 】

図 6 4 は、ラダー抵抗 6 4 1 (きざみ電圧出力手段) と R G B のスイッチ回路 6 4 2 間の配線が多いため、チップ面積を必要とする。図 6 5 は、R G B で 1 つのスイッチ回路 6 4 2 とした実施例である。以上の構成によっても、ホワイトバランス調整などは実用上問題なく実現できる。

【 0 5 0 0 】

以上の実施例は、電子ポリウム 5 0 1 、スイッチ回路 6 4 2 をデジタルの設定データにより変化させるものであった。しかし、本発明はこれに限定するものではない。たとえば、図 6 6 に図示するように、デジタルーアナログ変換回路 (D / A 回路) 6 6 1 により、オペアンプ 5 0 2 の入力電圧 (c 点で示す) を変化 (変更) して基準電流 I_c を制御してもよいことは言うまでもない。

【 0 5 0 1 】

図 4 4 に図示するようなソースドライバ回路 1 4 では、特に表示パネルに画像を表示するとソース信号線 1 8 に印加された電流によりソース信号線 1 8 電位が変動する。この電位変動によりソースドライバ I C 1 4 のゲート配線 1 5 3 がゆれる課題がある (図 5 2 を参照のこと) 。図 5 2 に図示するように、ソース信号線 1 8 に印加される映像信号が変化するポイントでゲート配線 1 5 3 にリンキングが発生する。リンキングによりゲート配線 1 5 3 の電位が変化するから、単位トランジスタ 1 5 4 のゲート電位が変化し、出力電流が変動する。特に、ゲート配線 1 5 3 の電位変動は、ゲート信号線 1 4 に沿ったクロストーク (横クロストーク) となる。

【 0 5 0 2 】

この揺れ (ゲート配線 1 5 3 のリンキング (図 5 2 を参照のこと)) は、ソースドライ

10

20

30

40

50

パ I C 1 4 の電源電圧が影響する。電源電圧が高いほどリンクする波高値が大きくなるからである。最悪、電源電圧も振幅する。ゲート配線 1 5 3 の電圧は、定常値が 0 . 5 5 ~ 0 . 6 5 (V) である。したがって、わずかなリンクの発生でも出力電流の大きさの変動値は大きい。

【 0 5 0 3 】

図 6 7 は、ソースドライバ I C 1 4 の電源電圧が 1 . 8 (V) の時を基準にしたゲート配線の電位変動比率である。変動比率は、ソースドライバ I C 1 4 の電源電圧が高くなるにつれて大きくなる。変動比率の許容範囲は 3 程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率は、I C 電源電圧が 1 3 ~ 1 5 (V) 以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバ I C 1 4 の電源電圧は 1 3 (V) 以下にする必要がある。

【 0 5 0 4 】

一方、駆動用トランジスタ 1 1 a が白表示から黒表示の電流を流すために、ソース信号線 1 8 の電位は一定の振幅変化をさせる必要がある。この振幅必要範囲は、2 . 5 (V) 以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線 1 8 の出力電圧が I C の電源電圧を越えることはできないからである。

【 0 5 0 5 】

以上のことから、ソースドライバ I C 1 4 の電源電圧は、2 . 5 (V) 以上 1 3 (V) 以下にする必要がある。さらに好ましくは、I C 1 4 の電源電圧 (使用する電圧) は、6 (V) 以上 1 0 (V) 以下にすることが好ましい。この範囲とすることによりゲート配線 1 5 3 の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

【 0 5 0 6 】

ゲート配線 1 5 3 の配線抵抗も課題となる。ゲート配線 1 5 3 の配線抵抗 R (Ω) とは、図 4 7 では、トランジスタ 1 5 8 b 1 からトランジスタ 1 5 8 b 2 までの配線全長の抵抗値である。または、ゲート配線全長の抵抗である。また、図 4 6 では、トランジスタ 1 5 8 b (トランジスタ群 4 3 1 b) からトランジスタ群 4 3 1 c n までの配線全長の抵抗値である。

【 0 5 0 7 】

ゲート配線 1 5 3 の過渡現象の大きさは、1 水平走査期間 (1 H) にも依存する。1 H 期間が短ければ、過渡現象の影響も大きいからである。配線抵抗 R (Ω) が高いほど過渡現象は発生しやすい。この現象は、特に、図 4 4 から図 4 7 の 1 段カレントミラー接続の構成のソースドライバ回路 (I C) 1 4 で課題となる。ゲート配線 1 5 3 が長く、1 つのゲート配線 1 5 3 に接続された単位トランジスタ 1 5 4 の数が多いためである。

【 0 5 0 8 】

図 6 8 は、ゲート配線 1 5 3 の配線抵抗 R (Ω) と 1 水平走査期間 (1 H 期間) T (s e c) との掛算 ($R \cdot T$) を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の 1 は、 $R \cdot T = 1 0 0$ を基準にしている。図 6 8 でわかるように、 $R \cdot T$ が 5 以下で変動比率が大きくなる傾向がある。また、 $R \cdot T$ が 1 0 0 0 以上で変動比率が大きくなる傾向がある。したがって、 $R \cdot T$ は 5 以上 1 0 0 0 以下にすることが好ましい。さらに好ましくは、 $R \cdot T$ は 1 0 以上 5 0 0 以下の条件を満足することが好ましい。

【 0 5 0 9 】

d u t y 比も課題となる。d u t y 比によりソース信号線 1 8 の変動も大きくなるからである。なお、d u t y 比に関しては後ほど説明をする。ここでは、d u t y 比とは間欠駆動の割合であるとする。トランジスタ群 4 3 1 c の単位トランジスタ 1 5 4 の総面積 (トランジスタ群 4 3 1 c 内の単位トランジスタ 1 5 4 の W L サイズ \times 単位トランジスタ 1 5 4 数) を $S c$ (平方 μm) とする。

【 0 5 1 0 】

図 6 9 は、横軸を $S c \times d u t y$ 比とし、縦軸を変動比率としている。図 6 9 でわかるように、 $S c \times d u t y$ 比が 5 0 0 以上で変動比率が大きくなる傾向がある。また、変動

比率が 3 以下の時が変動許容範囲である。したがって、 $Sc \times duty$ 比は 500 以下で駆動できるように制御することが好ましい。

【0511】

変動許容範囲は、 $Sc \times duty$ 比 b が 500 以下である。 $Sc \times duty$ 比が 500 以下であれば、変動比率は許容範囲内であり、ゲート配線 153 の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり、良好な画像表示を実現できる。 $Sc \times duty$ 比が 500 以下であれば許容範囲であるが、 $Sc \times duty$ 比を 50 以下としてもほとんど効果がない。逆に、ソースドライバ IC 14 のチップ面積が増加する。したがって、 $Sc \times duty$ 比は 50 以上 500 以下にすることが好ましい。

10

【0512】

本発明のソースドライバ IC (回路) 14 において、単位トランジスタ群 431c とカレントミラー回路をなすトランジスタ 158b あるいはトランジスタ 158b を構成するトランジスタ群 431b (図 48、図 49 を参照のこと) には、図 70 の関係を満足させることが好ましい。

【0513】

トランジスタ 158b あるいはトランジスタ 158b を構成するトランジスタ群 431b (図 48、図 49 を参照のこと) に供給する電流を I_c とし、1つの単位トランジスタ群 431c から出力される電流を I_d とする。 I_d はソース信号線 18 に出力されるプログラム電流 (吸い込みあるいは吐き出し電流) であり、トランジスタ群 431c を構成する単位トランジスタ 154 のすべてが選択状態の時の電流である。したがって、 I_d は画素 16 に印加する最大階調での電流である。

20

【0514】

なお、図 46 のように、158b が 1 つの場合は、そのまま I_c として用いてよいが、図 47 のように、トランジスタ 158 が複数個ある (複数群ある) 場合は、加算したものを I_c として用いる。つまり、図 47 では $I_c = I_{c1} + I_{c2}$ である。以上のように電流 I_c はトランジスタ群 431c とカレントミラー回路を構成するトランジスタ群 431b に流れる電流 I_c の総和である。

【0515】

この電流 I_d と I_c の比 (I_c / I_d) は 5 以上にする必要がある。図 70 において、縦軸はクロストーク比である。クロストークは、画像表示によるソース信号線 18 の電位変化がソースドライバ IC (回路) 14 のゲート配線 153 を伝播し、表示画面 144 に横お引き (クロストーク) が発生する現象である。クロストークは、画像が白表示から黒表示になるポイント、黒表示から白表示になるポイント (たとえば、白ウィンドウ表示の上エッジ部、下エッジ部など) に発生しやすい。 I_c / I_d が 5 以下では急激にクロストークの発生は強くなる (クロストーク比が大きくなる) が、5 以上では曲線の傾きが小さくなる。

30

【0516】

図 70 から理解できるように、 I_c / I_d は 5 以上にする必要がある。しかし、100 以上にすると、トランジスタ 158b を構成するトランジスタ群 431b のサイズが大きくなり実用的でない。したがって、 I_c / I_d は 5 以上 100 以下にする必要がある。さらに好ましくは、8 以上 50 以下にすることが好ましい。

40

【0517】

I_c / I_d は水平走査時間も考慮する必要がある。1 水平走査期間 H が短いほどゲート配線 153 の時定数を小さくする必要があるからである。なお、1 水平走査期間とは、画素行にプログラム電流 (プログラム電圧) を書き込む期間と考えても良い。つまり、各画素が選択され、各画素 16 に電流 (電圧) が書き込まれている期間である。したがって、2 画素行を同時に選択する駆動方法では、2 水平走査期間が該当する。

【0518】

水平走査期間 H を H (ミリ秒) としたとき (1 画素行を選択する時間)、以下の関係を 50

満足させることが好ましい。なお、 I_c および I_d の単位は μA である。

【0519】

$$0.3 \leq (I_c \cdot H) / I_d \leq 6.0$$

さらに好ましくは、以下の関係を満足させることが好ましい。

【0520】

$$0.5 \leq (I_c \cdot H) / I_d \leq 5.0$$

また、さらに好ましくは、以下の関係を満足させることが好ましい。

【0521】

$$0.6 \leq (I_c \cdot H) / I_d \leq 3.0$$

以上の関係を満足させるように、 I_c 、 I_d 電流を設定し、また、トランジスタ群 431 あるいは単位トランジスタ 154、158 を設計することにより、クロストークの発生は極めて少なくなる。

【0522】

たとえば、QVGA パネルの場合は、およそ $H = 1000$ (ミリ秒) / (60 (Hz) \cdot 240 画素行) = 0.07 (ミリ秒) である。 $I_c = 18$ (μA)、最大プログラム電流 $I_d = 1$ (μA) とすれば、 $(I_c \cdot H) / I_d = (18 \cdot 0.07) / 1 = 1.3$ となり、上式を満足する。

【0523】

また、XGA パネルの場合は、およそ $H = 0.025$ (ミリ秒) である。 $I_c = 18$ (μA)、最大プログラム電流 $I_d = 1$ (μA) とすれば、 $(I_c \cdot H) / I_d = (18 \cdot 0.025) / 1 = 1.5$ となり、上式を満足する。

【0524】

H はパネルの画素行数で固定値であり、 I_d はプログラム電流の最大値であるので、該当表示パネルの EL 素子の効率および表示輝度が決定されれば固定値である。したがって、上式を満足するように、 I_c を決定すればよい。たとえば、 $H = 0.07$ (ミリ秒)、 $I_d = 1$ (μA) であれば、 $0.3 \leq (I_c \cdot H) / I_d \leq 6.0$ を満足する I_c は、4 (μA) 以上 86 (μA) 以下となる。また、 $H = 0.025$ (ミリ秒)、 $I_d = 1$ (μA) であれば、 $0.3 \leq (I_c \cdot H) / I_d \leq 8.0$ を満足する I_c は、12 (μA) 以上 240 (μA) 以下となる。

【0525】

なお、以上の実施例は、出力段が単位トランジスタ 154 で構成されるトランジスタ群 431c として説明をしているが、本発明はこれに限定するものではない。後に説明する図 160 から図 176 などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【0526】

トランジスタ群 431c の出力電流の大きさと出力バラツキには相関がある。出力電流が大きいほど、出力バラツキが小さい。以上の関係を図 182 に示す。出力電流が 10 倍になれば、出力バラツキは約 $1/2$ ($= 0.5$) になり、出力電流が 100 倍になれば約 $1/4$ ($= 0.25$) となる。

【0527】

また、出力電流のバラツキは、1つの出力段のトランジスタ面積 S_c (単位トランジスタ 154 で構成される場合は、トランジスタ群 431c) の面積 (W_L あるいは 1 出力電流を発生する全トランジスタの総面積 S_c) と相関がある。この関係を図 183 に図示する。図 183 は出力バラツキを一定とした場合に、この出力バラツキを得るためのトランジスタ面積 S_c と出力電流との関係を示したものである。出力電流が大きいほど、ある出力バラツキを得るためのトランジスタ面積 S_c は小さくすむ。出力電流が 10 倍になれば、トランジスタ面積 S_c は約 $1/2$ ($= 0.5$) でよい。出力電流が 100 倍になれば、所定の出力バラツキを得るためのトランジスタ面積 S_c は約 $1/4$ ($= 0.25$) でよい。

【0528】

30

40

50

本発明の検討の結果によれば、1端子の出力電流の最高出力電流の大きさは、 $0.2\mu\text{A}$ 以上 $20\mu\text{A}$ 以下にすることが好ましい。 $0.2\mu\text{A}$ 以下では、出力バラツキが大きく実用的でない。 $20\mu\text{A}$ 以上では出力段のトランジスタのゲート端子電圧が高くなり、またソース端子電圧も低下することになり、ICの耐圧などを高くする必要がある。そのため、出力バラツキが大きくなり好ましくない。なお、最高出力電流とは、最大階調での出力電流である。たとえば、256階調であれば、255階調目であり、64階調であれば63階調目である。

【0529】

また、本発明の検討の結果である図182および図183の関係から、1出力の最高出力電流を I_d (μA)とし、出力段を構成するトランジスタ(単位トランジスタ154で構成される場合は、トランジスタ群431c)の面積(WLあるいは1出力電流を発生する全トランジスタの総面積)を S_c (平方 μm)としたとき、以下の条件を満足させることが好ましい。

【0530】

$$500 \leq S_c \times I_d \leq 10000$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0531】

$$800 \leq S_c \times I_d \leq 8000$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0532】

$$1000 \leq S_c \times I_d \leq 5000$$

以上の条件を満足することにより、出力端子155から出力される電流の隣接間バラツキは1%以下にすることができ、実用上十分な性能を得ることができる。

【0533】

なお、以上の実施例は、出力段が単位トランジスタ154で構成されるトランジスタ群431cとして説明をしているが、本発明はこれに限定するものではない。図160から図176などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【0534】

以上のように本発明の記載事項は、他の実施例に相互に適用あるいは組み合わせて使用できるものである。複数の組み合わせはすべてを記載することが不可能であるので、記載していないだけである。

【0535】

図47で、トランジスタ158b1に流す基準電流 I_{c1} と、トランジスタ158b2に流す基準電流 I_{c2} とを調整することにより、図212に図示するように、ソースドライバIC14aと14bとのカスケード接続を良好に行えることを説明した。

【0536】

カスケードは、図208に図示するように、ソースドライバIC14間をカスケード配線2081で結線する。カスケード配線2081はアレイ30上で行う。

【0537】

カスケードで受け渡す基準電流は精度が求められる。そのため、本発明では、カスケード部において基準電流を出力する電流源部は、トリミングを行い、所定の基準電流を出力されるように調整している。トリミングはレーザートリミングにより実施している。

【0538】

なお、図47では、基準電流 I_{c1} と I_{c2} とを調整するとした。しかし、ゲート配線153が所定値以上の抵抗値を有していると、トランジスタ158b1に流す基準電流 I_{c1} と、トランジスタ158b2に流す基準電流 I_{c2} とを同一にしても、図47のように出力電流の傾斜が補正される。

【0539】

理解を容易にするため、具体的な数値で説明する。 $I_{c1} = I_{c2} = 10$ (μA)とし

、この時、トランジスタ158b1のゲート端子電圧 $V1 = 0.60$ (V)、トランジスタ158b2のゲート端子電圧 $V2 = 0.61$ (V)とする。トランジスタ158b2に流れる基準電流とトランジスタ158b1に流れる基準電流との差を1%以内にする必要があるから、基準電流 $= 10$ (μA)の1%は 0.1 (μA)である。したがって、 $(V2 - V1) / 0.1$ (μA) $= (0.61 - 0.60)$ (V) $/ 0.1$ (μA) $= 100$ (K Ω)となる。したがって、ゲート配線153の抵抗値を 100 (K Ω)とすることにより、出力電流の傾きは調整され、隣接して配置されたIC14の出力電流の差は1%以内の差におさまる。

【0540】

ゲート配線153が高抵抗であるほど、補正電流 I_d の大きさは小さくてよい。しかし、ゲート配線153の抵抗値をあまりに高くすると、図52のリンキングの波高値も大きくなり、横クロストークの発生が顕著となる。したがって、ゲート配線153の抵抗値には適切な範囲が存在する。 10

【0541】

本発明は、ゲート配線153のうちすべてを、または、少なくともゲート配線153の一部はポリシリコンからなる配線で形成したことを特徴としている。好ましくは、単位トランジスタ154のゲート端子とのコンタクト部あるいは近傍以外をポリシリコンで形成する。ゲート配線153は配線幅を調整することにより、あるいは、蛇行させることにより目標の抵抗値に形成あるいは構成する。

【0542】

ゲート配線のリンキング発生を抑制するには、ゲート配線153を所定値以下の抵抗値にすることで達成できる。また、トランジスタ158bの総面積 S_b (トランジスタ群431bの総面積 S_b)を大きくすることにより、達成できる。また、基準電流 I_c を大きくすることにより達成できる。 20

【0543】

1出力の単位トランジスタ154の面積 (1つのトランジスタ群431c内の単位トランジスタ154の総面積)を S_0 とし、トランジスタ群431bのトランジスタ158bの総面積を S_b (図44のようにトランジスタ群431bが複数ある時は、複数のトランジスタ群431bのトランジスタ158bの総面積)とする。

【0544】

図71は、 S_b / S_0 を横軸とし、許容できるゲート配線抵抗 (K Ω)を縦軸とした時の関係を示している。図71の実線の下側の範囲が許容範囲である (リンキングの発生の影響を受けない範囲である)。言い換えれば、横クロストークが実用上、許容できる範囲である。 30

【0545】

図71の横軸は、総トランジスタ群431bの大きさ S_b に対する1出力あたりの単位トランジスタ154の大きさ S_0 である (64階調の場合は、単位トランジスタ154が63個分)。 S_0 を固定値であるとする、 S_b が大きいほど、ゲート配線153が許容できる抵抗値も大きくなる。これは、 S_b が大きくなるほどゲート配線153に対するインピーダンスが低くなり、安定度が増加するためである。 40

【0546】

S_0 は出力電流 (プログラム電流)を発生させるものであり、また、出力バラツキを一定値以下にする必要から、 S_0 の大きさは設計上の変更範囲は狭い。一方でゲート配線153の抵抗値を所定値とするためには設計制約がある。

【0547】

ゲート配線153を高抵抗にするには、配線が細くなり断線が発生する課題、安定度の課題がある。また、 S_b を大きくするとチップ面積が大きくなり、コストが高くなる。したがって、IC14のチップサイズの課題から、 S_b / S_0 は50以下にすることが好ましい、また、ゲート配線153の安定した設計、リンキングの課題などの制約から、 S_b / S_0 は5以上にすることが好ましい。したがって、 $5 \leq S_b / S_0 \leq 50$ の条件 50

を満足させる必要がある。

【 0 5 4 8 】

図 7 1 のグラフ (実線) から、 S_b / S_0 が小さくなるほど実線カーブの傾きは緩やかになる。また、 S_b / S_0 が 1.5 以上では傾きが一定になる傾向がある。したがって、 S_b / S_0 が 5 以上 1.5 以下では、ゲート配線 1.5.3 の抵抗値は $400 \text{ (K}\Omega\text{)}$ 以下にする必要がある。また、 S_b / S_0 が 1.5 以上 5.0 以下では、 $(S_b / S_0) \times 2.4 \text{ (K}\Omega\text{)}$ 以下にする必要がある。たとえば、 $S_b / S_0 = 5.0$ の時は、 $5.0 \times 2.4 = 12.00 \text{ (K}\Omega\text{)}$ 以下にする必要がある。

【 0 5 4 9 】

トランジスタ 1.5.8.b に流れる基準電流 I_c と、許容ゲート配線抵抗には相関がある。10
基準電流 I_c が大きいほどトランジスタ 1.5.8.b からゲート配線 1.5.3 をみたときのインピーダンスが低くなるからである。図 7.2 にその関係を示す。図 7.2 の横軸は、トランジスタ 1.5.8.b (もしくはトランジスタ群 4.3.1.b) に流れる基準電流 $I_c \text{ (}\mu\text{A)}$ である。縦軸が許容できるゲート配線抵抗 $\text{(K}\Omega\text{)}$ を示している。図 7.2 の実線の下側の範囲が許容範囲である (リンキングの発生の影響を受けない範囲である)。言い換えれば、横クロストークが実用上、許容できる範囲である。

【 0 5 5 0 】

基準電流 I_c を大きくすれば、ゲート配線 1.5.3 の安定度は向上する。しかし、ソースドライバ IC 1.4 で消費する無効電流が増加し、また、ゲート配線 1.5.3 の電位も高くなる。このことから、基準電流 I_c は $5.0 \text{ (}\mu\text{A)}$ 以下にする必要がある。20

【 0 5 5 1 】

基準電流 I_c を小さくすれば、ゲート配線 1.5.3 の安定度は低下するため、ゲート配線 1.5.3 の抵抗値を下げる必要がある。しかし、一定値以下に基準電流を下げると単位トランジスタ 4.3.1.c からの出力電流のパラツキが大きくなる。つまり出力電流の安定度がなくなる。このことから、基準電流 I_c は $2 \text{ (}\mu\text{A)}$ 以上にする必要がある。以上のことから、トランジスタ 1.5.8.b に流す基準電流 I_c は $2 \text{ (}\mu\text{A)}$ 以上 $5.0 \text{ (}\mu\text{A)}$ 以下にする必要がある。

【 0 5 5 2 】

図 7.2 のグラフ (実線) は、2 つの直線に近似できる。 I_c が $2 \text{ (}\mu\text{A)}$ 以上 $1.5 \text{ (}\mu\text{A)}$ 以下では、ゲート配線 1.5.3 の抵抗値 $\text{(M}\Omega\text{)}$ は、 $0.04 \times I_c \text{ (M}\Omega\text{)}$ 以下にする必要がある。たとえば、 $I_c = 1.5 \text{ (}\mu\text{A)}$ であれば、ゲート配線 1.5.3 の抵抗値は、 $0.04 \times 1.5 = 0.06 \text{ (M}\Omega\text{)}$ 以下の条件を満足させる必要がある。30

【 0 5 5 3 】

I_c が $1.5 \text{ (}\mu\text{A)}$ 以上 $5.0 \text{ (}\mu\text{A)}$ 以下では、ゲート配線 1.5.3 の抵抗値 $\text{(M}\Omega\text{)}$ は、 $0.025 \times I_c \text{ (M}\Omega\text{)}$ 以下にする必要がある。たとえば、 $I_c = 5.0 \text{ (}\mu\text{A)}$ であれば、ゲート配線 1.5.3 の抵抗値は、 $0.025 \times 5.0 = 0.125 \text{ (M}\Omega\text{)}$ 以下の条件を満足させる必要がある。

【 0 5 5 4 】

1 画素行が選択される期間 (1 水平走査期間 (1 H)) と、ゲート配線 1.5.3 の抵抗 $R \text{ (K}\Omega\text{)} \times$ ゲート配線 1.5.3 の長さ $D \text{ (m)}$ にも相関がある。1 H 期間が短いほど、ゲート配線 1.5.3 の電位が正常値に戻るのに要する期間を短くする必要があるからである。また、図 4.7 のようにゲート配線 1.5.3 長さ D (=ドライバ IC のチップ長さ) が長くなると、トランジスタ 1.5.8.b から最も遠い単位トランジスタ群 4.3.1.c の電位変動が許容範囲を越えるからである。この現象は、単位トランジスタ 1.5.4 とソース信号線 1.8 間の寄生容量が影響を与えているためと推定される。つまり、ドライバ IC 1.4 のチップ長さ D が長くなると単純なゲート配線 1.5.3 の抵抗値だけでなく、寄生容量によるゲート配線 1.5.3 の電位変動も考慮する必要があることを示している。40

【 0 5 5 5 】

図 7.3 は横軸を 1 水平走査期間 (μ 秒) としている。縦軸がゲート配線抵抗 $\text{(K}\Omega\text{)}$ とチップ長さ $D \text{ (m)}$ の掛算値である。図 7.3 の実線の下側の範囲が許容範囲である。 $R \cdot D$ 50

は、 $9 \text{ (K} \Omega \cdot \text{m)}$ がソースドライバ IC の作製限界である。これ以上は、コストが高くなり実用的でない。一方、 $R \cdot D$ が 0.05 以下では、図 191 の電流 I_d が大きくなりすぎ、隣接出力電流の偏差が大きくなりすぎる。したがって、 $R \cdot D \text{ (K} \Omega \cdot \text{m)}$ は 0.05 以上 9 以下にする必要がある。

【0556】

画素 16 を構成するトランジスタ 11 を P チャンネルで構成すると、プログラム電流は画素 16 からソース信号線 18 に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ 154 (図 15、図 57 などを参照のこと) は、N チャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路 14 はプログラム電流 I_w を引き込むように回路構成する必要がある。

10

【0557】

画素 16 の駆動用トランジスタ 11a (図 1 の場合) が P チャンネルトランジスタの場合は、必ず、ソースドライバ回路 14 はプログラム電流 I_w を引き込むように、単位トランジスタ 154 を N チャンネルトランジスタで構成する。

【0558】

ソースドライバ回路 14 をアレイ基板 30 に形成するには、N チャンネル用マスク (プロセス) と P チャンネル用マスク (プロセス) の両方を用いる必要がある。概念的に述べれば、画素 16 とゲートドライバ回路 12 を P チャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタは N チャンネルで構成するのが本発明の表示パネル (表示装置) である。

20

【0559】

本発明の 1 実施形態は、画素 16 のトランジスタ 11 を P チャンネルトランジスタで形成し、ゲートドライバ回路 12 を P チャンネルトランジスタで形成する。このように画素 16 のトランジスタ 11 とゲートドライバ回路 12 の両方を P チャンネルトランジスタで形成することにより、基板 30 を低コスト化できる。

【0560】

ソースドライバ回路 14 は、単位トランジスタ 154 を N チャンネルトランジスタで形成することが必要になる。しかし、P チャンネルのみのプロセスでは、ソースドライバ回路 14 は基板 30 に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路 14 を作製し、基板 30 に積載する。つまり、本発明は、ソースドライバ IC 14 (映像信号としてのプログラム電流を出力する手段) を外付けする構成である。

30

【0561】

また、単位トランジスタ 154 の面積を同一とした場合、N チャンネルで形成した単位トランジスタ 154 のばらつきは、P チャンネルで形成した単位トランジスタのばらつきに比較して、 70% になる。つまり、N チャンネルで単位トランジスタ 154 を形成する方が、同一トランジスタ形成面積でバラツキを小さくすることができる。検討の結果によれば、P チャンネルの単位トランジスタのバラツキを N チャンネルの単位トランジスタと同一にするためには、2 倍の形成面積が必要であった (図 159 参照のこと)。

【0562】

ソースドライバ回路 14 はシリコンチップで構成するとしたが、これに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板 30 に積載してもよい。

40

【0563】

また、基板 30 にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路 14 の出力端子 431 を基板 30 のソース信号線 18 に接続するのであればいずれの形態でもよい。たとえば、TAB 技術でソースドライバ回路 14 をソース信号線 18 に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路 14 を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

50

【 0 5 6 4 】

また、画素 1 6 の選択トランジスタを P チャンネルで構成し、ゲートドライバ回路を P チャンネルトランジスタで構成するという構成は、有機 EL などの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、FED（フィールドエミッションディスプレイ）にも適用することができる。

【 0 5 6 5 】

画素 1 6 のスイッチング用トランジスタ 1 1 b、1 1 c が P チャンネルトランジスタで形成されていると、V g h で画素 1 6 が選択状態となる。V g l で画素 1 6 が非選択状態となる。以前にも説明したが、ゲート信号線 1 7 a がオン（V g l）からオフ（V g h）になる時に電圧が突き抜ける（突き抜け電圧）。画素 1 6 の駆動用トランジスタ 1 1 a が P チャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ 1 1 a がより電流が流れなくなるようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

【 0 5 6 6 】

本発明では、ゲートドライバ回路 1 2 を P チャンネルトランジスタで構成することにより、オン電圧は V g h となる。したがって、P チャンネルトランジスタで形成された画素 1 6 とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図 1、図 2、図 6、図 7、図 8 の画素 1 6 の構成のように、アノード電圧 V d d から駆動用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路 1 4 の単位トランジスタ 1 5 4 にプログラム電流 I w が流入するように構成することが重要である。

【 0 5 6 7 】

したがって、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路 1 4 を基板に積載し、かつソースドライバ回路 1 4 の単位トランジスタ 1 5 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

【 0 5 6 8 】

また、N チャンネルで形成した単位トランジスタ 1 5 4 は P チャンネルで形成した単位トランジスタ 1 5 4 に比較して出力電流のバラツキが小さい。同一面積（W・L）の単位トランジスタ 1 5 4 で比較した場合、N チャンネルの単位トランジスタ 1 5 4 は P チャンネルの単位トランジスタ 1 5 4 に比較して、出力電流のばらつきは、1 / 1. 5 から 1 / 2 になる。この理由からソースドライバ IC 1 4 の単位トランジスタ 1 5 4 は N チャンネルで形成することが好ましい。

【 0 5 6 9 】

なお、図 4 2（b）においても同様である。図 4 2（b）は、駆動用トランジスタ 1 1 b を介してソースドライバ回路 1 4 の単位トランジスタ 1 5 4 に電流が流入するのではない。しかし、アノード電圧 V d d からプログラム用トランジスタ 1 1 a、ソース信号線 1 8 を介してソースドライバ回路 1 4 の単位トランジスタ 1 5 4 にプログラム電流 I w が流入するような構成である。したがって、図 1 と同様に、ゲートドライバ回路 1 2 および画素 1 6 を P チャンネルトランジスタで構成し、ソースドライバ回路 1 4 を基板に積載し、かつソースドライバ回路 1 4 の単位トランジスタ 1 5 4 を N チャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

【 0 5 7 0 】

本発明では、画素 1 6 の駆動用トランジスタ 1 1 a を P チャンネルで構成し、スイッチングトランジスタ 1 1 b、1 1 c を P チャンネルで構成する。また、ソースドライバ IC 1 4 の出力段の単位トランジスタ 1 5 4 を N チャンネルで構成するとした。また、好ましくは、ゲートドライバ回路 1 2 は P チャンネルトランジスタで構成するとした。

【 0 5 7 1 】

前述の逆の構成でも効果を発揮することは言うまでもない。画素 1 6 の駆動用トランジスタ 1 1 a を N チャンネルで構成し、スイッチングトランジスタ 1 1 b、1 1 c を N チャンネルで構成する。また、ソースドライバ IC 1 4 の出力段の単位トランジスタ 1 5 4 を

Pチャンネルとする構成である。なお、好ましくは、ゲートドライバ回路12はNチャンネルトランジスタで構成する。この構成も本発明の構成である。

【0572】

次に、プリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間(1H)に画素16に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その信号値で数10pF程度あると思われる寄生容量(配線負荷容量)を駆動することは困難である。

【0573】

この課題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位レベルを画素のトランジスタ11aの黒表示電流(基本的にはトランジスタ11aはオフ状態)にすることが有効である。このプリチャージ電圧の形成(作成)には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【0574】

プリチャージとは、ソース信号線18に1Hの始めなどに、強制的に電圧を印加する方法である。電圧は、駆動用トランジスタ11a(図1の場合を例示するが、これに限定されない。電圧駆動の画素構成でもよい)をオフ状態にするものである。駆動用トランジスタ11aがPチャンネルの場合は、アノード電圧に近い電圧を印加する。つまり、オフ状態にする電圧を印加する。Nチャンネルの場合は、カソード電圧に近い電圧を印加する。

【0575】

プリチャージとは、駆動用トランジスタ11aをオフ状態(立ち上がり電流以下の状態)にする、またはその近傍の電圧を印加するものである。もしくは、図135~139などのように複数のプリチャージ電圧を用いる(低階調プリチャージ駆動)場合は、駆動用トランジスタ11aのゲート端子(G)に電圧を印加し、印加した電圧に応じて駆動用トランジスタ11aの出力電流を変化(制御)させるものである。また、プリチャージ駆動は、画素トランジスタ11aに黒電圧を書き込むものである。また、画素トランジスタ11aをカットオフ状態にする駆動方法である。また、コンデンサ11aの端子電圧を、トランジスタ11aがオフする電圧を書き込むものである。

【0576】

以上のように、プリチャージ電圧を印加するとは、駆動用トランジスタ11aを強制的にオフ状態にする電圧を印加する方式である。また、ソース信号線18に電圧を印加し、強制的に充放電させることをいう。

【0577】

また、プリチャージ電圧を印加するとしたが、ソース信号線18の電位を変化させるには、電圧の印加だけでなく、電流を印加(充電又は放電)してもソース信号線18の電位を変化させることができる。したがって、プリチャージ電圧を印加する技術的思想は、プリチャージ電流を印加することにも含まれる。

【0578】

また、プリチャージ電圧(電流)は1水平走査期間に1度印加すること限定するものではなく、1水平走査期間に複数回分割して印加してもよい。また、複数水平走査期間に1度印加するように制御してもよい。また、1フレームまたは1フィールド期間に1度以上印加してもよく、複数フィールドまたは1フレームに複数回あるいは1回印加してもよいことは言うまでもない。また、1水平走査期間または1フレームなどに複数回印加する場合は、複数回内でプリチャージ電圧の大きさを変化してもよく、複数回内で印加期間を変化させてもよいことは言うまでもない。また、印加位置(ソース信号線18の両端と中央部など)を変化させてもよい。印加位置はフレームまたは水平走査期間で変化させてもよい。

【0579】

なお、本発明は、駆動用トランジスタをPチャンネルにし、プリチャージ電圧をアノード電圧 V_{dd} 以下（アノード電圧 $V_{dd}-1.5$ （V）とすることを特徴としている。また、R、G、Bで少なくとも1つは他のプリチャージ電圧を異ならせることができるように構成していることを特徴としている。たとえば、R、G、Bごとに図75の構成をソースドライバIC14内に構成あるいは形成する。

【0580】

なお、本発明は、1つのソースドライバIC（回路）14内にR、G、Bの出力回路（プログラム電流（電圧）出力回路など）を具備するとして説明しているが、これに限定するものではない。たとえば、R、G、Bそれぞれ個別の出力を出す3つのソースドライバIC（回路）14を設け、1つのアレイ基板30などに実装してもよい。また、図75などで説明するプリチャージ回路構成は、各R、G、BのICチップ（回路）14内にそれぞれ配置する。また、本発明は、1つのソースドライバIC（回路）14内にR、G、Bの3つのプリチャージ回路などを配置することに限定されない。R、G、Bのうち、1つ以上のプリチャージ回路を配置または形成すればよい。RGBすべてにプリチャージしなくとも黒表示が良好に実施できる色のEL素子15があるからである。

【0581】

図186はプリチャージ駆動の説明図である。図186（a）は駆動用トランジスタ11aがPチャンネルの場合である。画素構成は図1を例示して説明しているが、これに限定するものではない。図2、図7、図11、図12、図13、図28、図31などの他の画素構成のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

【0582】

プリチャージ電圧はソースドライバ回路14が発生する。この点も本発明の特徴である。また、ソースドライバ回路14はシリコンチップのICである。また、プリチャージ電圧は、駆動用トランジスタ11aがPチャンネルの場合、 V_{dd} 電圧以下で $V_{dd}-5.0$ （V）以上の電圧である。プリチャージ電圧 V_p は、画素選択トランジスタ11cがオンし、駆動用トランジスタ11aのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧は駆動用トランジスタ11aをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ11dはオフ状態にされ、EL素子15にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりEL素子15が不要な発光を行うことはない。

【0583】

図186（b）は駆動用トランジスタ11aがNチャンネルの場合である。プリチャージ電圧はソースドライバ回路14が発生する。プリチャージ電圧は、駆動用トランジスタ11aがNチャンネルの場合、 V_{ss} 電圧以上 $V_{ss}+5.0$ （V）以下の電圧である。プリチャージ電圧 V_p は、画素選択トランジスタ11cがオンし、駆動用トランジスタ11aのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧は駆動用トランジスタ11aをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ11dはオフ状態にされ、EL素子15にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりEL素子15が不要な発光を行うことはない。

【0584】

図187（a）は、図13のように画素構成がカレントミラー構成の場合である。駆動用トランジスタ11bがPチャンネルの場合である。プリチャージ電圧はソースドライバ回路14が発生する。プリチャージ電圧は、駆動用トランジスタ11aがPチャンネルの場合、 V_{dd} 電圧以下で $V_{dd}-5.0$ （V）以上の電圧である。プリチャージ電圧 V_p は、画素選択トランジスタ11cがオンし、駆動用トランジスタ11aのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧は駆動用トランジスタ11aをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ11dはオフ状態にされ、EL素子15

にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりEL素子15が不要な発光を行うことはない。

【0585】

なお、図187(b)に図示するように、トランジスタ11dは必ずしも必要ではない。特に、図13のようにカレントミラー回路構成では不要である。また、図186(b)で図示するように、図187においても駆動用トランジスタ11bをNチャンネルで構成できることも言うまでもない。

【0586】

図75に、本発明のプリチャージ機能を有した電流出力方式のソースドライバIC(回路)14の一例を示す。図75では、6ビットの定電流出力回路164の出力段にプリチャージ機能を搭載した場合を示している。 10

【0587】

図75では、プリチャージ電圧を印加すると、内部配線150のB点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段164にも印加されることになる。しかし、電流出力段164は定電流回路であるから、高インピーダンスである。そのため、定電流回路164にプリチャージ電圧が印加されても回路の動作上問題は発生しない。

【0588】

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調(低輝度、つまり、電流駆動方式では、書き込み電流が小さい(微小))を選択しプリチャージする(選択プリチャージと呼ぶ)。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下(目標輝度に到達しない)が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。 20

【0589】

好ましくは、階調データの階調0から全階調の1/8の領域の階調領域で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)。 30

【0590】

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調0のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

【0591】

プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)。他の色(G、B)は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う(たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む)などの制御を行う。また、プリチャージ電圧も、Rは7(V)であれば、他の色(G、B)は、7.5(V)の電圧をソース信号線18に書き込むようにする。 40

【0592】

最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ポリウム回路を用いることにより容易に実現できる。 50

【 0 5 9 3 】

なお、プリチャージ電圧は、図 1 のアノード電圧 $V_{dd} - 0.5$ (V) 以下、アノード電圧 $V_{dd} - 2.5$ (V) 以上にすることが好ましい。

【 0 5 9 4 】

階調 0 のみをプリチャージする方法にあっても、R、G、B の一色あるいは 2 色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に表示画面 144 の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、0 階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

10

【 0 5 9 5 】

また、全くプリチャージしない第 0 モード、階調 0 のみをプリチャージする第 1 モード、階調 0 から階調 3 の範囲でプリチャージする第 2 モード、階調 0 から階調 7 の範囲でプリチャージする第 3 モード、全階調の範囲でプリチャージする第 4 モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ IC (回路) 14 内においてロジック回路を構成 (設計) することにより容易に実現できる。

【 0 5 9 6 】

以上の信号の印加状態により、スイッチ 151a がオンオフ制御され、スイッチ 151a オンの時、プリチャージ電圧 PV がソース信号線 18 に印加される。なお、プリチャージ電圧 PV を印加する時間は、別途形成したカウンタ (図示せず) により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は 1 水平走査期間 (1H) の $1/100$ 以上 $1/5$ 以下の時間に設定することが好ましい。たとえば、1H が $100\mu\text{sec}$ とすれば、 $1\mu\text{sec}$ 以上 $20\mu\text{sec}$ 以下 (1H の $1/100$ 以上 1H の $1/5$ 以下) とする。さらに好ましくは、 $2\mu\text{sec}$ 以上 $10\mu\text{sec}$ 以下 (1H の $2/100$ 以上 1H の $1/10$ 以下) とする。

20

【 0 5 9 7 】

一致回路 161 の出力と、カウンタ回路 162 の出力とが、AND 回路 163 で AND され、一定期間、黒レベル電圧 V_p を出力するように構成されている。

【 0 5 9 8 】

図 75 は、プリチャージ電圧を階調に応じて変化できるように構成した実施例である。図 75 では印加する画像データに応じてプリチャージ電圧を変化させることが容易に実現できる。プリチャージ電圧は画像データ ($D_3 \sim D_0$) によって、電子ポリウム 501 により変化させることができる。図 75 では、 $D_3 \sim D_0$ ビットは電子ポリウムに接続されていることから、低階調のプリチャージ電圧が変更できるようにしていることがわかる。これは、黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高くする。画素 16 の駆動用トランジスタ 11a を P チャンネルとしているため、アノード電圧 (V_{dd}) が最も黒表示電圧である。高階調領域になるにしたがって、プリチャージ電圧を低く (画素トランジスタ 11a が P チャンネルの時) する。つまり、低階調表示では、電圧プログラム方式が実施され、高階調表示 (白表示) では、電流プログラム方式が実施されていることになる。もちろん、図 75 は階調に応じてプリチャージ電圧を変化するだけでなく、温度あるいは点灯率、基準電流比、 $duty$ 比に応じてプリチャージ電圧を変化あるいは制御してもよい。また、温度あるいは点灯率、基準電流比、 $duty$ 比に応じてプリチャージ電圧の印加時間を変化あるいは制御してもよい

30

40

図 75 のプリチャージ回路では、階調 0 のみをプリチャージするとか、階調 0 から階調 7 の範囲でプリチャージするとかを選択できる。また、各階調に対するプリチャージ電圧も電子ポリウム 501 で変更できる。

【 0 5 9 9 】

ソース信号線 18 に印加する画像データにより、プリチャージ電圧 PV 印加時間を可変

50

することによっても良好な結果が得られる。たとえば、完全黒表示の階調 0 では印加時間を長くし、階調 4 ではそれよりも短くするなどである。また、1 H 前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。

【 0 6 0 0 】

たとえば、1 H 前にソース信号線に画素を白表示にする電流を書き込み、次の 1 H に、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1 H 前にソース信号線に画素を黒表示にする電流を書き込み、次の 1 H に、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいから 10 である。

【 0 6 0 1 】

印加する画像データに応じてプリチャージ電圧を変えることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（V_{dd} に対して。なお、画素トランジスタ 11a が P チャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ 11a が P チャンネルの時）するという制御方法も有効である。

【 0 6 0 2 】

画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定 20 以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【 0 6 0 3 】

プリチャージ制御は、R、G、B で異ならせることも有効である。EL 表示素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、所定輝度の白面積：所定輝度の黒面積の比が 1：20 以上でプリチャージを停止または開始 30 し、G と B は、所定輝度の白面積：所定輝度の黒面積の比が 1：16 以上でプリチャージを停止または開始するという方法が例示される。なお、実験および検討結果によれば、有機 EL 表示パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が 1：100 以上（つまり、黒面積が白面積の 100 倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が 1：200 以上（つまり、黒面積が白面積の 200 倍以上）でプリチャージを停止することが好ましい。

【 0 6 0 4 】

以前にも説明をしたが、図 76 に図示するように、RGB の画像データ（RDATA、GDATA、BDATA）は各 8 ビットである。RGB 各 8 ビットの画像データは、ガンマ回路 764 でガンマ変換されて、10 ビット信号となる。ガンマ変換された信号は、フ 40 レームレートコントロール（FRC）回路 765 で FRC 処理されて、6 ビットの画像データに変換される。プリチャージ制御回路（PC）761 は、変換された 6 ビットの画像データからプリチャージ制御信号（プリチャージする時は H レベルとし、プリチャージしない時は L レベルとする）を発生させる。このプリチャージを発生させる方式については後に説明をする。

【 0 6 0 5 】

なお、FRC は 10 ビット信号を 8 ビットもしくは 6 ビット処理することが、画像の破綻もなく好ましい。

【 0 6 0 6 】

図 77 は、ソースドライバ IC（回路）14 のプリチャージ回路 773 を中心とするブ 50

ロック図である。プリチャージ回路 773 とは、プリチャージ制御回路 761 によりプリチャージ制御信号 P C 信号（赤（R P C）、緑（G P C）、青（B P C））が出力される。この P C 信号は図 76 に図示するコントロール I C 81 のプリチャージ制御回路 761 により発生し、P C 信号は、図 77 に図示するソースドライバ I C 14 のセレクト回路 772 に入力される。

【0607】

セレクト回路 772 は、メインクロックに同期して出力段に対応するラッチ回路 771 に順次ラッチしていく。ラッチ回路 771 はラッチ回路 771 a とラッチ回路 771 b の 2 段構成である。ラッチ回路 771 b は水平走査クロック（1 H）に同期してプリチャージ回路 773 にデータを送出する。つまり、セレクトは、1 画素行分の画像データおよび P C データを順次ラッチしていき、水平走査クロック（1 H）に同期して、ラッチ回路 771 b でデータをストアする。

【0608】

なお、図 77 では、ラッチ回路 771 の R、G、B は R G B の画像データ 6 ビットのラッチ回路であり、P はプリチャージ信号（R P C、G P C、B P C）の 3 ビットをラッチするラッチ回路である。

【0609】

プリチャージ回路 773 は、ラッチ回路 771 b の出力が H レベルの時、スイッチ 151 a をオンさせ、ソース信号線 18 にプリチャージ電圧を出力する。電流出力回路 164 は、画像データに応じてプログラム電流をソース信号線 18 に出力する。

【0610】

図 76、図 77 の構成を概略的に図示すれば、図 78 の構成となる。なお、図 78、図 79 は 1 つの表示パネルに複数のソースドライバ I C（回路）14 を積載した構成（ソースドライバ I C のカソード接続）である。また、図 78、図 79 の C S E L 1、C S E L 2 は I C チップのセレクト信号である。C S E L 信号により、どちらの I C チップを選択し、画像データおよび P C 信号を入力するかを決定する。

【0611】

図 77、図 78 の構成では、各 R G B 画像データに対応して、プリチャージコントロール（P C）信号を発生させている。プリチャージの印加は、以上のように R G B ごとに行うことが好ましい。しかし、動画表示、自然画表示では、R G B ごとにプリチャージするかしなないかを判断する必要がない場合が多い。つまり、R G B を輝度信号に変換し（換算し）、輝度によりプリチャージをするかしなないかを判断してもよい。このようにしたのが、図 79 の構成である。

【0612】

図 78 の構成では、P C 信号は 3 ビット必要である（R P C、G P C、B P C）が、図 79 の構成では、P C 信号は R G B P C の 1 ビットでよい。したがって、図 77 のラッチ回路 771 においても、P は 1 ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、R G B を考慮せずに説明を行う。

【0613】

以上の本発明の構成は、コントローラ 760 が画像データに基づいて P C 信号（プリチャージ制御信号）を発生する点、ソースドライバ I C 14 が P C 信号をラッチし 1 H の同期信号に同期してソース信号線 18 に印加する点に特徴がある。また、コントローラ 81 は図 76 に図示するように、プリチャージモード（P M O D E）信号により、プリチャージ信号の発生を容易に変更することができる。

【0614】

たとえば、P M O D E とは、階調 0 のみをプリチャージするモード、階調 0 - 7 など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

【0615】

10

20

30

40

50

なお、1画素のデータについてプリチャージするかしないかを判断することによって限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上の事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【0616】

なお、プリチャージをするかしないかの判定は、1画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線18に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書き込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線18の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ81に1画素行分（FIFOのため2ラインのメモリが必要）のラインメモリを形成（配置）することにより容易に実現できる。

【0617】

また、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これによって限定するものではない。1水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線18に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線18に書き込み、その後プログラム電流をソース信号線18に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の範疇である。

【0618】

たとえば、図75では電子ポリウム501を切り換えることによりプリチャージ電圧が変化する。この電子ポリウム501を電流出力の電子ポリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。本発明では説明を容易にするため、プリチャージ駆動はプリチャージ電圧で行うとして説明をする。

【0619】

また、プリチャージ電圧（電流）の印加は、一定のプリチャージ電圧（電流）を印加することによって限定するものではない。たとえば、複数のプリチャージ電圧をソース信号線に印加してもよい。たとえば、第1のプリチャージ電圧5（V）を5（ μ sec）印加した後、第2のプリチャージ電圧4.5（V）を5（ μ sec）印加する方法である。その後、プログラム電流Iwをソース信号線18に印加する。

【0620】

また、プリチャージ電圧を鋸波状に変化させたものでもよい。また、矩形波を印加してもよい。また、正規のプログラム電流（電圧）にプリチャージ電圧（電流）を重ねさせてもよい。また、プリチャージ電圧（電流）の大きさ、プリチャージ電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プリチャージ電圧の値などを変化させてもよい。

【0621】

本発明は電流駆動方式において、プリチャージ電圧（電流）を印加するとして説明をするが、プリチャージ駆動は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、EL素子15を駆動する駆動用トランジスタサイズが大きいこと、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。この課題に対して、プログラム電圧を印加する前に、プリチャージを実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書き込みを実現できる。

【0622】

したがって、本発明のプリチャージ駆動方式は、電流プログラム駆動に限定されるもの

ではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図 1 などを参照のこと）を例示して説明をする。

【 0 6 2 3 】

本発明の実施例において、プリチャージ駆動方式は、駆動用トランジスタ 11 a のみに作用するものではない。たとえば、図 11、図 12、図 13 の画素構成において、カレントミラー回路を構成するトランジスタ 11 a にも作用して効果を発揮する。本発明のプリチャージ駆動方式は、ソースドライバ IC（回路） 14 からみたソース信号線 18 の寄生容量を充放電することを 1 つの目的としているが、当然のことながらソースドライバ IC（回路） 14 内の寄生容量も充放電されることも目的としている。

【 0 6 2 4 】

また、プリチャージ電圧（電流）は、黒表示を良好にすることを 1 つの目的としているが、これに限定されるものではない。白表示を書き込み易くする白書き込みプリチャージ電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプリチャージ駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書き込み易くするための、所定の電圧（電流）を印加し、予備充電するものである。

【 0 6 2 5 】

また、本発明は、黒表示でプリチャージするとして説明をするが、これは、基本的には駆動用トランジスタ 11 a からソースドライバ IC（回路） 14 に吸い込み電流で実施する場合である。駆動用トランジスタ 11 a などが N チャンネルトランジスタの場合は、ソースドライバ IC（回路） 14 からは吐き出し電流でプログラムすることになる。この場合は、白表示で書き込みにくい画素構成の場合も発生する。したがって、本発明のプリチャージ駆動方法は、ソース信号線 18 などを所定電位に変化させるものであって、白表示でプリチャージするとか、黒表示でプリチャージするとかは実施形態にすぎない。したがって、これらに限定されるものではない。

【 0 6 2 6 】

プリチャージ電圧（電流）の印加タイミングは、プログラム電圧（電流）を書き込む画素行を選択した状態でプリチャージ電圧（電流）を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線 18 にプリチャージ電圧（電流）を印加して予備充電を行ない、その後、プログラム電流（電圧）を書き込む画素行を選択してもよい。

【 0 6 2 7 】

プリチャージ電圧は、ソース信号線 18 に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（ V_{dd} ）またはカソード端子への印加電圧（ V_{ss} ）を変化させてもよい（プリチャージ電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ 11 a の書き込み能力が拡大される。したがって、プリチャージ効果が発揮される。特に、アノード電圧（ V_{dd} ）をパルス的に変化させる方式を実施する効果が高い。

【 0 6 2 8 】

また、図 236 に図示するように、点灯率に対してアノード電圧とプリチャージ電圧とを変化させてもよい。また、図 238 に図示するように基準電流比に対してプリチャージ基準電圧（ V_{bv} ）の大きさを変化させてもよい。プリチャージ基準電圧（ V_{bv} ）は図 239 に図示するように（図 127 から図 143 およびその説明を参照のこと）、基準電流 I_c を用いた $I-V$ 変換回路 2391 で発生することができる。

【 0 6 2 9 】

また、点灯率、基準電流、アノード（カソード）端子のアノード（カソード）電流に対して、ゲートドライバ回路 12 のオン電圧（ V_{gl} ）、オフ電圧（ V_{gh} ）も変化させてもよい。特にアノード電圧 V_{dd} を上昇させるときは、連動して V_{gh} 電圧も上昇させることが好ましい。

【 0 6 3 0 】

10

20

30

40

50

また、本発明の実施例では、点灯率あるいはアノード（カソード）端子のアノード（カソード）電流により、*duty*比、基準電流比などを可変あるいは制御するとして説明するが、点灯率あるいはアノード端子などの電流は電流駆動方式ではプログラム電流 *I_w* に比例する。したがって、プログラム電流 *I_w* あるいはプログラム電流の総和あるいは所定期間の和により、基準電流比（プリチャージ制御など以前あるいは以降に説明することも含む。たとえば、図 127 などの電圧プログラムと電流プログラムの切り換えタイミングなども含む）などを制御などすることも本発明の技術的範疇であることは明らかである。また、図 75 などにおいて、プリチャージ電圧（もしくはプリチャージ電流）は、1 水平走査期間（1 H）ごとに変化させることも有効である。プリチャージ電圧を印加する画素行の画像データを演算（加算など）し、特に低階調の画像（映像）データの割合が多い時に、プリチャージ電圧（電流）を印加する。また、このプリチャージ電圧（電流）は、演算結果により変化する。これは、比較的階調が高い場合は、EL 表示パネル内でハレーションが発生し、一定の低階調の画素は輝度が浮いて高くなるからである。したがって、一定の低階調以下の画素 16 にはプリチャージ電圧を印加することにより、より完全な黒表示を実現し、画像のコントラスト感を高くすることができる。

【0631】

また、印加するプリチャージ電圧は一定の低階調の画素には一定の電圧を印加（一定の低階調の画素は黒つぶれ表示になる）してもよいし、また、図 75 のプリチャージ電圧の変更データ D の値を制御してプリチャージ電圧を画素に印加する画像データに応じて変化させてもよい。

【0632】

このように、場合に依りてプリチャージ電圧（電流）を変化できるのは、図 75 に図示するように、ソースドライバ IC（回路）14 内に電子ポリウム 501 を内蔵していることに起因する効果が大いである。つまり、ソースドライバ回路（IC）14 の外部からデジタル的にプリチャージ電圧などを変化させることができるからである。この変化を実現するデジタルデータ D はコントローラ IC（回路）760 で発生させる。したがって、ソースドライバ回路（IC）14 とコントローラ IC（回路）76 とは機能分離され、設計あるいは変更が容易となる。

【0633】

以上は 1 H 期間内にプリチャージ電圧などを変化させるとしたが、本発明はこれに限定するものではない。複数画素行（たとえば、10 画素行）内の画像（映像）データを演算し、変更データ D を設定してプリチャージ電圧（電流）を印加してもよい。また、1 フレーム（フィールド）あるいは複数フレーム（フィールド）内の画像（映像）データを演算し、プリチャージ電圧（電流）を印加してもよい。

【0634】

なお、プリチャージ電圧（電流）は画像（映像）データを演算することにより、変更あるいは所定の電圧として、画素 16 あるいは画素行に印加するとしたが、これに限定するものではない。たとえば、あらかじめ、印加するプリチャージ電圧（電流）を固定しておき、このプリチャージ電圧などを印加してもよく、また、複数のプリチャージ電圧などをあらかじめ選択しておき、このプリチャージ電圧などを順次あるいはランダムに画素あるいは画素行あるいは画面全体に印加できるように制御してもよいことは言うまでもない。また、演算結果などにより、プリチャージ電圧などを印加しない場合もあることはいうまでもない。

【0635】

また、プリチャージ電圧（電流）などは、フレームレートコントロール（FRC）の技術を用いて実施してもよい。つまり、プリチャージ電圧などを印加する画素あるいは画素行に対して、複数のフレーム（フィールド）で、プリチャージ電圧などを印加したり、印加しなかったりすることにより、複数フレーム（フィールド）で階調表示できる（この場合は、プリチャージ電圧などの印加により階調表示されることになる）。以上のように FRC を実施することにより、少ないプリチャージ電圧（電流）の種類で適切な黒表示ある

いは階調表示を実現することができる。

【 0 6 3 6 】

以上の実施例では、プリチャージ電圧などを演算などし、画素 1 6 などに印加するとした。印加は演算後すぐに行うのではなく、遅延時間をもたせて実施してもよい。また、プリチャージ電圧などを順次あるいはランダムに変化などさせる時は、徐々にあるいは変化をゆっくりと、もしくは、ヒステリシスをもたせて行うことが好ましい。急激なプリチャージ電圧の変化は画像にスジ状の表示が発現すること、画像表示にフリッカが発生することがあるからである。遅延時間などの技術的思想は図 9 8 あるいは他の実施例で説明しているので、この思想を直接にあるいは類似に適用すればよいので説明を省略する。

また、F R C の動作も点灯率に応じて変化などしてもよいことは言うまでもない。変化とは、F R C をするかしないかの制御、F R C をどの階調に実施するかかの制御、F R C の変換ビット数の制御などである。

【 0 6 3 7 】

たとえば、点灯率が高いときは、白ラスターに近い表示である。したがって、画面全体が白っぽく、F R C をする必要がない場合が多い。一方で点灯率が低い場合は、画面全体的に黒表示部が多い。この場合は、F R C を実施し、階調の再現性を高める必要がある。以上は、点灯率により F R C を変化させるとして説明したが、本発明はこれに限定するものではない。たとえば、基準電流を上昇させると、面全体が白っぽく、F R C をする必要がない場合が多い。一方で基準電流が低い場合は、画面全体的に黒表示部が多い。この場合は F R C を実施し、階調の再現性を高める必要がある。以上の事項は d u t y 比制御にも適用できる。また、アノード（カソード）電流の変化に対応して F R C 変化を実施してもよいことは言うまでもない。

【 0 6 3 8 】

以上の実施例は、画像（映像）データなどにより、プリチャージ電圧、F R C などを変化あるいは制御するとしたが、本発明はこれに限定するものではない。例えば、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは d u t y 比あるいはパネル温度もしくはこれらの組合せにより、プリチャージ電圧（電流）の大きさを変化させてもよい。また、プリチャージ電圧の印加時間を変化させてもよい。たとえば、基準電流の大きさに応じてプログラム電流の大きさが変化し、駆動用トランジスタ 1 1 a を流れる電流が変化するからプリチャージ電圧の大きさも変化させることが好ましい。また、点灯率が高い時は、画面は白表示に近く、画面全体にハレーションが発生しているから黒浮きが発生している。そのため、画素 1 6 にプリチャージ電圧などを印加しても効果がない。この場合は、プリチャージ電圧などの印加をやめた方が低消費電力化を実現できる。一方で低点灯率の場合は、画面に黒表示部が多く、ハレーションの発生も少ないため、画素 1 6 に十分なプリチャージを行い、コントラスト感を向上させる必要がある。同様に、アノード（カソード）電流が大きい時は、画面に白表示部分が多いため、ハレーションが発生しやすい。この場合は、プリチャージ電圧などの印加が必要でない場合が多い。逆にアノード（カソード）電流が小さい時は、プリチャージ電圧などの印加が必須となる場合が多い。

【 0 6 3 9 】

なお、上記実施例では、画像（映像）データ、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは d u t y 比あるいはパネル温度もしくはこれらの組合せにより、F R C あるいはプリチャージ電圧（電流）の大きさを変化させるとしたが、これに限定するものではない。画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、基準電流、d u t y 比、パネル温度などの変化の割合あるいは変化を予測して、F R C、プリチャージ電圧などの制御を実施してもよいことはいうまでもない。

【 0 6 4 0 】

以上のように、本発明は、画素（映像）データなどにより、F R C あるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいは d u t y 比あるいは

はパネル温度などもしくはこれらの組合せにより、その結果などに対応してプリチャージ電圧（電流）の大きさ、プリチャージ電圧などの印加の有無、プリチャージ電圧などのFRC制御、プリチャージ電圧などの変化状態、プリチャージ印加期間などを制御する駆動方法である。なお、変化あるいは変更は、図98で説明するようにゆっくりと、あるいは遅延させて実施することが好ましい。

【0641】

以上の事項は、本発明の他の実施例でも同様に適用することができることは言うまでもない。また、他の実施例と組み合わせることができることは言うまでもない。

【0642】

図78などでは、画素データはR、G、Bデータおよびプリチャージデータ（PRC、PGC、PBC）をパラレルにソースドライバ回路14に印加するとしたが、本発明はこれに限定するものではない。以上のようにパラレルに印加するように構成すると、コントローラ81とソースドライバIC14とを結ぶ配線数が多くなる。そのため、コントローラ81のピン数が増加しコントローラサイズが大きくなるという課題がある。

【0643】

この課題に対して、本発明は、図80に図示するように、画像データ（DAT）6ビットと、コントロールデータ（DCTL）4ビットで構成し、10ビットで画像データおよびプリチャージデータなどをコントローラ81からソースドライバ回路14に印加する。具体的には、従来（パラレルでRGBデータを転送する場合）の1クロックの4倍クロックを用いてシリアルで画像転送を行う。つまり、図80に図示（DATを参照のこと）するように、従来の1クロック期間にRデータ6ビット、Gデータ6ビット、Bデータ6ビット、制御データ6ビットを転送する。画像データ、制御データは設定データとして取り扱う。

【0644】

R、G、B、データ識別データ（D）の識別は、DCTLの4ビットで行う。以上のように画像データ、コントロールデータをシリアル転送（4相）で行うことによりコントローラとソースドライバ回路14を結線する配線数が減少し、コントロールICを小型化できる。

【0645】

図80は画像データ（DAT）6ビットと、コントロールデータ（DCTL）4ビットで構成し、10ビットで画像データおよびプリチャージデータなどをコントローラ81からソースドライバ回路14に印加する方式である。また、4倍クロックを用いてシリアルで画像転送を行っている実施例である。しかし、本発明はこれに限定されるものではない。たとえば、画像データであるRGBデータと、コントロールデータDとをシリアルで伝送し、画像データとコントロールデータの識別は、ID信号で行っても良い。IDデータがHレベルの時、画像データであることを意味し、Lレベルの時、コントロールデータであることを意味する。

【0646】

また、画像データをRGBのシリアルで転送し、各画像データがプリチャージするか否かをプリチャージ識別信号PRCで行っても良い。PRC信号がHレベルの時、該当画像データはプリチャージしてからソース信号線18に印加されるように制御され、Lレベルの時は、プリチャージしないように制御される。

【0647】

なお、図示するように、画像データと制御データをそれぞれシリアル伝送してもよいことは言うまでもない。もちろん、画像データをシリアル伝送し、制御データをパラレル伝送してもよい。

【0648】

以上の実施例は、ソースドライバIC（回路）14への入力データをシリアル伝送するものであった。本発明は、これに限定するものではない。たとえば、図81に例示するように、差動信号にして伝送してもよい。差動信号にする手段として、LVDS、CMAD

S、RSDS、mini-LVDS、自己転送方式などが例示される。

【0649】

図82は、シリアル映像データなどがさらに高い周波数の差動信号に変換されて伝送され、また、差動信号がシリアル映像データなどに戻され、ソースドライバ回路(IC)14に入力され、あるいは、さらにパラレルデータに変換されてソースドライバ回路(IC)14に入力されている実施例である。つまり、映像データはシリアルデータおよび差動信号に変換されて伝送されている。なお、伝送にあたり、一部の区間あるいは、すべての区間、もしくは一部のデータ信号などがパラレル伝送されてもよいことは言うまでもない。

【0650】

図81に図示するように、本体回路(たとえば、図156の1561など)の映像信号処理回路からのシリアルデータは、差動回路としてのトランシーバ(トランスミッタ)(T)811aで差動信号に変換される。差動信号に変換することにより、信号の振幅が減少し、ノイズの影響を受けにくくなり、また不要輻射も減少する。したがって、トランシーバ(T)811aとレシーバ(R)811b間の距離を長くすることができる。また、信号線の本数も削減することができる。

【0651】

差動信号は、差動回路としてのレシーバ(R)811bによりシリアルデータに変換される。もちろん、一気に図82のコントローラIC821の機能を取り込みパラレルデータに変換してもよいことは言うまでもない。レシーバ(R)811bにより、トランシーバ811aで差動信号変換前のシリアルデータに復元される。

【0652】

図82は、レシーバ(R)811bの次段にシリアル-パラレル変換回路821が配置または形成された構成例である。シリアル-パラレル変換回路821(具体的にはASICからなるコントローラIC(回路)(制御手段)が該当する。)により、シリアルデータはパラレルデータに変換され、変換されたパラレルデータがソースドライバIC(回路)14に入力される。

【0653】

また、図190に図示するように、ソースドライバIC16に差動回路およびデコード回路を形成(構成)し、パネルモジュール1264の外部からコネクタ1801を介して、差動信号1901を直接にソースドライバIC16に入力できるように構成してもよいことは言うまでもない。

【0654】

なお、制御データとは、たとえば、図16、図75などのプリチャージ制御データ、図50、図60、図64、図65などの電子ポリウムデータなど多種多様な制御データが例示される。

【0655】

図83は、コントロールIC81とソースドライバ回路14、ゲートドライバ回路12との接続構成を示す。画像データ、電子ポリウムデータ、プリチャージデータを、DCTL、DATとしてシリアル転送することにより接続配線を省略することができる。なお、ソースドライバ回路14の入力段でシリアル-パラレル変換を行うことにより、プリチャージデータ、画像データのラッチあるいは保持回路は図77と同様になる。GCTLの4ビットは、クロック、スタートパルス、アップダウン切り換え、イネーブル信号である。

【0656】

図180は、本発明の表示パネルの外観図である。パネル1264にはソースドライバIC14がCOG実装され、ゲートドライバ回路12はポリシリコンで形成されている。パネル1264の端子からフレキシ基板1802が接続されている。フレキシ基板1802にはコントローラIC760が実装されている。コントローラIC760の信号は端子1801から入力され、同様にゲートドライバ回路12の信号も端子1801から入力される。

10

20

30

40

【 0 6 5 7 】

図 1 8 1 は、さらに詳細な本発明の表示パネルである。カソード配線 1 8 1 1 にはカソード電圧が印加され、カソード配線 1 8 1 1 はカソード接続位置 1 8 1 2 でカソード電極と接続されている。ゲートドライバ回路 1 2 にはコントローラ IC 7 6 0 からのゲートドライバ信号 1 8 1 3 が印加される。また、ソースドライバ IC 1 4 にもコントローラ 7 6 0 からソースドライバ信号 1 8 1 4 が印加される。アノード配線 1 8 1 5 はソースドライバ IC の裏面（のアレイ面）に形成されている。また、アノード配線 1 8 1 5 は表示パネルの表示領域近傍に形成されている。

【 0 6 5 8 】

図 1 9 1 はフレキ基板 1 8 0 2 部の断面図である。フレキ基板 1 8 0 2 には電源モジュール 1 9 1 2 が端子 1 9 1 4 を介して、フレキ基板 1 8 0 2 と接続されている。電源モジュール 1 9 1 2 にはコイル（トランス） 1 9 1 3 が実装されており、このコイル 1 9 1 3 はフレキ基板 1 8 0 2 にあけられた穴に挿入されている。以上のように構成することにより、全体として薄いパネルモジュールを得ることができる。

【 0 6 5 9 】

図 1 のように画素 1 6 の駆動用トランジスタ 1 1 a、選択トランジスタ（1 1 b、1 1 c）が P チャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線 1 7 a の電位変動が、選択トランジスタ（1 1 b、1 1 c）の G - S 容量（寄生容量）を介して、コンデンサ 1 9 の端子に突き抜けるためである。P チャンネルトランジスタ 1 1 b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 1 9 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 1 1 a のゲート（G）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【 0 6 6 0 】

しかし、第 0 階調目の完全黒表示は実現できるが、第 1 階調などは表示しにくいことになる。もしくは、第 0 階調から第 1 階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

【 0 6 6 1 】

この課題を解決する構成が、図 8 4 の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路 8 4 1 の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル 0 であっても、ある程度（数 1 0 n A）電流が流れるようにし、黒レベルの調整にも用いることができる。

【 0 6 6 2 】

基本的には、図 8 4 は、図 1 5 の出力段に嵩上げ回路 8 4 1（図 8 4 の点線で囲まれた部分）を追加したものである。図 8 4 は、電流値嵩上げ制御信号として 3 ビット（K 0、K 1、K 2）を仮定したものであり、この 3 ビットの制御信号により、孫電流源の電流値の 0 ~ 7 倍の電流値を出力電流に加算することが可能である。なお、電流嵩上げ制御信号は 3 ビットとしているが、これに限定するものではなく、4 ビット以上であってもよいことはいふまでもない。

【 0 6 6 3 】

以上が本発明のソースドライバ IC（回路）1 4 の基本的な概要である。以後、本発明のソースドライバ IC（回路）1 4 について、さらに詳しく説明をする。

【 0 6 6 4 】

EL 素子 1 5 に流す電流 I（A）と発光輝度 B（n t）とは線形の関係がある。つまり、EL 素子 1 5 に流す電流 I（A）と発光輝度 B（n t）とは比例する。電流駆動方式では、1 ステップ（階調刻み）は、電流（単位トランジスタ 1 5 4（1 単位））である。

【 0 6 6 5 】

人間の輝度に対する視覚は 2 乗特性をもっている。つまり、2 乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図 6 2 の実線 a で示すように直線の関係であると、低輝度領域でも高輝度領域でも、EL 素子 1 5 に流す電流 I（A）と発光輝度 B（n t）とは比例する。

【 0 6 6 6 】

したがって、1ステップ（1階調）きざみずつ変化させると、低階調部（黒領域）では、1ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（1ステップが電流きざみの場合）において（電流駆動方式のソースドライバIC（回路）14において）、黒表示領域の表示が特に課題となる。

【 0 6 6 7 】

この課題に対して、低階調領域（階調0（完全黒表示）から階調（R1））の電流出力の傾きを小さくし、高階調領域（階調（R1）から最大階調（R））の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに（1ステップ）増加する電流量を小さくする。高階調領域では、1階調あたりに（1ステップ）増加する電流量を大きくする。高階調領域と低階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。

【 0 6 6 8 】

なお、以上の実施例では、低階調領域と高階調領域の2段階の電流傾きとしたが、これに限定するものではない。3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、5段階以上の傾きを発生できるようにガンマ回路を構成することが望ましい。

【 0 6 6 9 】

本発明の技術的思想は、電流駆動方式のソースドライバIC（回路）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、1階調ステップあたりの電流増加量を複数存在させることである。

【 0 6 7 0 】

ELなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が増加する。したがって、本発明のソースドライバIC（回路）14では、1つの電流源（1単位トランジスタ）154に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【 0 6 7 1 】

EL表示パネルでは、R、G、Bで発光効率が異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を $2\mu A$ にし、Gの基準電流を $1.5\mu A$ にし、Bの基準電流を $3.5\mu A$ にする。以上のように、複数の表示色の基準電流のうち、少なくとも1色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。

【 0 6 7 2 】

ホワイトバランスは、図184に図示するように基準電流 I_c （赤色の基準電流は I_{cr} 、緑色の基準電流は I_{cg} 、青色の基準電流は I_{cb} ）の調整により実現する。しかし、トランジスタ158の特性バラツキなどがあり、ホワイトバランスずれが発生する。これはICチップごとに異なることがある。この課題に対しては、図184の基準電流回路601r（赤用）、基準電流回路601g（緑用）、基準電流回路601b（青用）の内部を、図164などで説明するトリミング技術を用いて調整し、ホワイトバランスを実現すればよい。特に電流駆動方式は、ELに流す電流 I と輝度の関係が直線の関係であるため、この調整はいたって容易である。

【 0 6 7 3 】

電流駆動方式は、ELに流す電流 I と輝度は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、

本発明はRGBの基準電流を調整できる調整手段を具備する点、1点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のEL表示パネルに特有の回路方式である。

【0674】

基準電流の発生は、図60から図66などの構成に限定されるものではない。たとえば、図198の構成が例示される。図198では、8ビットデータをDA（デジタルアナログ）変換回路661で電圧に変換する。この電圧が、電子ポリウム501の電源電圧（図60では V_s ）となる。電子ポリウム501は、電圧データ（VDATA）で制御されて V_t 電圧が出力される。出力された V_t データがオペアンプ502に入力され、抵抗 R_1 とトランジスタ158aからなる電流回路で所定の基準電流 I_c が出力される。以上のように構成すれば、8ビットのDATAおよび8ビットのVDATAにより V_t 電圧の可変範囲を広く制御することができる。

10

【0675】

図197は、複数の電流回路（オペアンプ502、抵抗 R^* 、トランジスタ158aで構成）を具備する構成である。各電流回路が出力する基準電流の大きさ I_c は、抵抗の大きさにより異なっている。オペアンプ502aからなる定電流回路は $R_1 = 1\text{M}\Omega$ であり、基準電流 I_{c1} の電流を流す。オペアンプ502bからなる定電流回路は $R_2 = 500\text{K}\Omega$ であり、基準電流 I_{c2} の電流を流す。オペアンプ502cからなる定電流回路は $R_3 = 250\text{K}\Omega$ であり、基準電流 I_{c3} の電流を流す。

【0676】

20

どの電流回路の基準電流 I_c を採用するかは、選択スイッチSにより決定する。スイッチSの選択は外部からの入力信号により実施する。スイッチS1がオンし、スイッチS2、S3をオフすることにより、トランジスタ群431bに基準電流 I_{c1} が印加される。スイッチS2がオンし、スイッチS1、S3をオフすることにより、トランジスタ群431bに基準電流 I_{c2} が印加される。同様に、スイッチS3がオンし、スイッチS2、S1をオフすることにより、トランジスタ群431bに基準電流 I_c が印加される。

【0677】

基準電流 I_{c1} 、 I_{c2} 、 I_{c3} がそれぞれ異なるように構成されているため、選択するスイッチSを切り換えることにより出力端子155からの出力電流を一斉に変更することができる。また、選択スイッチSを1フィールドまたは1フレームなどの定周期で変化させることにより、フレームなどごとにパネルに印加するプログラム電流の大きさを変化させることができ、画像輝度などが複数フレームまたはフィールドで平均化され均一性のよい画像表示を得ることができる。

30

【0678】

なお、上記の実施例では、1フィールドまたは1フレームごとに選択するスイッチSを変化させ、プログラム電流の大きさを変化させるとしたが、これに限定するものではない。たとえば、数フィールドあるいはフレームごとに変化させてもよく、1H（1水平走査期間）あるいは複数H（走査期間）ごとにスイッチSを切り換えてもよい。また、ランダムに変化させ、全体として所定の基準電流 I_c がトランジスタ群431bに印加するように動作させてもよい。

40

【0679】

基準電流の大きさを周期的に変化させるあるいはランダムに変化させ、一定の周期で平均として所定の基準電流にするという駆動方法は、図197に限定するものではない。たとえば、図60から図66などの基準電流の発生回路などにも適用することができる。各回路の基準電流は電子ポリウム501、電源電圧 V_s などを変化あるいは変更することにより変更できる。

【0680】

なお、上記実施例では、 I_{c1} から I_{c3} のいずれかの基準電流 I_c を選択し、トランジスタ431bに印加するとしたが、これに限定するものはなく、複数の電流回路の電流を加算してトランジスタ群431bに印加してもよい。この場合は、複数のスイッチSが

50

オンさせればよい。また、すべてのスイッチSをオフ状態にすることによりトランジスタ群431bに印加される基準電流=0Aとすることができる。0Aにすれば、各端子155から出力されるプログラム電流は0Aとなる。したがって、ソースドライバIC14を出力オープンの状態にすることができる。つまり、ソース信号線18からソースドライバIC14を切り離すことができる。

【0681】

図198は、複数の基準電流発生回路からの基準電流を加算してトランジスタ431bに印加する構成である。オペアンプ502aからなる電流回路は、DATA1からなる8ビットデータで出力電流Ic1が変化する。オペアンプ502bからなる電流回路は、DATA2からなる8ビットデータで出力電流Ic2が変化する。トランジスタ群431bには基準電流Ic1あるいはIc2もしくは両方の基準電流が印加される。

【0682】

図199は基準電流発生回路の他の実施例である。ゲート配線153の両側にトランジスタ158b1およびトランジスタ158b2が配置されている。トランジスタ158b1には、D1データによりI、2I、4I、8Iのいずれかの電流もしくは組み合わせた電流が印加される。つまり、D1データによりスイッチS*aが選択される。なお、2IとはIの2倍の電流を意味し、4IとはIの4倍の電流を意味する。以下、同様である。トランジスタ158b2には、D2データによりI、2I、4I、8Iのいずれかの電流もしくは組み合わせた電流が印加される。つまり、D2データによりスイッチS*bが選択される。以上のように構成しても基準電流をダイナミックに可変できる。

【0683】

図200は、トランジスタ群431cを複数のブロック(431c1、431c2、431c3)に分割した実施例である。出力端子155からは複数のブロックのトランジスタ群431cからの電流が出力される。

【0684】

単位トランジスタ154の大きさがトランジスタ群431cで同一であっても、各単位トランジスタ154に流れる電流が異なれば、出力端子155から出力されるプログラム電流の大きさは異なる。図201に図示するように、基準電流が小さい時は、階調に対するプログラム電流の増加割合は小さい(図201の0からKaを参照のこと)。基準電流が大きい時は、階調に対するプログラム電流の増加割合は大きい(図201のKb以上の範囲を参照のこと)。つまり、トランジスタ群431cを複数のブロックに分割し、各ブロック内の単位トランジスタ154に供給する基準電流の大きさを変化させる。なお、この構成は、図56でも説明しているので、図56の実施例も参照のこと。

【0685】

図200では、1つのトランジスタ群431cを3つのブロックに分割している。トランジスタ431cのトランジスタ431c1には、トランジスタ158b1に印加される基準電流I1によりゲート配線153a電位が設定される。このゲート配線153aの電位によりトランジスタ群431c1の単位トランジスタ154の出力電流が決定される。また、I1はI2よりも小さいとし、図201の低階調範囲(0~Ka)が該当するとする。

【0686】

トランジスタ431cのトランジスタ431c2には、トランジスタ158b2に印加される基準電流I2によりゲート配線153b電位が設定される。このゲート配線153bの電位によりトランジスタ群431c2の単位トランジスタ154の出力電流が決定される。また、I2はI3よりも小さいとし、図201の中階調範囲(Ka~Kb)が該当するとする。同様に、トランジスタ431cのトランジスタ431c3には、トランジスタ158b3に印加される基準電流I3によりゲート配線153c電位が設定される。このゲート配線153cの電位によりトランジスタ群431c3の単位トランジスタ154の出力電流が決定される。また、I3は最も大きいとし、図201の高階調範囲(Kb以上)が該当するとする。

10

20

30

40

50

【 0 6 8 7 】

以上のように複数のトランジスタ群 4 3 1 c を複数のブロックに分割し、分割されたブロックごとに基準電流の大きさを異ならせることにより図 2 0 1 のように折れ線ガンマカーブを容易に発生させることができる。また、基準電流数を多くすることにより、さらに多線折れのガンマカーブを得ることができる。

【 0 6 8 8 】

なお、以上の実施例では、トランジスタ群 4 3 1 c を複数のブロックに分割し、分割されたブロック内の単位トランジスタ 1 5 4 は同一であるとして説明したが、これに限定するものではない。図 5 5 などに図示するように、単位トランジスタ 1 5 4 のサイズが異なっているてもよい。また、図 1 6 7 のように単位トランジスタ 1 5 4 でなくてもよい。また、基準電流の発生は、図 1 6 1 から図 1 6 8 などいずれの構成であってもよい。

【 0 6 8 9 】

以上の実施例では、図 4 3 で説明したように、基本的には出力段はトランジスタ群 4 3 1 c で構成される。トランジスタ群 4 3 1 c において、D 0 ビット目は単位トランジスタ 1 5 4 が 1 個、D 1 ビット目は単位トランジスタ 1 5 4 が 2 個、D 2 ビット目は単位トランジスタ 1 5 4 が 4 個、 \dots D n ビット目は単位トランジスタ 1 5 4 が 2 の n 乗個が配置または形成される。この構成を概念的に図 2 4 0 で図示している。

【 0 6 9 0 】

図 2 4 0 では t r b (トランジスタブロック) 3 2 は、単位トランジスタ 1 5 4 を 3 2 個有していることを示している。同様に、t r b (トランジスタブロック) 1 は、単位トランジスタ 1 5 4 を 1 個有していることを示し、t r b (トランジスタブロック) 2 は、単位トランジスタ 1 5 4 を 2 個有していることを示している。また、t r b (トランジスタブロック) 4 は、単位トランジスタ 1 5 4 を 4 個有していることを示している。以下同様である。

【 0 6 9 1 】

しかし、単位トランジスタ 1 5 4 は I C ウエハ内において形成位置で特性が異なる。特に拡散構成およびその前後において周期的な特性分布が発生する。一例として、3 ~ 4 m m 周期で単位トランジスタ 1 5 4 の特性の強弱が発生する。このため、図 2 4 0 のように端子 1 5 5 のピッチでトランジスタ群 4 3 1 c を形成すると、端子 1 5 5 から出力される電流の強弱周期 (出力階調が全端子 1 5 5 で同一とした場合) が発生してしまうことがある。

【 0 6 9 2 】

この課題に対して、本発明では図 2 4 1 に図示するように、多くの単位トランジスタ 1 5 4 を保有する t r b (トランジスタブロック) をさらに細分化する。図 2 4 1 では一例として、t r b 3 2 を 4 つのブロック (t r b 3 2 a、t r b 3 2 b、t r b 3 2 c、t r b 3 2 d) に分割している。基本的には分割される単位トランジスタ 1 5 4 数は同一である。もちろん分割する単位トランジスタ 1 5 4 数は異ならせてもよいことはいうまでもない。

【 0 6 9 3 】

図 2 4 1 では t r b 3 2 a、t r b 3 2 b、t r b 3 2 c、t r b 3 2 d は、各 8 個の単位トランジスタ 1 5 4 で構成されている。また、t r b 1 6 に対しても、t r b 1 6 a、t r b 1 6 b の各 8 個の単位トランジスタ 1 5 4 から構成される小ブロックに分割してもよいことは言うまでもない。ここでは説明を容易にするため、t r b 3 2 のみが分割されているとして説明をする。

【 0 6 9 4 】

出力端子 1 5 5 からの出力電流の周期をなくすためには、I C (回路) チップ内からより広い位置に形成された単位トランジスタ 1 5 4 で 1 つの出力段 4 3 1 c を構成することが有効である。この実施例が、図 2 4 2 の構成である。ただし、図 2 4 2 は概念的に図示している。実際は、横方向の配線により遠い位置にある t r b が結線されて 1 端子 1 5 5 の出力段 4 3 1 c を構成する。

【 0 6 9 5 】

図 2 4 2 では、端子 1 5 5 a の D 5 ビット目は、t r b 3 2 a 1、t r b 3 2 a 2、t r b 3 2 c 1、t r b 3 2 c 2 1 から構成される。つまり本来は隣接した出力端子 1 5 5 b の単位トランジスタ群を用いて端子 1 5 5 a の出力段が構成されている。同様に、端子 1 5 5 b の D 5 ビット目は、t r b 3 2 b 2、t r b 3 2 b 3、t r b 3 2 d 2、t r b 3 2 d 3 から構成される。つまり、本来は隣接した出力端子 1 5 5 c の単位トランジスタ群を用いて端子 1 5 5 b の出力段が構成されている。さらに、端子 1 5 5 c の D 5 ビット目は、t r b 3 2 a 3、t r b 3 2 a 4、t r b 3 2 c 3、t r b 3 2 c 4 から構成される。つまり、本来は隣接した出力端子 1 5 5 d の単位トランジスタ群を用いて端子 1 5 5 c の出力段が構成されている。以下同様である。

10

【 0 6 9 6 】

より現実には、図 2 4 3 のように小トランジスタ群 t r b は結線される。図 2 4 3 は端子 1 5 5 a の t r b 3 2 のみの結線状態を図示している（他のビット、他の端子 1 5 5 も同様の結線が施される）。図 2 4 3 において、t r b 3 2 は t r b 3 2 a 1 と、6 端子隣の t r b 3 2 b 6、1 1 端子隣の t r b 3 2 c 1 1、1 6 端子隣の t r b 3 2 d 1 6 で構成されている。つまり、t r b 3 2 は、上下位置、左右位置が異なる t r b 3 2 が接続（結線）されて構成される（形成される）。以上のように、単位トランジスタ群 4 3 1 の各ビットを構成する単位トランジスタ 1 5 4 を離れた位置の単位トランジスタ 1 5 4 で構成することにより出力バラツキの周期性を解消することができる。

【 0 6 9 7 】

20

しかし、図 2 4 3 のように結線を実施すると、端子 1 5 5 n（最も最後の端子）は結線する t r b が存在しない。この課題に対しては、トランジスタ群 4 3 1 c とカレントミラー対を構成する基準電流を流すトランジスタ群 4 3 1 b の単位トランジスタ 1 5 8 b（図 4 8、図 4 9 を参照のこと）を使用することにより解決できる。単位トランジスタ 1 5 8 b と単位トランジスタ 1 5 4 とは同一サイズ、同一形状で構成しておく。トランジスタ群 4 3 1 b は I C（回路）1 4 の片方端あるいは両側に配置されている。なお、断っておくが、端子 1 5 5 n においても接続できる t r b を形成する場合は、以下に説明する構成を採用する必要がないことは明らかである。

【 0 6 9 8 】

トランジスタ群 4 3 1 b を構成する単位トランジスタ 1 5 8 b から構成される t r b（30 3 2）と同様の機能を有するトランジスタ群を t b とする（図 2 4 4 を参照のこと）。したがって、t b と t r b は同一のゲート配線 1 5 3 に接続されている。したがって、端子 1 5 5 n の t r b 3 2 は、t r b 3 2 n 1 と、6 端子隣の t b 3 2 b 6、1 1 端子隣の t b 3 2 c 1 1、1 6 端子隣の t b 3 2 d 1 6 で構成すればよい。

【 0 6 9 9 】

なお、図 2 4 5 に図示するように、t b と t r b を分散して I C（回路）1 4 内に構成または配置しておけば、図 2 4 4 のように複雑な結線は不要となることは言うまでもない。

【 0 7 0 0 】

検討の結果によれば、単位トランジスタ 1 5 4 は少なくとも 0. 0 5 平方 mm 以上の範囲にある単位トランジスタ 1 5 4 から構成することが好ましい。さらに好ましくは 0. 1 平方 mm 以上の範囲にある単位トランジスタ 1 5 4 から構成することが好ましい。さらに好ましくは、0. 2 平方 mm 以上の範囲にある単位トランジスタ 1 5 4 から構成することが好ましい。この面積（平方 mm）の算出は、最も遠方の位置にある 4 個の単位トランジスタ 1 5 4 を結ぶ直線から求める。

【 0 7 0 1 】

以下、本発明のソースドライバ回路（I C）1 4 の他の実施例について説明をする。なお、以下に説明する事項以外は、以前に説明した、あるいは本明細書に記載した事項が適用できることは言うまでもない。また、適時組み合わせることができることは言うまでもない。逆に、以下の実施例で説明する事項が本発明の他の実施例適用あるいは適時採用で 50

きることも言うまでもない。また、以下に説明するソースドライバ回路 (IC) 14 を用いて表示パネルあるいは情報表示装置 (図 126、図 154 から図 157 など) を構成できることは言うまでもない。

【0702】

図 188 は、本発明のソースドライバ回路 (IC) 14 の実施例である。ただし、説明に必要な部分のみ図示している。図 188 の構成においても、本発明の他の実施例と同様に、シリコンからなる CMOS トランジスタで回路構成されている (なお、回路 14 をアレイ基板 30 に直接形成してもよいことは言うまでもない)。

【0703】

図 168 において、電子ポリウム 501 を制御するデータ (IDR、IDG、IDB) は、クロック (CLK) 信号に同期して値が確定し、この値により電子ポリウム 501 のスイッチが制御され、所定の電圧がオペアンプ 502 の + 端子に印加される。

【0704】

また、オペアンプ 502 と抵抗 R1、トランジスタ 158a により定電流回路が構成され、基準電流 I_c が発生する。基準電流 I_c の大きさに比例して端子 155 から出力されるプログラム電流の大きさが変化する。プログラム電流発生回路 1884 は内部にカレントミラー回路と DATA のデコード部を有している。より具体的にはプログラム電流発生回路 1884 は、図 60 のトランジスタ 158b とトランジスタ群 431c の関係、図 209、図 210 のトランジスタ 158b とトランジスタ 154 の関係あるいはその類似構成が例示される。

【0705】

プログラム電流発生回路は、基準電流 I_c の大きさを基準として、映像 (画像) データである DATA (DATAR, DATAG, DATAB) の大きさに対応してプログラム電流 I_p を発生させる。

【0706】

発生したプログラム電流 I_p は電流保持回路 1881 に保持される。電流保持回路 1881 はトランジスタ 11a、11b、11c、11d とコンデンサ 19 から構成される。構成としては、図 1 の画素構成において、P チャンネルトランジスタを N チャンネルトランジスタに変更した構成である。階調電流配線 1882 に印加されたプログラム電流 I_p はコンデンサ 19 に電圧として保持される。

【0707】

電流 I_p の保持動作は、サンプリング回路 862 の点順次動作により行われる。つまり、サンプリング回路 862 は、10 ビット (1024 端子まで選択が可能) のアドレス信号 (ADRS) により、プログラム電流 I_p を保持させる階調保持回路 1881 が選択される。選択は選択信号線 1885 に選択電圧 (トランジスタ 11b、11c をオン状態にする電圧) を出力することにより実施される。したがって、プログラム電流 I_p は階調保持回路 1881 にランダムに格納させることができる。しかし、一般的には、アドレス信号 ADRS は順次カウントアップされ、電流保持回路 1881a から 1881n が順次選択される。

【0708】

プログラム電流 I_p はコンデンサ 19 に保持され、この保持された電圧により、駆動用トランジスタ 11a はプログラム電流 I_p を端子 155 から出力する。電流保持回路 1881 において、駆動用トランジスタ 11a の機能としては、図 1 のトランジスタ 11a の動作と同一である。また、図 188 のトランジスタ 11c、11b も、図 1 のトランジスタ 11b、11c と機能あるいは動作は同一である。つまり、選択信号線 1885 に選択電圧が順次印加され、電流保持回路 1881 のトランジスタ 11b、11c がオンされて、プログラム電流 I_p がトランジスタ 11a (トランジスタ 11a のゲート端子に接続されたコンデンサ 19) に保持される。

【0709】

すべての電流保持回路 1881 にプログラム電流 I_p の書き込みが完了すると、出力制

20

30

40

50

御端子 1883 にオン電圧が印加され、端子 155a から 155n に各電流保持回路 1881 に保持されたプログラム電流 I_p が出力される（ソース信号線 18 から端子 155 にプログラム電流 I_p が入力される）。出力制御端子 1883 の印加されるオン電圧のタイミングは、1 水平走査クロックに同期される。つまり、1 画素行選択（あるいは 1 画素行シフト）クロックに同期される。

【0710】

図 189 は図 188 を模式的に図示したものである。階調電流配線 1882 を流れるプログラム電流 I_p はサンプリング回路 862 によりスイッチ 11b、11c（トランジスタ 11b、11c）が制御され、電流保持回路 1881 にプログラム電流 I_p が入力される。また、スイッチ 11b（トランジスタ 11b）が出力制御端子 1883 により制御され、一斉にオンされ、プログラム電流 I_p が出力される。

【0711】

図 188、図 189 では、電流保持回路 1881 は 1 画素行分としているが、実際には、2 画素行分が必要である。1 画素行分（第 1 保持回路）は、ソース信号線 18 にプログラム電流 I_p を出力するのに用い、他の 1 画素行分（第 2 保持回路）は、サンプリング回路 862 でサンプリングされた電流を電圧保持回路 1881 に保持するのに用いる。第 1 保持回路と第 2 保持回路とは交互に切り換えて動作させる。

【0712】

図 228 は第 1 保持回路 2280a と第 2 保持回路 2280b を具備した出力段構成である。図 188 と図 228 との関係は、電流保持回路 1881 は出力回路 2280、階調電流配線 1882 は電流信号線 2283、出力制御端子 1883 はゲート信号線 2282、選択信号線 1885 はゲート信号線 2284、トランジスタ 11a はトランジスタ 2281a、トランジスタ 11b はトランジスタ 2281b、トランジスタ 11c はトランジスタ 2281c、トランジスタ 11d はトランジスタ 2281d、コンデンサ 19 はコンデンサ 2289 に該当する。

【0713】

出力回路 2280a にプログラム電流 I_p がサンプリングされ入力されている時は、出力回路 2280b はソース信号線 18 に保持されたプログラム電流 I_p を出力している。逆に出力回路 2280a がソース信号線 18 に保持されたプログラム電流 I_p を出力している時は、出力回路 2280b はサンプリングされたプログラム電流 I_p を順次保持している。出力回路 2280a と出力回路 2280b とが、ソース信号線 18b にプログラム電流 I_p を出力（入力）している期間は 1H ごとに切り換えられる。この出力の切り換えは c1、c2 端子で行われる。

【0714】

なお、電流信号線 2283 には、リセット電圧 V_{cp} を印加するスイッチ S_c が形成または配置している。スイッチ S_c をオンさせることにより、リセット電圧 V_{cp} が電流信号線 2283 に印加される。リセット電圧 V_{cp} は、GND 電圧に近い電圧である。リセット電圧を印加する際は、ゲート信号線 2284 にオン電圧を印加し、トランジスタ 2281b、2281c をオンさせる。トランジスタ 2281b、2281c をオンさせることにより、コンデンサ 2289 の電荷を放電することができ、トランジスタ 2281a が電流を出力しない状態にできる。つまり、リセット電圧 V_{cp} はトランジスタ 2281a をオフあるいはオフ状態に近い状態にする電圧である。なお、リセット電圧 V_{cp} は、トランジスタ 2281a が中間レベルの電圧を出力するような構成などにしてもよいことは言うまでもない。

【0715】

図 229 は図 228 の回路の動作タイミングチャート図である。図 229 において、Sig は、プログラム電流発生回路 1884 からの信号である。映像信号に対応した電流が連続的に印加される。Sc はリセットスイッチの動作を示している。H レベルの時スイッチ S_c はオン状態であり、電流配線 2283 にリセット電圧 V_{cp} が印加される。図 229 でもわかるように、リセット電圧 V_{cp} は 1H の最初に印加されていることがわかる。

つまり、まず、電流保持回路（出力回路）2280aまたは2280bにリセット電圧Vcpが印加された後、プログラム電流Ipが出力回路2280にサンプリングされて保持される。なお、リセット電圧Vcpは1Hに1回に限定するものではなく、1出力回路2280のサンプリングごとに印加してもよく、また、複数出力回路2280のサンプリングごとにリセット電圧Vcpを印加してもよい。また、1フレームまたは複数フレームごとにリセット電圧を印加してもよい。

【0716】

c1およびc2は切り換え信号である。c1のロジック電圧がHレベルの時には、出力回路2280aが選択され、c2のロジック電圧がHレベルの時には、出力回路2280bが選択されてソース信号線18にプログラム電流Ipが出力される。

10

【0717】

以上のように出力回路2280aまたは2280bを選択し、順次プログラム電流Ipを印加（保持）させるためには、図230に図示するようにサンプリング回路862を2つ設けるとよい。サンプリング回路862aは出力回路2280aを順次選択して、出力回路2280aにプログラム電流Ipを保持させる。サンプリング回路862bは出力回路2280bを順次選択して、出力回路2280bにプログラム電流Ipを保持させる。

【0718】

リセット電圧Vcpは、図75に図示するように、プリチャージ電圧を変化させる構成を採用してもよい。なお、プリチャージ電圧に関する事項で説明した事項は、リセット電圧Vcpにも適用することができる。図75のようなプリチャージ回路を、図230のリセット回路2301に置き換えればよい。同様に、基準電流回路1884も以前に説明した構成を採用すればよい。

20

【0719】

出力回路2280で課題になるのは、ゲート信号線2284に印加した信号により、保持用のトランジスタ2281aのゲート端子電位が変化し、保持されたプログラム電流Ipから変化してしまうことがある。これは、ゲート信号線2284に印加された電圧波形が、寄生容量により突き抜けてゲート端子電位を変化させることにより発生する。この突き抜け電圧により保持用トランジスタ2281aがNチャンネルトランジスタの場合は、保持されたプログラム電流Ipが小さくなる。保持用トランジスタ2281aがPチャンネルの場合は、図228の構成では、保持されたプログラム電流が大きくなる。

30

【0720】

この課題を解決する構成を図231に図示している。図231の出力回路2280では、スイッチ用トランジスタ2281bとコンデンサ2289間にトランジスタ2311を形成または配置している。トランジスタ2311は配線をオープンする機能を有する。

【0721】

トランジスタ2311は、出力回路2280にサンプリングされたプログラム電流Ipが保持され、ゲート信号線2284にオフ電圧が印加される（出力回路2280が電流信号線2283から切り離される）前に動作する（オフする）。つまり、まず、ゲート信号線2284にオフ電圧が印加されたのち、遅れてゲート信号線2284にオフ電圧が印加される。したがって、トランジスタ2311がオフした後、出力回路2280が電流信号線2283から切り離される。

40

【0722】

図232はゲート信号線2284と2285のなどのタイミングチャート図である。図232でわかるように、ゲート信号線2285にオフ電圧が印加された後、ゲート信号線2284にオフ電圧が印加される。

【0723】

以上のように、まず、トランジスタ2311をオフさせる。トランジスタ2311をオフすることによりゲート信号線2284の突き抜け電圧を軽減することができる。なお、図232における時間tは0.5μsec以上にすることが好ましい。また、さらに好ましくは1μsec以上にすることが好ましい。

50

【 0 7 2 4 】

保持用トランジスタ 2 2 8 1 a はキンク（アーリー効果）の影響を防止あるいは抑制するため、一定の W/L 比とすることが好ましい。図 2 3 3 はこのアーリー効果の発生比をグラフ化したものである。図 2 3 3 で図示するように、 L/W 比が 2 以下ではアーリー効果の影響が大きくなる。逆に L （トランジスタ 2 2 8 1 a チャンネル長（ μm ））/ W （トランジスタ 2 2 8 1 a のチャンネル幅（ μm ））は 2 以上では、急激にアーリー効果の影響は小さくなる。以上のことから、保持用トランジスタ 2 2 8 1 a は、 L/W 比が 2 以上にすることが好ましい。さらに好ましくは 4 以上にする。

【 0 7 2 5 】

また、保持用トランジスタ 2 2 8 1 a のチャンネル間電圧（IC 内ソースドレイン電圧 V_{sd} ）とアーリー効果とも関連がある。この関連を図 2 3 4 に図示している。なお、 V_{sd} 電圧とは、保持用トランジスタ 2 2 8 1 a に印加される最大電圧であり、図 2 3 1 などでは、端子 1 5 5 に印加される電圧である。

【 0 7 2 6 】

図 2 3 4 のグラフでも図示するように、 V_{sd} 電圧が 9 V 以上でアーリー降下の影響が顕著になる傾向にある。したがって、端子 1 5 5 に印加される電圧つまりソース信号線 1 8 に印加される電圧は 9 V 以下 0 V 以内（GND）にすることが好ましい。さらに好ましくは、ソース信号線 1 8 に印加される電圧は 8 V 以下 0 V 以上にすることが必要がある。

【 0 7 2 7 】

以上の実施例は出力回路 2 2 8 0 を 2 段設ける構成であった。しかし、本発明はこれに限定するものではなく、図 2 3 7 に図示するように複数形成してもよい。図 2 3 7 では出力回路 2 2 8 0 a を出力回路 2 2 8 0 a h と 2 2 8 0 a l の 2 つで構成し、同様に出力回路 2 2 8 0 b を出力回路 2 2 8 0 b h と 2 2 8 0 b l の 2 つで構成している。出力回路 2 2 8 0 a h および 2 2 8 0 b h は、比較的大きなプログラム電流 I_{ph} を出力する回路であり、出力回路 2 2 8 0 a l および 2 2 8 0 b l は、比較的小さなプログラム電流 I_{pl} を出力するものである。

【 0 7 2 8 】

以上のように、出力回路 2 2 8 0 a、2 2 8 0 b を複数に分割することにより各出力回路 2 2 8 1 が分担する階調を分離あるいは加算して出力することができる。そのため、精度のよいプログラム電流 I_p を出力することができる。

【 0 7 2 9 】

なお、保持用トランジスタ 2 2 8 1 a のモビリティは 4 0 0 以下 1 0 0 以上にすることが好ましい。さらに好ましくは、モビリティは 3 0 0 以下 1 5 0 以上にすることが好ましい。この条件を満足させるために、トランジスタ 2 2 8 1 a を構成するゲート絶縁膜を厚くする。厚くする方法としては、ゲート絶縁膜を 2 層蒸着などの多層構成にする例が例示される。

【 0 7 3 0 】

以下、本発明の表示パネルの検査方法について説明をする。図 2 0 2 は、本発明の表示パネルの完成前の状態である。ソース信号線 1 8 の一端が、ショート配線 2 0 2 1 でショート状態にされている。検査後、ショートしている箇所は AA' 線で切断して完成する。ショート配線 2 0 2 1 にブローピングし検査電圧を印加することより全ソース信号線 1 8 に検査電圧を印加することができる。

【 0 7 3 1 】

ショート配線 2 0 2 1 を形成しない場合（分離した状態）は、ソース信号線 1 8 の COG 端子から電圧もしくは電流を印加する。図 2 0 3 は、COG 端子（ソース信号線端子）2 0 3 4 に検査用のショートチップ 2 0 3 2 を実装した例である。ショートチップ 2 0 3 2 は金属あるいは導電体から構成される。もしくは、少なくともソース信号線端子 2 0 3 4 に電圧などの電気信号を印加できるように構成されている。

【 0 7 3 2 】

ショートチップ 2 0 3 2 とアノード端子配線 2 0 3 1 に、図 2 0 3 に図示するように直

流あるいは交流電圧（電流）を印加する。ショートチップ2032は端子2033を介してソース信号線18と接続されている。したがって、画素16のソース信号線18とアノードに電圧を印加することができる。たとえば、図1のV_{dd}端子とソース信号線18に電圧を印加できる。この状態でゲートドライバ12に電源電圧を印加し、クロックなどを印加して（図14などを参照のこと）動作させる。画素16は画素行ごとに順次選択され、ソース信号線18に印加された電圧が駆動用トランジスタ11aのゲート端子に印加される。ゲート端子への電圧印加により駆動用トランジスタ11aからソース信号線18に電流が流れる。もしくは、EL素子15に電流が流れ、EL素子15が発光する。

【0733】

以上の動作は、ゲートドライバ回路12を走査して動作させることによりEL素子15が順次発光し、発光の点滅状態あるいは点灯状態を光学的に検出することによりEL表示パネルの検査を行うことができる。

【0734】

検査は光学的に実施する。光学的とは、人間の視覚で判断すること、CCDカメラで撮影し画像認識で検出することなどが例示される。検出は、画素が常時輝点となること、常時黒点となること、線欠陥、点滅欠陥などである。また、表示スジ、濃淡ムラなどを検出する。また、フリッカの発生状態を検出する。

【0735】

図203はショートチップ203を用いるものであるが、導電性の液体などをソース信号線2034に滴下してもよい。滴下した液体などとアノード端子配線2031間に、直流あるいは交流の電圧（電流）を印加する。電流プログラム方式では、印加する電流がμA程度と微小電流である。したがって、導電性の液などが高抵抗であっても検査には十分である。導電性のある液体あるいはゲルとしては、水酸化ナトリウム、塩酸、硝酸、塩化ナトリウム溶液、銀ペースト、銅ペーストなどが例示される。

【0736】

以上の実施例では、ゲートドライバ回路12を動作させ、ゲートドライバ回路12を走査状態にして、画素行ごとにEL素子15を点灯状態にして、パネルあるいはアレイの検査を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、表示画面を一括して点灯させて検査をしてもよい。

【0737】

図205は画面の一括検査の説明図である。なお、説明を容易にするため、画面を一括検査するとして説明するが、これに限定されない。画面をブロックに分割して検査を行ってもよいし、複数画素行ずつ順次点灯して検査をおこなってもよい。つまり、多数画素を同時に点灯する概念である。なお、逆に1画素ずつ点灯させて検査を実施してもよいことは言うまでもない。

【0738】

なお、説明を容易にするため、アノード電圧V_{dd}を6（V）とし、駆動用トランジスタ11aを5（V）以下にすることにより、EL素子15を十分に点灯させる電流を供給できるものとする。また、全ソース信号線17には外部から電圧が印加されているものとする。以上のように、本発明の検査方法では、画素16の駆動用トランジスタ11aがPチャンネルの時、駆動用トランジスタ11aの立ち上がり電圧以下の電圧をソース信号線18に印加できるように構成する。この立ち上がり電圧は説明を容易にするために5（V）としている。また、ソース信号線に印加する電圧は、アノード電圧V_{dd}からアノード電圧V_{dd}-8（V）であり、好ましくは、アノード電圧V_{dd}からアノード-6（V）の範囲であるとして説明をする。

【0739】

図205では、ソース信号線18には、0～5（V）の検査電圧が印加されているものとする。したがって、この電圧が駆動用トランジスタ11aのゲート端子に印加されることにより、駆動用トランジスタ11aが電流を流せるようになる。

【0740】

検査方法は、まず、すべてのゲート信号線 17 b にオフ電圧 V_{gh} 電圧を印加した状態で、ゲート信号線 17 a をオフ電圧 (V_{gh}) からオン電圧 (V_{gl}) に変化させることによりソース信号線 18 の電位が画素 16 に書き込まれる。ソース信号線 18 の電位が駆動用トランジスタ 11 a の立ち上がり電圧以下 ($5(V)$ 以下) であれば、駆動用トランジスタ 11 a に電圧が流れるようにプログラムが行われる。

【 0 7 4 1 】

次に、すべてのゲート信号線 17 b にオン電圧 V_{gl} 電圧を印加し、同時にまたはそれよりも早く、ゲート信号線 17 a をオン電圧 (V_{gh}) からオフ電圧 (V_{gl}) に変化させる。すると、駆動用トランジスタ 11 a などが正常であれば、駆動用トランジスタ 11 a から EL 素子 15 に電流が供給され、EL 素子 15 が点灯する。

10

【 0 7 4 2 】

また、EL 素子 15 が点灯状態で、ゲート信号線 17 b にオン電圧とオフ電圧を交互に印加すれば EL 素子 15 が点滅する。したがって、スイッチ用トランジスタ 11 d の良否を判定できる。

【 0 7 4 3 】

なお、図 205 において、ゲート信号線 17 a とゲート信号線 17 b の両方にオン電圧を印加した状態で、ソース信号線 18 に印加する電圧を駆動用トランジスタ 11 a の立ち上がり電圧以上と以下の間を周期的に変化させてもよい。周期的に変化させることによりこの周期的な変化に対応して EL 素子 15 が発光する。なお、この場合の EL 素子 15 の発光電流 I_t は、ソース信号線 18 から供給される。また、場合によっては駆動用トラン

20

【 0 7 4 4 】

以上のように動作させることにより、駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 c、11 b、11 d の性能、欠陥を検出できる。また、駆動用トランジスタ 11 a、EL 素子 15 の性能、特性を評価できる。

【 0 7 4 5 】

以上の実施例は、ソース信号線 18 の電位を変化させることにより、EL 素子をソース信号線 18 の電位に応じて発光制御するものである。しかし、本発明はこれに限定するものではない。たとえば、図 206 に図示するように、アノード電圧 V_{dd} を変化させてもよい。

30

【 0 7 4 6 】

検査方法は、まず、すべてのゲート信号線 17 b にオフ電圧 V_{gh} を印加した状態で、ゲート信号線 17 a をオフ電圧 (V_{gh}) からオン電圧 (V_{gl}) に変化させることによりソース信号線 18 の電位が画素 16 に書き込まれる。ソース信号線 18 の電位が駆動用トランジスタ 11 a の立ち上がり電圧以下 ($5(V)$ 以下) であれば、駆動用トランジスタ 11 a に電圧が流れるようにプログラムが行われる。

【 0 7 4 7 】

次に、すべてのゲート信号線 17 b にオン電圧 V_{gl} を印加し、同時にまたはそれよりも早く、ゲート信号線 17 a をオン電圧 (V_{gh}) からオフ電圧 (V_{gl}) に変化させる。すると、駆動用トランジスタ 11 a などが正常であれば、駆動用トランジスタ 11 a から EL 素子 15 に電流 I_t が供給され、EL 素子 15 が点灯する。また、EL 素子 15 が点灯状態で、ゲート信号線 17 b にオン電圧とオフ電圧を交互に印加すれば EL 素子 15 が点滅する。したがって、スイッチ用トランジスタ 11 d の良否を判定できる。

40

【 0 7 4 8 】

また、ゲート信号線 17 a にオフ電圧を印加し、ゲート信号線 17 b のオン電圧を印加した状態で、アノード端子 (V_{dd} 電圧) に V_{dd} 電圧を、駆動用トランジスタ 11 a の立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応して EL 素子 15 が発光する。なお、この場合の EL 素子 15 の発光電流は、駆動用トランジスタ 11 a から供給される。以上のように動作させることにより、駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 c、11 b、11 d の性能、欠

50

陥を検出できる。また、駆動用トランジスタ 11 a、EL 素子 15 の性能、特性を評価できる。

【 0 7 4 9 】

以上の実施例は、画素構成が図 1 として説明したが、これに限定されるものではなく、図 2、図 7、図 11、図 12、図 13、図 28、図 31 などの他の画素構成の EL 表示パネルあるいは EL 表示装置にも適用できることは言うまでもない。

【 0 7 5 0 】

以上の実施例は、画素構成が電流プログラム方式の場合を例示した。しかし、本発明はこれに限定するものではなく、図 2 のように電圧プログラム方式であっても検査できることは言うまでもない。

10

【 0 7 5 1 】

図 207 は、電圧プログラム方式の画素構成における検査方法の説明図である。検査方法は、まず、すべてのゲート信号線 17 a をオフ電圧 (V_{gh}) からオン電圧 (V_{gl}) に変化させることによりソース信号線 18 の電位が画素 16 に書き込まれる。ソース信号線 18 の電位が駆動用トランジスタ 11 a の立ち上がり電圧以下 ($5(V)$ 以下) であれば、駆動用トランジスタ 11 a に電圧が流れるようにプログラムが行われる。

【 0 7 5 2 】

次に、ゲート信号線 17 a をオン電圧 (V_{gh}) からオフ電圧 (V_{gl}) に変化させる。すると、駆動用トランジスタ 11 a などが正常であれば、駆動用トランジスタ 11 a から EL 素子 15 に電流 I_t が供給され、EL 素子 15 が点灯する。

20

【 0 7 5 3 】

また、ゲート信号線 17 a にオフ電圧を印加し、アノード端子 (V_{dd} 電圧) に V_{dd} 電圧を、駆動用トランジスタ 11 a の立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることにより、この周期的な変化に対応して EL 素子 15 が発光する。なお、この場合の EL 素子 15 の発光電流は、駆動用トランジスタ 11 a から供給される。以上のように動作させることにより、駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 c の性能、欠陥を検出できる。また、駆動用トランジスタ 11 a、EL 素子 15 の性能、特性を評価できる。

【 0 7 5 4 】

以下、図面を参照しなから本発明の他の実施例における検査方法について説明をする。図 202 はショート配線 2021 を検査後に切断する方式であった。図 223 は、ソース信号線 18 の一端に検査スイッチとしてのトランジスタ 2232 を形成または配置した構成である。トランジスタ 2232 のゲート端子に電圧を印加することにより、トランジスタ 2232 はオンし、テスト電圧 (V_{test}) がソース信号線 18 に印加される。トランジスタ 2232 のオンオフ制御はオンオフ制御手段 2231 により行われる。

30

【 0 7 5 5 】

オンオフ制御手段 2231 は、トランジスタ 2232 をオンオフ制御するが、その制御はゲートドライバ回路 12 と同期をとって実施される。具体的には、図 203 から図 207 で説明した検査方法が実施される。

【 0 7 5 6 】

たとえば、図 224 に図示するようにして検査は実施される。トランジスタ 2232 がオンすることにより、図 224 (a) に図示するように、 V_{test} 電圧はトランジスタ 2232 を介してソース信号線 18 に印加される。また、この時、ゲート信号線 17 b にはオフ電圧が印加されており、トランジスタ 11 d はオープン状態である。検査する画素 16 のゲート信号線 17 a にオン電圧が印加されていれば、図 224 に図示するように、 V_{test} 電圧が駆動用トランジスタ 11 a のゲート端子に印加される。この電圧は駆動用トランジスタ 11 a の立ち上がり電圧以上である。

40

【 0 7 5 7 】

次に、図 224 (b) に図示するように、ゲート信号線 17 a にはオフ電圧が印加され、ゲート信号線 17 b にオン電圧が印加される。したがって、駆動用トランジスタ 11 a

50

からEL素子15に電流 I_t が流れ、EL素子15が発光する。

【0758】

また、図223の構成において、オンオフ制御手段2231を制御し、トランジスタ2232をオンオフ制御すれば、すべての画素16のゲート信号線17aにオン電圧が印加されていても、EL素子15を点滅表示させることができる。つまり、トランジスタ2232により、EL素子15などの特性などを評価あるいは検査することができる。

【0759】

図223は、トランジスタ2232を制御することによりソース信号線18に電流あるいは電圧を印加し、EL表示パネルあるいはEL表示パネル用アレイを検査もしくは評価を実施するものであった。

【0760】

図225はソース信号線18に形成された保護ダイオード2251を利用してソース信号線18に検査に必要な電圧または電流を印加するものである。保護ダイオード2251は静電気保護のため、各ソース信号線18にポリシリコン技術を用いて形成される。なお、ダイオード2251はトランジスタをダイオード接続して形成する。

【0761】

図225に図示するように、各ソース信号線18には保護ダイオード2251a、2251bが接続されている。通常の電圧(V_L 、 V_H)設定状態では、保護ダイオードはオフ状態になるようにされている。つまり、各保護ダイオード2251には V_L あるいは V_H により逆電圧が印加されオフ状態である。

【0762】

検査時は、保護ダイオードをオン状態になるように、 V_L 電圧または V_H 電圧もしくは両方の電圧を設定する(操作する)。たとえば、 V_L 電圧を高電圧にすることにより、電圧配線2252aから保護ダイオード2251bを介して、検査電圧(前記高電圧: $V_{dd} \sim V_{dd} - 6(V)$)はソース信号線18に印加することができる。また、 V_H 電圧を低電圧にすることにより、電圧配線2252bから保護ダイオード2251aを介して、検査電圧(前記低電圧)をソース信号線18に印加することができる。

【0763】

図226は検査状態の説明図である。保護ダイオード2251はリーク状態の時は抵抗としてみなせる。本発明のように、保護ダイオードをリーク状態にすることによりソース信号線に検査電圧(電流)を印加し、EL表示パネルまたはアレイを検査できるのは、画16が電流プログラム方式であることに起因することが大きい。電流プログラム方式では、プログラムする電流は μA 程度と微小である。したがって、保護ダイオード2251がリーク状態のように高抵抗の場合であっても、微小電流の印加あるいは吐き出しには影響を与えない。

【0764】

検査は表示領域144の全画素16を同時に点灯などさせて検査を実施してもよいが、図227に図示するように画素行を順次選択して走査させて検査を実施してもよい。図227で191が検査電流を書き込んでいる画素行である。また、193はEL素子15を点灯などして光学的に検査を実施している領域である。192は非点灯領域である。以上のように、表示領域144に点灯領域193と非点灯領域とを同時に行うことにより光学的検査が容易になる。黒表示と白表示の欠陥状態が同時にあるいは走査状態(順次)で検査が実現できるからである。以上の制御は図14などで説明したように、ゲートドライバ回路12を制御することにより容易に実現できる。走査あるいは選択方法は、以前に説明しているので説明を省略する。

【0765】

以上のように、電圧配線2252の電位を保護ダイオード2251がオンまたはリーク状態になるようにして、電圧配線2252からソース信号線18に電流または電圧を印加することにより検査を実現できる。なお、検査方法は以前に説明したものと同様であるので説明を省略する。

10

20

30

40

50

【 0 7 6 6 】

以上のように本発明は、電流プログラム方式などの画素構成を有するアレイあるいは表示パネルの検査方法である。ソース信号線 1 8 には保護ダイオード 2 2 5 1 をリークさせ、このリーク電流を画素に書き込み、この書き込んだ電流で E L 素子を発光させるものである。この発光状態あるいは点灯状態もしくは点滅状態で E L 素子 1 5 の特性、欠陥を検出する。同時にゲートドライバ回路 1 2 に信号を印加し、走査させて、選択するゲート信号線 1 7 を移動あるいは常時選択して検査などを実施する。以上の走査あるいは制御により画素 1 6 のトランジスタ 1 1 の欠陥検出などを実現する。

【 0 7 6 7 】

電流プログラム駆動方式では、ソース信号線 1 8 に印加するプログラム電流が μ A オーダーである。そのため、ダイオード 2 2 5 1 を介して印加する電流で画素 1 6 の電流プログラムを十分実現することができる。したがって、検査が実現する。一方で電圧プログラム方式では、ソース信号線 1 8 に電圧データを書き込む必要がある。そのため、検査は実現しにくい。

【 0 7 6 8 】

なお、図 2 2 5 では、保護ダイオード 2 2 5 1 を形成などするとしたが、これに限定するものではなく、図 2 2 3 と同様にスイッチ素子、リレー回路などを形成または配置してもよいことは言うまでもない。

【 0 7 6 9 】

また、図 2 2 5、図 2 2 3 の検査方法では、外部から電圧あるいは電流を印加することにより検査を実現する方法（方式）であった。しかし、本発明はこれに限定するものではない。たとえば、図 1 などの画素構成では、スイッチ用トランジスタ 1 1 b、1 1 c をオンさせることにより（トランジスタ 1 1 d はオフ（オープン）状態）、アノード V d d から駆動用トランジスタ 1 1 a を流れる電流はソース信号線 1 8 を介して、アレイ（表示パネル）外部に取り出すことができる。この電流の大きさ、流れる方向を測定あるいは評価することにより、アレイなどの検査あるいは評価を実現できる。同様にカソード V s s、E L 素子 1 5 を介して流れる電流をソース信号線 1 8 から外部に取り出すことができる。したがって、同様に E L 素子 1 5 などの検査を実現できる。

【 0 7 7 0 】

なお、図 2 2 3、図 2 2 5 などにおいて、すべてのソース信号線 1 8 に一度に所定の電圧を印加するとしたが、これに限定するものではない。電圧の代りに電流でもよい。たとえば、図 2 2 5 において、電圧配線 2 2 5 2 に低電流あるいは定電流を印加する。この電流をプログラム電流として活用し、ゲートドライバ回路 1 2 を走査することにより、画素 1 6 に電流プログラムを実施することができる。

【 0 7 7 1 】

また、オンオフ制御手段を複数設けて、1 つのオンオフ制御手段は奇数番目のソース信号線 1 8 に電圧または電流を印加し、他のオンオフ制御手段は偶数番目のソース信号線 1 8 に電圧または電流を印加するように構成してもよい。また、トランジスタ 2 2 3 2 はリレーなどの外づけ素子であってもよい。また、ホトダイオードなど光照射によりオンオフ制御できるものであってもよい。

【 0 7 7 2 】

また、以上の実施例では、検査に必要な電圧または電流をパネルの外部からソース信号線 1 8 などに印加するとしたが、本発明はこれに限定するものではなく、検査電圧などの発生手段をアレイ基板 3 0 などにポリシリコン技術などを用いて内蔵させてもよい。また、電流を印加するだけでなく、電流を吸収する（sink 方式）方式であってよい。また、E L 素子 1 5 あるいは駆動用トランジスタ 1 1 a が流す電流は、ソース信号線 1 8 を介して検出あるいは測定する方式であってよい。

【 0 7 7 3 】

以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素 1 6 に電流信号を印加して、画素 1

6に電流信号を保持させる。そして、EL素子15に保持させた電流を印加するものである。

【0774】

EL素子15は印加した電流の大きさに比例して発光する。つまり、EL素子15の発光輝度はプログラムする電流の値とリニアの関係がある。一方、電圧プログラム方式では、印加した電圧を画素16で電流に変換する。この電圧-電流変換は非線形である。非線形の変換は制御方法が複雑になる。

【0775】

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、64階調表示であれば、映像データの0はプログラム電流 $I_w = 0 \mu A$ とし、映像データ63はプログラム電流 $I_w = 6.3 \mu A$ とする（比例の関係となる）。同様に、映像データ32はプログラム電流 $I_w = 3.2 \mu A$ とし、映像データ10はプログラム電流 $I_w = 1.0 \mu A$ とする。つまり、映像データはそのまま、比例の関係でプログラム電流 I_w に変換される。

【0776】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図15に図示するように、本発明は、単位トランジスタ154の単位電流が映像データの1に該当するからである。さらに、単位電流は、基準電流回路を調整することにより容易に任意の値に調整できるからである。また、基準電流は、R、G、B回路ごとに設けられており、RGB回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路14、表示パネル構成の相乗効果である。

【0777】

EL表示パネルでは、プログラム電流とEL素子15の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにEL素子15の発光輝度を調整できる。

【0778】

駆動用トランジスタ11aは、ゲート端子に印加した電圧と、駆動用トランジスタ11aが流す電流とは非線形である（2乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【0779】

特に、図1の画素構成では、プログラム電流とEL素子15に流れる電流が理論上は等しい。したがって、発光制御は極めて容易である。本発明のN倍パルス駆動の場合も、プログラム電流を $1/N$ にして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。

【0780】

図11、図12、図13などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ11bとプログラム用トランジスタ11aとが異なり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図1の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

【0781】

EL素子15は、投入電流量により発光輝度が比例して変化する。EL素子15に印加する電圧（アノード電圧）は固定値である。したがって、EL表示パネルの発光輝度は消費電力と比例の関係にある。

【0782】

以上のことから、映像データとプログラム電流は比例し、プログラム電流とEL素子15の発光輝度は比例し、EL素子15の発光輝度と消費電力は比例する。したがって、映

像データをロジック処理すれば、E L 表示パネルの消費電流（電力）、E L 表示パネルの発光輝度、E L 表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、E L 表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

【 0 7 8 3 】

特に本発明のE L 表示パネルは電流駆動方式である。かつ、特徴ある構成により画像表示制御が容易である。特徴ある画像表示制御方法は2つある。1つは、基準電流の制御である。もう1つはd u t y 比制御である。この基準電流制御とd u t y 比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。 10

【 0 7 8 4 】

基準電流制御は、図60、図61、図64、図65、図66に図示するように、ソースドライバIC（回路）14は、各R G B の基準電流を調整する回路を具備している。また、ソースドライバ回路14からのプログラム電流I_wは、単位トランジスタ154の個数で決定される。

【 0 7 8 5 】

1つの単位トランジスタ154が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、1つの単位トランジスタ154が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ154 20の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスタ表示で各R G B の基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

【 0 7 8 6 】

図54はd u t y 比制御方法である。図54（a）は非表示領域192を連続して挿入する方法である。動画表示に適する。また、図54（a1）が最も画像が暗く、図54（a4）が最も明るい。ゲート信号線17bの制御で自由にd u t y 比を変更できる。図54（c）は非表示領域192を多数に分割して挿入する方法である。特に静止画表示に適する。また、図54（c1）が最も画像が暗く、図54（c4）が最も明るい。ゲート信号線17bの制御で自由にd u t y 比を変更できる。また、図54（b）は、図54（a 30）と図54（c）との中間状態である。図54（b）も同様にゲート信号線17bの制御で自由にd u t y 比を変更できる。つまり、ゲート信号線17bなどの制御によりトランジスタ11dをオンオフさせ、E L 素子15に流れる電流を制御する。

【 0 7 8 7 】

図11、図12の画素構成では、トランジスタ11eをオンオフ制御させ、図7では、切り換えスイッチ71をオンオフ制御する。また、図28の画素構成では、トランジスタ11dを制御して、E L 素子15に流れる電流を制御する。

【 0 7 8 8 】

以上のように、d u t y 比制御とは、ソース信号線18に印加するプログラム電流I_wは変化させずに、E L 素子15に流れる電流を制御することにより、画面144の明るさ 40制御を実現する方式である。つまり、基準電流を一定にした状態（変化させずに）で、画面144の明るさ制御を実現する方式である。

【 0 7 8 9 】

また、駆動用トランジスタ11aが流す電流を変更することなく、画面144の明るさ制御を実現する方式である。また、駆動用トランジスタ11aのゲート端子（G）電圧を変更することなく、画面144の明るさ制御を実現する方式である。また、ゲートドライバ12bの走査状態を変化させることにより、ゲート信号線17bなどを制御し、画面144の明るさ制御を実現する方式である。

【 0 7 9 0 】

表示領域193の分散は、表示パネルの画素行数が220本で、1 / 4 d u t y 比であ 50

れば、 $220/4=55$ となるから、1から55（1の明るさからその55倍の明るさまで調整できる）となる。また、表示パネルの画素行が220本で、 $1/2$ duty比であれば、 $220/2=110$ となるから、1から110（1の明るさからその110倍の明るさまで調整できる）となる。したがって、画面輝度144の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれの明るさであっても、表現できる階調数を維持できるという特徴がある。たとえば、64階調表示であれば、白ラスターでの表示画面144輝度が300ntであっても、3ntであっても、64階調表示を実現できる。

【0791】

なお、以前にも説明したが、duty比は、ゲートドライバ回路12bへのスタートパルス10を制御することにより容易に変更できる。したがって、 $1/2$ duty比、 $1/4$ duty比、 $3/4$ duty比、 $3/8$ duty比と多種多様なduty比を容易に変更できる。

【0792】

1水平走査期間（1H）単位のduty比駆動は、水平同期信号に同期させてゲート信号線17bのオンオフ信号を印加すればよい。さらに、1H単位以下でもduty比制御することができる。図40、図41、図42の駆動方法である。1H期間以内において、OE V2制御を行うことにより、微小ステップの明るさ制御（duty比制御）が可能である。

【0793】

1H以内のduty比制御を行うのは、duty比が $1/4$ duty比以下の場合に実施する。画素行数が220画素行であれば、 $55/220$ duty比以下である。つまり、 $1/220$ から $55/220$ duty比の範囲で行う。1ステップの変化が変化前から変化後で $1/20$ （5%）以上変化する時に実施する。さらに好ましくは、 $1/50$ （2%）以下の変化でもOE V2制御を行い、微小なduty比駆動制御を行うことが望ましい。つまり、ゲート信号線17bによるduty比制御では、変化前から変化後の明るさ変化が5%以上になる時は、OE V2（図40などを参照のこと）による制御を行うことにより変化量が5%以下になるように少しずつ変化させる。この変化には、図98で説明するWait機能を導入することが好ましい。

【0794】

duty比が $1/4$ duty比以下で1H以内のduty比制御を実施するのは、1ステップあたりの変化量が大きいこともあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が2乗特性に依存しているためと思われる。

【0795】

パネルの画素行が200本であれば、 $50/200$ duty比以下（ $1/200$ 以上 $50/200$ 以下）でOE V2制御を行って、1H以下の期間のduty比制御を行う。 $1/200$ duty比から $2/200$ duty比に変化すると $1/200$ duty比と $2/200$ duty比の差は、 $1/200$ であり、100%の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、OE V2制御（図40などを参照のこと）を行い、1H（1水平走査期間）以下の期間でEL素子15への電流供給を制御する。なお、1H期間以下（1H期間以内）でduty比制御としたが、これに限定するものではない。図19でもわかるように非表示領域192は連続している。つまり、10.5H期間というような制御も本発明の範疇である。つまり、本発明は1H期間に限定されず（小数点以下が発生する）、duty比駆動を行うものである。

【0796】

$40/200$ duty比から $41/200$ duty比に変化すると、 $40/200$ duty比と $41/200$ duty比の差は、 $1/200$ であり、 $(1/200)/(40/200)$ で2.5%の変化となる。この変化はフリッカとして視覚的に認識されるか否か 50

は、画面輝度 144 に依存する可能性が高い。ただし、40/200 duty 比は中間調表示であるので、視覚的に敏感である。したがって、OEV2 制御（図 40 などを参照のこと）を行い、1H（1 水平走査期間）以下の期間で EL 素子 15 への電流供給を制御することが望ましい。

【0797】

以上のように、本発明の駆動方法および表示装置は、画素 16 に EL 素子 15 に流す電流値を記憶できる構成（図 1 ではコンデンサ 19 が該当する）と、駆動用トランジスタ 11a と発光素子（EL 素子 15 が例示される）との電流経路をオンオフできる構成（図 1、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 28、図 31～図 36 などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図 19 の表示状態を発生させる（画像の輝度によっては、表示画面 144 が表示領域 193（duty 比 1/1 になってもよい）駆動方法である。かつ、duty 比駆動（少なくとも表示画面 144 の一部が非表示領域 193 となる駆動方法または駆動状態）が所定の duty 比以下では、1 水平走査期間（1H 期間）以内あるいは 1H 期間単位に限定される EL 素子 15 に流す電流を制御して、表示画面 144 の輝度制御を行うものである。

1H 単位以内の duty 比制御を行う所定 duty 比は、duty 比が 1/4 duty 比以下の場合に実施する。逆に所定 duty 比以上では、1H 単位で duty 比制御を行う。もしくは OEV2 制御は実施しない。また、1H 期間以外の duty 比制御は、1 ステップの変化が変化前から変化後で 1/20（5%）以上変化する時に実施する。さらに好ましくは、1/50（2%）以下の変化でも OEV2 制御を行い微小な duty 比駆動制御を行うことが望ましい。もしくは、白ラスタの最大輝度の 1/4 以下の輝度で実施する。

【0798】

本発明の duty 比制御駆動によれば、図 74 に図示するように、EL 表示パネルの階調表現数が 64 階調であれば、表示画面 144 の表示輝度（nt）がいずれの輝度（輝度が低いあるいは高いに関わらず）であっても、64 階調表示が維持される。たとえば、画素行数が 220 本で、1 画素行のみが表示領域 193（表示状態）の時（duty 比 1/220）であっても、64 階調表示を実現できる。各画素行がソースドライバ回路 14 のプログラム電流 I_w により順次画像が書き込まれ、ゲート信号線 17b により、この 1 画素行分が順次画像表示されるからである。全画素行が表示領域 193（表示状態）の時（duty 比 1/1）であっても、64 階調表示を実現できる。

【0799】

もちろん、20 画素行が表示領域 193（表示状態）の時（duty 比 20/220 = duty 比 1/11）であっても、64 階調表示を実現できる。画素行にソースドライバ回路 14 のプログラム電流 I_w により順次画像が書き込まれ、ゲート信号線 17b によりすべての画素行が同時に画像表示されるからである。また、20 画素行のみが表示領域 193（表示状態）の時（duty 比 20/220 = duty 比 1/11）であっても、64 階調表示を実現できる。各画素行がソースドライバ回路 14 のプログラム電流 I_w により順次画像が書き込まれ、ゲート信号線 17b により、この 20 画素行分が順次走査されて画像表示されるからである。

【0800】

なお、本発明の基準電流制御（図 50 などの回路構成を参照のこと）においても同様であり、基準電流が小さくとも大きくとも、64 階調表示を実現できる。

【0801】

本発明の duty 比制御駆動は、EL 素子 15 の点灯時間の制御であるから、duty 比に対する表示画面 144 の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図 60 のように RGB の基準電流を調整し、ホワイトバランスをとる。duty 比制御では、R、G、B を同時に明るさ制御するために、いずれの階調、表示画面 144 の明るさにおいてもホワイトバランスは維持される。

10

20

30

40

50

【 0 8 0 2 】

d u t y 比制御は、表示画面 1 4 4 に対する表示領域 1 9 3 の面積を変化させることにより、表示画面 1 4 4 の輝度を変化するものであった。当然、表示面積 1 9 3 に比例して E L 表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面 1 4 4 の E L 素子 1 5 に流れる全消費電流を算出することができる。E L 素子 1 5 のアノード電圧 V_{dd} は直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図 6 0 の基準電流 I_c を電子ポリウムなどの調整回路で調整し、R G B の基準電流を抑制制御すればよい。

10

【 0 8 0 3 】

また、白ラスタ表示での所定輝度を設定し、この時を d u t y 比最小になるように設定する。たとえば、d u t y 比 $1/8$ にする。自然画像は d u t y 比を大きくする。最大の d u t y 比は $1/1$ である。たとえば、表示画面 1 4 4 の $1/100$ しか画像が表示されない自然画像を d u t y 比 $1/1$ とする。d u t y 比 $1/1$ から d u t y 比 $1/8$ は表示画面 1 4 4 の自然画像の表示状態で滑らかに変化させる。

【 0 8 0 4 】

以上のように一実施例として、白ラスタ表示で（自然画像ではすべての画素が 1 0 0 % 点灯している状態）で d u t y 比 $1/8$ とし、表示画面 1 4 4 の $1/100$ の画素が点灯している状態を d u t y 比 $1/1$ とする。概略の消費電力は、画素数 \times 点灯画素数の割合 \times d u t y 比で算出できる。

20

【 0 8 0 5 】

説明を容易にするため、画素数を 1 0 0 とすると、白ラスタ表示での消費電力は、 100×1 (1 0 0 %) \times d u t y 比 $1/8 = 80$ となる。一方、 $1/100$ が点灯している自然画像の消費電力は、 $100 \times (1/100)$ (1 %) \times d u t y 比 $1/1 = 1$ となる。d u t y 比 $1/1 \sim$ d u t y 比 $1/8$ は画像の点灯画素数（実際には、点灯画素の総電流 = 1 フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかに d u t y 比制御が実施される。

【 0 8 0 6 】

以上のように白ラスタで消費電力割合は 8 0 であり、 $1/100$ が点灯している自然画像の消費電力割合は 1 になる。したがって、白ラスタ表示での所定輝度を設定し、この時を d u t y 比最小になるように設定すれば、最大電流を抑制することができる。

30

【 0 8 0 7 】

本発明は、1 画面のプログラム電流の総和を S とし、d u t y 比を D とし、 $S \times D$ で駆動制御を実施するものである。また、白ラスタ表示でのプログラム電流の総和を S_w とし、最大の d u t y 比を D_{max} （通常は、d u t y 比 $1/1$ が最大である）とし、最小の d u t y 比を D_{min} とし、また、任意の自然画像でのプログラム電流の総和を S_s とした時、 $S_w \times D_{min} \geq S_s \times D_{max}$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【 0 8 0 8 】

なお、d u t y 比の最大は $1/1$ とする。最小は d u t y 比 $1/16$ 以上（ $1/8$ など）にすることが好ましい。つまり、d u t y 比は $1/16$ 以上 $1/1$ 以下にする。なお、 $1/1$ を必ず使用することには制約されないことは言うまでもない。好ましくは、最小の d u t y 比は $1/10$ 以上にする。d u t y 比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

40

【 0 8 0 9 】

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とはプログラム電流の総和と同義である。なお、1 フレーム（1 フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない、1

50

フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、*d u t y*比制御を行っても良い。

【 0 8 1 0 】

図 8 5 は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図 8 5 では、外部から Y / U V 映像信号と、コンポジット（C O M P）映像信号が入力できるように構成されている。どちらの映像信号を入力するかは、スイッチ回路 8 5 1 により選択される。

【 0 8 1 1 】

スイッチ回路 8 5 1 で選択された映像信号は、デコーダおよび A / D 回路によりデコードおよび A D 変換され、デジタルの R G B 画像データに変換される。R G B 画像データは各 8 ビットである。また、R G B 画像データはガンマ回路 8 5 4 でガンマ処理される。同時に輝度（Y）信号が求められる。ガンマ処理により、R G B 画像データは各 1 0 ビットの画像データに変換される。

【 0 8 1 2 】

ガンマ処理後、画像データは F R C 処理または誤差拡散処理が処理回路 8 5 5 で行われる。F R C 処理または誤差拡散処理により R G B 画像データは 6 ビットに変換される。この画像データは A I 処理回路 8 5 6 で A I 処理あるいはピーク電流処理が実施される。また、動画検出回路 8 5 7 で動画検出が行われる。同時に、カラーマネージメント回路 8 5 8 でカラーマネージメント処理が行われる。

【 0 8 1 3 】

A I 処理回路 8 5 6、動画検出回路 8 5 7、カラーマネージメント回路 8 5 8 の処理結果は演算回路 8 5 9 に送られ、演算処理回路 8 5 9 で制御演算、*d u t y*比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路 1 4 およびゲートドライバ回路 1 2 に制御データとして送出される。

【 0 8 1 4 】

*d u t y*比制御、基準電流比制御、ピーク電流制御などは、O S D（オンスクリーンディスプレイ）には適用しないことが好ましい。O S D では、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。O S D においても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【 0 8 1 5 】

この課題に対しては、図 1 8 5 に図示するように、O S D のデータ（O S D D A T A）と映像データ（動画データ）とを別のコントロール回路 8 5 6 で処理をする。基本的には、O S D データは輝度変調を実施しない。

【 0 8 1 6 】

*d u t y*比制御データはゲートドライバ回路 1 2 b に送られ、*d u t y*比制御が実施される。一方、基準電流制御データはソースドライバ回路 1 4 に送られ、基準電流制御が実施される。ガンマ補正され、F R C または誤差拡散処理された画像データもソースドライバ回路 1 4 に送られる。

【 0 8 1 7 】

図 6 2 の画像データ変換は、ガンマ回路 8 5 4 のガンマ処理により行う必要がある。ガンマ回路 8 5 4 は、多点折れガンマカーブにより階調変換を行う。2 5 6 階調の画像データは、多点折れガンマカーブにより 1 0 2 4 階調に変換される。ガンマ回路 8 5 4 により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。

【 0 8 1 8 】

なお、以上の説明では *d u t y*比 D で制御するとして説明したが、*d u t y*比は、所定期間（通常は 1 フィールドまたは 1 フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）における E L 素子 1 5 の点灯期間で

10

20

30

40

50

ある。つまり、 $duty$ 比 $1/8$ とは、1 フレームの $1/8$ の期間 ($1F/8$) の間、EL 素子 15 が点灯していることを意味する。したがって、 $duty$ 比は、画素 16 が書き換えられる周期時間を Tf とし、画素の点灯期間 Ta とした時、 $duty$ 比 $= Ta/Tf$ と読み替えることができる。

【0819】

なお、画素 16 が書き換えられる周期時間を Tf とし、 Tf を基準とするとしたが、これに限定されるものではない。本発明の $duty$ 比制御駆動は、1 フレームあるいは 1 フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を 1 周期として $duty$ 比制御を実施してもよい。したがって、 Tf は画素を書き換える周期だけに限定されるものではなく、1 フレームあるいは 1 フィールド以上であってもよい。たとえば、1 フィールドあるいは 1 フレームごとに点灯期間 Ta が異なる場合は、繰り返し周期 (期間) を Tf とし、この期間の総点灯期間 Ta を採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間を Ta としてもよい。 $duty$ 比についても同様である。 $duty$ 比がフレーム (フィールド) ごとに異なる場合は、複数フレーム (フィールド) の平均 $duty$ 比を算出して用いればよい。

【0820】

したがって、白ラスタ表示でのプログラム電流の総和を Sw とし、任意の自然画像でのプログラム電流の総和を Ss とし、最小の点灯期間を Tas 、最大の点灯期間を Tam (通常は $Tam = Tf$ であるから $Tam/Tf = 1$) とした時、 $Sw \times (Tas/Tf) \geq Ss \times (Tam/Tf)$ の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【0821】

図 60、図 61、図 64、図 65 に図示あるいは説明したように、基準電流の制御により、プログラム電流をリニアに調整することができる。1 つあたりの単位トランジスタ 154 の出力電流が変化するためである。単位トランジスタ 154 の出力電流を変化させるとプログラム電流 Iw も変化する。画素のコンデンサ 19 にプログラムされる電流 (実際はプログラム電流に相当する電圧である) が大きいほど、EL 素子 15 に流れる電流も大きくなる。EL 素子 15 に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することにより EL 素子 15 の発光輝度をリニアに変化させることができる。

【0822】

本発明のソースドライバ回路 (IC) 14 は、端子 155 に接続される単位トランジスタ 154 の個数を制御することによりプログラム電流 Iw を変化させるものであった。また、プログラム電流 Iw は図 60、図 62 などでも説明したように、基準電流 Ic を変化させることにより実現した。

【0823】

しかし、本発明の基準電流制御などは限定するものではない。一定の基準となるもの (電圧、電流、設定データなど) を変化させ、この変化により端子 155 から出力される電流 Iw を変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子 155 のプログラム電流 Iw が同一割合で変化させることが重要である。なお、プログラム電流 Iw の変化に限定するものではない。プログラム電圧であってもよい。各端子 155 のプログラム電圧を同一割合で変化させることにより、表示画面 144 の輝度を調整することができるからである。また、RGB 端子で変化させることによりホワイトバランスを調整することができるからである。

【0824】

図 86 は基準電流 Ic の調整回路を具備しない本発明の実施例である。端子 155 には、オペアンプ 502 をトランジスタ 156 により、プログラム電流 Iw が供給される。プログラム電流 Iw は、サンプリング回路 862 によりオペアンプ 522 に印加された電圧により決定される。

【0825】

8 ビットの映像データは D/A 回路 661 でアナログデータに変換され、アナログデー

タは可変増幅回路 861 で利得調整される。利得調整されたアナログデータはサンプリング回路 862 において、水平走査クロックでサンプリングされ、各コンデンサ C に保持される。なお、可変増幅回路 861 の利得は 8 ビットのデータにより設定される。

【 0826 】

可変増幅回路 861 の一例としては、図 87 の構成が例示される。図 87 において、V_{in} 端子に DA 回路 661 のアナログデータが印加される。また、利得は、抵抗 R_x に直列に接続されたスイッチ S_x により設定される。スイッチ S_x は 8 ビットに利得設定データにより制御される。なお、利得設定データは 1 フレームあるいは 1 フィールド単位で変化させることが可能である。

【 0827 】

以上の構成から、図 87 の利得データの制御により、制御データの大きさに比例（相関）して端子 155 からの出力電流を変化させることができる。

【 0828 】

つまり、いずれかのスイッチ S_x が閉じることにより利得が設定される。このスイッチ S_x の制御が、図 64 のスイッチ回路 642、図 50 の電子ポリウム 501 に該当する。つまり、スイッチ S_x の制御によりプログラム電流 I_w を変化あるいは調整することができる。

【 0829 】

したがって、図 86 において、アナログデータが C にサンプルホールドされ、サンプルホールドされた電圧により、プログラム電流 I_w がソース信号線 18 に印加される。このプログラム電流 I_w は、可変増幅器 861 の利得データにより変化（制御）される。

【 0830 】

図 86 の構成においても、利得設定データにより、表示画面 144 の輝度を一斉に調整（可変）することができる。したがって、本発明の n 倍パルス駆動、duty 比駆動などを実現することができる。なお、図 86 などの構成では、単位トランジスタ 154 は形成されていない構成である。つまり、本発明は、電子ポリウムなどにより基準電流を調整することができ、この基準電流の調整により IC14 の全出力端子 155 から出力される電流を比例的に変化させることができる構成に特徴がある。また、後に説明するが、基準電流は映像データから求める。つまり、映像データなどからフィードバックをかけ、出力端子 155 からの電流の大きさを変化させる構成あるいは方法である。なお、実施例では端子から出力される信号は電流としているが、電圧であってもよい。電圧信号により EL 素子 15 に流れる電流を制御することができるからである（結局、映像データからカソード（アノード）端子に流れる電流を制御できる）。つまり、映像データにより基準電流の大きさあるいは変化量を求め、この基準電流の調整により IC14 の全出力端子 155 から出力される電圧を比例的に変化させることができる構成に特徴がある。

【 0831 】

また、可変増幅器 861 を各 RGB で設けることにより、ホワイトバランス調整、カラーマネジメント制御を実現できる（図 145 から図 153 を参照のこと）。つまり、本発明の表示パネルあるいは装置において、図 86 の構成のソースドライバ回路（IC）14 を用いても、本発明の駆動方式、構成を実現することができる。

【 0832 】

なお、本発明は、図 60 などで説明した基準電流制御方式と、図 54 などで説明した duty 比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流制御方式と duty 比制御方式を組み合わせる実施することが好ましい。

【 0833 】

さらに本発明の駆動方式について説明をする。本発明の駆動方法は、EL 表示パネルに消費される消費電流の上限にリミットすることが 1 つの目的である。EL 表示パネルは、EL 素子 15 に流れる電流が輝度と比例関係にある。したがって、EL 素子 15 に流れる電流を増大させれば、EL 表示パネルの輝度もどんどん明るくすることができる。輝度に

比例して消費される電流（＝消費電力）も増大する。

【 0 8 3 4 】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の1つの目的である。

【 0 8 3 5 】

また、画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナミックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の2つめの目的である。以上の目的を実現する本発明をA I 駆動と呼ぶことにする。 10

【 0 8 3 6 】

まず、説明を容易にするために、本発明のI Cチップ14は64階調表示であるとする。A I 駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバI C（回路）14は64階調表示とし、画像データは256階調とする。この画像データをE L表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力256階調を1024階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバI C14の64階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（F R C）処理が行われ、ソースドライバI C14に印加される。 20

【 0 8 3 7 】

1画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスタは64階調表示の場合は画像データとしては63であるから、表示画面144の画素数 \times 63が画像データの総和である。1/100の白ウインドウ表示で、白表示部が最大輝度の白表示では、表示画面144の画素数 \times （1/100） \times 63が画像データの総和である。

【 0 8 3 8 】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、d u t y比制御あるいは基準電流制御を行う。 30

【 0 8 3 9 】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの1フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをA D変換して画像データの総和としてもよい。この場合は、画像データはA P Lレベルとも言うことができる。

【 0 8 4 0 】

また、30フレームから300フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、d u t y比制御を行うことが好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。 40

【 0 8 4 1 】

また、表示画面144を構成する画像のすべてのデータを加算する必要はなく、表示画面144の1/W（Wは1より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、1画素とばしで映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、1画素行ごとに1または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【 0 8 4 2 】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のAPLレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためAPLレベルと呼ぶ。

【0843】

白ラスタの時にAPLレベルは画像がRGB各6ビットであるから63（63階調目であるからデータの表現としては63で示されている）×画素数（QCIFパネルの場合は176×RGB×220）となる。したがって、APLレベルは最大となる。ただし、RGBのEL素子15で消費する電流は異なるから、RGBで分離して画像データを算出 10
することが好ましい。

【0844】

この課題に対して、図88に図示する演算回路を使用する。図88において、881、882乗算器である。881は発光輝度を重み付けする乗算器である。R、G、Bでは視感度が異なる。NTSCでの視感度は、R：G：B＝3：6：1である。したがって、Rの乗算器881Rでは、R画像データ（Rdata）に対して3倍の乗算を行う。また、Gの乗算器881Gでは、G画像データ（Gdata）に対して6倍の乗算を行う。また、Bの乗算器881Bでは、B画像データ（Bdata）に対して1倍の乗算を行う。ただし、この記述は概念的である。EL素子はRGBで効率が異なっているからである。EL素子15はRGBで発光効率が異なる。通常、Bの発光効率が最も悪い。次にGが悪い。Rが最も発光効率が良い。そこで、乗算器882で発光効率の重み付けを行う。Rの乗算器882Rでは、R画像データ（Rdata）に対してRの発光効率の乗算を行う。また、Gの乗算器882Gでは、G画像データ（Gdata）に対してGの発光効率の乗算を行う。また、Bの乗算器882Bでは、B画像データ（Bdata）に対してBの発光効率の乗算を行う。 20

【0845】

乗算器881および882の結果は、加算器883で加算され、総和回路884に蓄積される。この総和回路884の結果にもとづき、duty比制御、基準電流制御を実施する。

【0846】

以上の実施例では、映像データに、EL素子15などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。 30

【0847】

通常、RGBのEL素子15は、EL材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、EL表示パネルは生産する時の目標色温度が決定されている。したがって、EL表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にするための、EL表示パネルに流すRGB電流の比率と大きさがわかる。このことから、EL表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより、目標とする輝度と色温度を得ることができる。 40

【0848】

アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流（カソード電流）を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからEL表示パネルの消費電力を制御することができる。

【0849】

つまり、映像データ（の総和）の大きさあるいは大きさの変化をリアルタイムでモニタ（演算）することにより、EL表示パネルが必要とするカソード（アノード）電流を得る 50

ことができ、この電流の大きさをどの大きさに抑制すべきであるかがわかっておれば、基準電流制御、d u t y比制御により電流の大きさを制御することができる。もちろん、アノード電流あるいはカソード電流の大きさをA D（アナログデジタル）変換することにより、変換されたデジタルデータから基準電流制御、d u t y比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流制御、d u t y比制御により電流の大きさを制御することができる。つまり、制御としてはデジタル、アナログ方式を問わない。

【 0 8 5 0 】

以上のように、本発明は、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、E L表示パネルで消費する電力（電流）を算出あるいは制御し、d u t y比制御、基準電流制御を実施するものである。 10

【 0 8 5 1 】

なお、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、E L表示パネルで消費する電力（電流）の算出は、1フレーム（1フィールド）ごとに実施することには限定されるものではなく、複数フレーム（フィールド）ごとに行ってもよく、また、1フレーム（1フィールド）で複数回行っても良いことは言うまでもない。また、基準電流制御、d u t y比制御はリアルタイムで実施することには限定されるものではなく、遅延させたり、ヒステリシスで実施したり、飛ばし飛ばしで実施してもよいことは言うまでもない。 20

【 0 8 5 2 】

なお、基準電流制御、d u t y比制御によりE L表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、E L表示パネルの消費電力を制御することとができることは言うまでもない。

【 0 8 5 3 】

図88のように制御すると、輝度信号（Y信号）に対するd u t y比制御、基準電流制御を実施することができる。しかし、輝度信号（Y信号）を求めて、d u t y比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではE L表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（B）の視感度が低いためである。そのため、輝度信号（Y信号）の総和（A P Lレベル）は小さく算出されるため、d u t y比制御が高d u t y比になる。したがって、フリッカの発生などが生じる。 30

【 0 8 5 4 】

この課題に対しては、乗算器881をスルーにして用いるとよい。消費電流に対する総和（A P Lレベル）が求められるからである。輝度信号（Y信号）による総和（A P Lレベル）と消費電流による総和（A P Lレベル）は、両方を求めて加味して総合A P Lレベルを求めることが望ましい。総合A P Lレベルによりd u t y比制御、基準電流制御またプリチャージ制御などを実施する。

【 0 8 5 5 】

黒ラスタは64階調表示の場合は0階調目であるから、A P Lレベルは0で最小値となる。電流駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、表示画面144を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が6ビットで表現される場合、上位ビット（M S B）のみをカウントしてもよい。この場合は、階調数が32以上で、1カウントされる。したがって、表示画面144を構成する画像データによりA P Lレベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。 40

【 0 8 5 6 】

なお、最初はアナログ的な概念から映像データの総和あるいは総和に類似する指標としてA P Lレベルという語を用いる。しかし、後には、点灯率として説明を行う。なお、点 50

灯率は後に説明をする。

【 0 8 5 7 】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【 0 8 5 8 】

EL表示パネルで最大に流せる電流を100 (mA) とする。白ラスタ表示のとき、総和 (APLレベル) は200 (単位なし) になるとする。このAPLレベルが200の時、そのままパネルに印加するとEL表示パネルに200 (mA) が流れるとする。なお、APLレベルが0の時、EL表示パネルに流れる電流は0 (mA) である。また、APLレベルが100の時、duty比は1/2で駆動するものとする。

10

【 0 8 5 9 】

したがって、APLが100以上の場合は、制限である100 (mA) 以下となるようにする必要がある。最も簡単には、APLレベルが200の時、duty比を $(1/2) \times (1/2) = 1/4$ にし、APLレベルが100の時、duty比を1/2とする。APLレベルが100以上200以下の時は、duty比が1/4~1/2の間をとるように制御する。duty比1/4~1/2は、EL選択側のゲートドライバ回路12bが、同時に選択するゲート信号線17bの本数を制御することにより実現できる。

【 0 8 6 0 】

ただし、APLレベルのみを考慮し、duty比制御を実施すれば、画像に応じて表示画面144の平均輝度 (APL) に応じて表示画面144の輝度が変化し、フリッカが発生する。この課題に対して、もとめるAPLレベルは、少なくとも2フレーム、好ましくは、10フレームさらに好ましくは60フレーム以上の期間保持し、この期間で演算して、APLレベルによりduty比制御によるduty比を算出する。また、表示画面144の最大輝度 (MAX)、最小輝度 (MIN)、輝度の分布状態 (SGM) などの画像の特徴抽出を行ってduty比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。

20

【 0 8 6 1 】

また、画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度 (MAX)、最小輝度 (MIN)、輝度の分布状態 (SGM)、シーンの変化状態を考慮して行うとよい。つまり、総和 (APLレベルあるいは点灯率) は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図88の加算器883cの補正回路 (図示せず) の補正量を加算する構成などが例示される。

30

【 0 8 6 2 】

ガンマ回路854により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図89に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールICを低コスト化できる。

【 0 8 6 3 】

図89において、aは32階調目での折れ線ガンマ変換である。bは64階調目での折れ線ガンマ変換である。cは96階調目での折れ線ガンマ変換である。dは128階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図89のdのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図89のaのガンマカーブを選択する。画像データの分布が分散している場合は、図89のb、cなどのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。

40

【 0 8 6 4 】

ガンマカーブの選択は、APLレベル、最大輝度 (MAX)、最小輝度 (MIN)、輝度の分布状態 (SGM) を加味して行う。また、duty比制御、基準電流制御も加味し

50

て行う。

【 0 8 6 5 】

図 9 0 は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図 8 9 の n のガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図 8 9 の a のガンマカーブを選択する。画像データの分布が分散している場合は、図 8 9 の b から n - 1 のガンマカーブを選択する。ガンマカーブの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M)、シーン変化割合、シーン変化量、シーン内容を加味して行う。また、d u t y 比制御、基準電流制御も加味して行う。

表示パネル (表示装置) が使用する環境に合わせて選択するガンマカーブを変化すること
10 も有効である。特に E L 表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。E L 表示パネルは自発光のためである。そこで、図 9 1 に図示するように、ガンマカーブを変化させてもよい。ガンマカーブ a は屋内用のガンマカーブである。ガンマカーブ b は屋外用のガンマカーブである。ガンマカーブ a と b との切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをフォトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光が明るいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブ b を選択することが有効である。

【 0 8 6 6 】

屋外では、図 9 2 のようにガンマカーブを発生させることも有効である。ガンマカーブ a は 1 2 8 階調目までは出力階調は 0 にする。1 2 8 階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図 9 2 のガンマカーブ b のようにガンマ変換を行っても良い。図 9 2 のガンマカーブは 1 2 8 階調目までは出力階調を 0 にする。1 2 8 以上は出力階調を 5 1 2 以上とする。図 9 2 のガンマカーブ b では高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示を見えやすくする効果がある。

【 0 8 6 7 】

本発明の駆動方式では、d u t y 比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【 0 8 6 8 】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の d u t y 比駆動のように表示画面 1 4 4 に非表示領域 1 9 2 を発生させても、黒表示における透過率は一定である。逆に非表示領域 1 9 2 を発生させることにより、1 フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【 0 8 6 9 】

E L 表示パネルは、黒表示において E L 素子 1 5 に流れる電流が 0 の状態 (電流が流れないあるいは微小) である。したがって、本発明の d u t y 比駆動のように表示画面 1 4 4 に非表示領域 1 9 2 を発生させても、黒表示の輝度は 0 である。非表示領域 1 9 2 の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が 0 であるから、コントラストは無限大である。したがって、d u t y 比駆動は、E L 表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は 0 である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【 0 8 7 0 】

d u t y 比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、d u t y 比制御により表示画面 1 4 4 の輝度変化は 1 0 倍近く変化させることができる。また、変化は d u t y 比と線形の関係になるから制御も容易である。しかし、d u t y 比制御は、N 倍パルス駆動であるから、E L 素子 1 5 に流れる電流の大きさが大きく、また、表示画面 1 4 4 の輝度にかかわらず、常時 E L 素子に流れる

10

20

30

40

50

電流の大きさが大きくなり、E L 素子 1 5 が劣化しやすいという課題がある。

【 0 8 7 1 】

基準電流制御は、画面輝度 1 4 4 を高くするときに、基準電流量を大きくするものである。したがって、表示画面 1 4 4 が高いときにしか、E L 素子 1 5 に流れる電流は大きくならない。そのため、E L 素子 1 5 が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【 0 8 7 2 】

本発明では、基準電流制御と d u t y 比制御の両方を用いる。ただし、一方を固定し、他方を可変する制御もあることは言うまでもない。表示画面 1 4 4 が白ラスタ表示に近い時には、基準電流は一定値に固定し、d u t y 比のみを制御して表示輝度などを変化させる。表示画面 1 4 4 が黒ラスタ表示に近い時は、d u t y 比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。もちろん、d u t y 比を小さくするとともに、基準電流を増大させ、表示輝度を一定に維持したまま、プログラム電流 I w を増加させてもよい。

【 0 8 7 3 】

一例として、d u t y 比制御は、点灯率が 1 / 1 0 以上 1 / 1 の範囲で実施する。d u t y 比 1 / 1 で、白ラスタ表示であれば、点灯率 1 0 0 % である（最大の白ラスタ表示時）。黒ラスタ表示であれば、点灯率 0 % である（完全黒ラスタ表示時）。

【 0 8 7 4 】

なお、点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合でもある（ただし、d u t y 比は 1 / 1 とする）。たとえば、カソードに流れる最大電流を 1 0 0 m A とすれば、d u t y 比 1 / 1 において、3 0 m A の電流が流れていれば点灯率は $30 / 100 = 30\%$ （0.3）である。図 1 などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードは E L 素子で消費される電流のみである。したがって、E L 表示パネルの全 E L 素子 1 5 で消費される電流は、カソード端子を流れる電流を測定する方が好ましい。

【 0 8 7 5 】

また、カソードに流れる最大電流を 1 0 0 m A とし、この時、映像データの総和の最大値とすれば、点灯率とは S U M 制御もしくは A P L 制御とは同義である。点灯率 5 0 % と表現すれば、カソード（アノード）に流れる電流が最大の 5 0 % と意味し、点灯率 2 0 % と表現すれば、カソードに流れる電流が最大の 2 0 % と意味するということのように大きさが理解しやすいので、今後は主として点灯率の用語を用いる。ただし、カソード（アノード）端子に流れる電流の最大値は、設計上、端子に流れる最大電流であり、相対的な大きさである。たとえば、設計値が小さければ最大値は小さい。

【 0 8 7 6 】

点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合であるとしたが、パネルの全 E L 素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

【 0 8 7 7 】

本明細書では、点灯率と断り無く記載する時は、d u t y 比 1 / 1 としている。もし、d u t y 比 1 / 3 で、2 0 m A の電流が流れていれば、点灯率は $(20\text{mA} \times 3) / 100\text{mA} = 60\%$ （0.6）である。つまり、点灯率が 1 0 0 % でも、d u t y 比が 1 / 2 であれば、アノード（カソード）端子に流れる電流は最大値の 1 / 2 である。点灯率 5 0 %、アノード電流が 2 0 m A、d u t y 比 1 / 1 であれば、d u t y 比 1 / 2 になれば、アノード電流は 1 0 m A となる。アノード電流が 1 0 0 m A、点灯率 4 0 %、d u t y 比 1 / 1 であれば、アノード電流が 2 0 0 m A に変化したとすると、点灯率は 8 0 % に変化したことを意味する。以上のように、点灯率は、1 画面を構成する映像データの大きさに対する割合、E L 表示パネルの消費電流（電力）あるいはその割合を示している。

なお、以上の事項は、図 1 の画素構成の E L 表示パネルあるいは E L 表示装置だけではなく、図 2、図 7、図 1 1、図 1 2、図 1 3、図 2 8、図 3 1 などの他の画素構成の E L 表

10

20

30

40

50

示パネルあるいはEL表示装置にも適用できることは言うまでもない。

【0878】

また、点灯率による基準電流制御、duty比制御はEL表示パネルだけに適用されるものではなく、自己発光表示パネルであれば適用できることは言うまでもない。たとえば、FED表示パネルが例示される。

【0879】

一例として、点灯率（点灯率）は、映像データの和から求める。つまり、映像データから算出する。入力映像信号がY、U、Vの場合は、Y（輝度）信号から求めても良い。しかし、EL表示パネルの場合は、R、G、Bで発光効率が異なるため、Y信号から求めた値が消費電力にならない。したがって、Y、U、V信号の場合も、一度R、G、B信号に変換し、R、G、Bに応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的にY信号から消費電流を求めることは回路処理が容易になることも考慮してもよい。

【0880】

点灯率は、パネルに流れる電流で換算されているものであるとする。なぜなら、EL表示パネルではBの発光効率が悪いので、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データとは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【0881】

ここでは説明を容易にするため、duty比の最大はduty比1/1とする。基準電流は、1倍から3倍に変化させるとする。また、データ和は表示画面144のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスタ表示での画像データの総和であるとする。なお、duty比1/1まで使用する必要はないことは言うまでもない。duty比1/1は最大値として記載している。本発明の駆動方法では、最大のduty比を210/220などと設定してもよいことは言うまでもない。

【0882】

duty比=1/1の場合、点灯率0%にする意味は、N倍パルス駆動を実施していないことになる。なぜなら、1/1が最大輝度表示であり、N倍パルス駆動により、プログラム電流の書き込み改善を実施していないからである。点灯率100%になるつれ、duty比を1/nとし、nを大きくすることは、プログラム電流の書き込み改善に何ら寄与しない。ただ、パネルの消費電力を低減するために実施しているだけである。このことは、N倍パルス駆動にはduty比1/1を実施することが含まれないから容易に理解できる。本発明は、点灯率が低い（duty比が1/1に近づく）時に、基準電流を1以上にし、画面を高輝度化する。この動作からもN倍パルス駆動の実施には該当しない。

【0883】

なお、duty比の最大はduty比1/1とし、最小はduty比1/16以内にするのが好ましい。さらに好ましくは、duty比1/10以内にとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、4倍以内にするのが好ましい。さらに好ましくは2.5倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【0884】

点灯率1%とは、一例として1/100の白ウインドウ表示である（duty1/1）。自然画像では、画像表示する画素のデータ和が、白ラスタ表示の1/100に換算できる状態を意味する。したがって、100画素あたりの1点の白輝点表示も点灯率が1%である。

【0885】

以下の説明では最大値とは白ラスタの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはAPL処理などで発生する

最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。

【0886】

なお、データ率は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラICのハード規模も小さくできる。また、duty比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

【0887】

図93は本発明の基準電流制御とduty比制御を実施した例である。図93では点灯率10
率が1/100以下では基準電流の倍率を3倍まで変化させている。点灯率1%以上でduty比を1/1から1/8まで変化させている。また、点灯率1%以下で基準電流を1から3倍まで変化させている。したがって、点灯率の値により、duty比制御で8倍、基準電流制御で3倍であるから、 $8 \times 3 = 24$ 倍の変化が実施されている。基準電流制御およびduty比制御はともに画面輝度を変化させるから、24倍のダイナミックレンジが実現されていることになる。

【0888】

図93において、点灯率が100%ではduty比が1/8である。したがって、表示輝度は最大値の1/8になっている。点灯率が100%であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の1/8に低下している。表示画面14
4の1/8が表示（点灯）領域193であり、非表示領域192が7/8を占めている。点灯率が100%に近い画像は、ほとんどの画素16が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図90などのガンマカーブのnまたはnに近いものが選択される。つまり、点灯率の値によりガンマカーブをダイナミックに変化させる。

【0889】

点灯率が1%では、duty比は1/1である。表示画面144の全体が表示領域193である。したがって、duty比制御による画面輝度制御は実施されていない。EL素子15の発光輝度がそのまま表示画面144の表示輝度となる。画像表示はほとんどが黒
表示であり、一部に画像が表示されている状態である。イメージで表現すれば、点灯率が1%画像表示とは、真っ暗な夜空に星がでている画像である。この画像でduty比を1/1にすることは、星の部分は、点灯率100%の白ラスターの輝度の8倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは1/100の領域であるから、1/100の領域の輝度を8倍にしたとしても消費電力の増加はわずかである。点灯率が1%以下では基準電流を増加させる。たとえば、点灯率0.1%では基準電流比は2である。したがって、点灯率1%の時に比較して2倍の輝度で表示される。つまり、星の部分は、点灯率100%の白ラスターの輝度の 8×2 倍の輝度で表示されることになる。

【0890】

以上のように、低点灯率で基準電流を増加させることにより、表示画素の輝度を増大できる。この処理により画像につや感がでて、奥行きのある深い画像表示を実現できる。

【0891】

点灯率が1%に近い画像で、ほとんどの画素16が低階調表示の場合は、ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図90などのガンマカーブのbまたはbに近いものが選択される。

【0892】

以上のように本発明の駆動方法は、duty比が大きくなるにしたがって、ガンマのx乗数を大きくする駆動方法である。duty比が小さくなるにしたがって、ガンマのx乗
50

数を小さくする駆動方法である。

【 0 8 9 3 】

図 9 3 では点灯率が 1 % 以下では基準電流の倍率を 3 倍まで変化させている。点灯率が 1 % 以下では $duty$ 比が $1/1$ として、 $duty$ 比により画面輝度を高くしている。点灯率が 1 % よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素 16 はより高輝度で発光する。たとえば、点灯率が 0.1 % とは、イメージで表現すれば、真っ暗な夜空に星がでている画像である。この画像で $duty$ 比を $1/1$ にするということは、星の部分は、白ラスタの輝度の $8 \times 2 = 16$ 倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは 0.1 % の領域であるから、0.1 % の領域の輝度を 16 倍にし 10

【 0 8 9 4 】

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、点灯率が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

【 0 8 9 5 】

図 9 3 では、基準電流の変化および $duty$ 比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。基準電流の倍率制御、 $duty$ 比制御を曲線的にしてもよい。図 9 4 では、横軸の点灯率が対数であるから、基準電流制御および 20 $duty$ 比制御の線が曲線になるのは自然である。点灯率と基準電流倍率の関係、点灯率と $duty$ 比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【 0 8 9 6 】

図 9 3、図 9 4 は、RGB の $duty$ 比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図 9 5 に図示するように、RGB で基準電流倍率の傾きを変化させてもよい。図 9 5 では、青 (B) の基準電流倍率の変化の傾きを最も大きくし、緑 (G) の基準電流倍率の変化の傾きを次に大きくし、赤 (R) の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、EL 素子 15 に流れる電流も大きくなる。EL 素子は RGB で発光効率が異なる。また、EL 素子 15 に流れ 30 る電流が大きくなると印加電流に対する発光効率が悪くなる。特に、B ではその傾向が顕著である。そのため、RGB で基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図 9 5 のように、基準電流倍率を大きくした時 (各 RGB の EL 素子 15 に流す電流が大きい領域) では、ホワイトバランスを維持できるように RGB の基準電流倍率を異ならせることが有効である。点灯率と基準電流倍率の関係、点灯率と $duty$ 比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【 0 8 9 7 】

図 9 5 は基準電流倍率を RGB で異ならせた実施例であった。図 9 6 は $duty$ 比制御も異ならせている。点灯率を 1 % 以上で B と G の傾きを同一にし、R の傾きを小さくして 40 いる。また、G と R は 1 % 以下で $duty$ 比 $1/1$ であるが、B は 1 % 以下で $duty$ 比 $1/2$ としている。また、図 9 6 は基準電流も異ならせている。点灯率を 1 % 以下で B の傾きを最も大きくし、R の傾きを最も小さくしている。以上のように駆動 (制御) すれば、RGB のホワイトバランス調整を最適にすることができる。点灯率と基準電流倍率の関係、点灯率と $duty$ 比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【 0 8 9 8 】

図 9 3 から図 9 6 は、一例として点灯率 1 % を境に基準電流倍率と $duty$ 比を変化させる方法であった。点灯率を一定の値を境として、基準電流倍率と $duty$ 比を変化させ 50

、基準電流倍率が変化させる領域と duty 比を変化させる領域を重ねないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、点灯率が 1 % 以上で duty 比を変化させ、点灯率が 1 % 以下で基準電流を変化させている。基準電流倍率が、変化させる領域と duty 比を変化させる領域を重ねないようにしている。この方法は、本発明の特徴ある方法である。

【 0 8 9 9 】

なお、点灯率が 1 % 以上で duty 比を変化させ、点灯率が 1 % 以下で基準電流を変化させたとしたが、逆の関係でもよい。たとえば、点灯率が 1 % 以下で duty 比を変化させ、点灯率が 1 % 以上で基準電流を変化させてもよい。また、点灯率が 1 % 以上で duty 比を変化させ、点灯率が 1 % 以下で基準電流を変化させ、点灯率が 1 % 以上 1 0 % 以下では、基準電流倍率および duty 比を一定値としてもよい。

【 0 9 0 0 】

場合によっては、本発明は以上の方法に限定されない。図 9 7 に図示するように点灯率が 1 % 以上で duty 比を変化させ、点灯率が 1 0 % 以下で B の基準電流を変化させてもよい。B の基準電流変化と R G B の duty 比とを変化をオーバーラップさせている。早いスピードで明るい画面と暗い画面とが交互に繰り返す時、変化に応じて duty 比を変化させるとフリッカが発生する。したがって、ある duty 比から他の duty 比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を 1 s e c とすると、1 s e c 期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前の duty 比が維持される。つまり、duty 比は変化しない。このヒステリシス（時間遅延）時間を W a i t 時間と呼ぶ。また、変化前の duty 比を変化前 duty 比と呼び、変化後の duty 比を変化後 duty 比と呼ぶ。

【 0 9 0 1 】

変化前 duty 比が小さい状態から、他の duty 比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前 duty 比が小さい状態は、表示画面 1 4 4 のデータ量が小さい状態あるいは表示画面 1 4 4 に黒表示部が多い状態である。したがって、表示画面 1 4 4 が中間調の表示で視感度が高いためと思われる。また、duty 比が小さい領域では、変化 duty 比との差が大きくなる傾向があるからである。もちろん、duty 比の差が大きくなる時は、O E V 2 端子を用いて制御する。しかし、O E V 2 制御にも限界がある。以上のことから、変化前 duty 比が小さい時は、W a i t 時間を長くする必要がある。

【 0 9 0 2 】

変化前 duty 比が大きい状態から、他の duty 比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前 duty 比が大きい状態は、表示画面 1 4 4 のデータ量が大きい状態あるいは表示画面 1 4 4 に白表示部が多い状態である。したがって、表示画面 1 4 4 全体が白表示で視感度が低いと思われる。以上のことから、変化前 duty 比が大きい時は、W a i t 時間は短くてよい。

【 0 9 0 3 】

以上の関係を図 9 4 に図示する。横軸は変化前 duty 比である。縦軸は W a i t 時間（秒）である。duty 比が $1/16$ 以下では、W a i t 時間を 3 秒（s e c）と長くしている。duty 比が $1/16$ 以上 duty 比 $8/16$ （ $=1/2$ ）では、duty 比に応じて W a i t 時間を 3 秒から 2 秒に変化させる。duty 比 $8/16$ 以上 duty 比 $16/16=1/1$ では、duty 比に応じて 2 秒から 0 秒に変化させる。

【 0 9 0 4 】

以上のように、本発明の duty 比制御は、duty 比に応じて W a i t 時間を変化させる。duty 比が小さい時は W a i t 時間を長くし、duty 比が大きい時は W a i t 時間を短くする。つまり、少なくとも duty 比を可変する駆動方法にあって、第 1 の変化前の duty 比が第 2 の変化前の duty 比よりも小さく、第 1 の変化前 duty 比の W a i t 時間が、第 2 の変化前 duty 比の W a i t 時間よりも長く設定することを特徴とするものである。

【 0 9 0 5 】

なお、以上の実施例では、変化前 $duty$ 比を基準にして $Wait$ 時間を制御あるいは規定するとした。しかし、変化前 $duty$ 比と変化後 $duty$ 比との差はわずかである。したがって、前述の実施例において変化前 $duty$ 比を変化後 $duty$ 比と読み替えても良い。

【 0 9 0 6 】

また、以上の実施例において、変化前 $duty$ 比と変化後 $duty$ 比を基準にして説明した。変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $Wait$ 時間を長くとる必要があることはいうまでもない。また、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることが良好であることは言うまでもない 10

【 0 9 0 7 】

本発明の $duty$ 比制御方法は、変化前 $duty$ 比と変化後 $duty$ 比との差が大きい時は $Wait$ 時間を長くとる駆動方法である。つまり、 $duty$ 比の差に応じて $Wait$ 時間を変化させる駆動方法である。また、 $duty$ 比の差が大きい時に $Wait$ 時間を長くとる駆動方法である。

【 0 9 0 8 】

また、本発明の $duty$ 比の方法は、 $duty$ 比の差が大きい時は、中間状態の $duty$ 比を経由して変化後 $duty$ 比に変化させることを特徴とする駆動方法である。

【 0 9 0 9 】

20

図 9 3、図 9 4 などの実施例では、 $duty$ 比に対する $Wait$ 時間を、R (赤) G (緑) B (青) で同一にするとして説明した。しかし、本発明は、図 9 8 に図示するように RGB で $Wait$ 時間を変化させてもよいことは言うまでもない。RGB で視感度が異なるからである。視感度にあわせて $Wait$ 時間を設定することにより、より良好な画像表示を実現できる。

【 0 9 1 0 】

以下の説明では最大値とは白ラスタの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいは APL 処理などで発生する最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。 30

【 0 9 1 1 】

ただし、データ和とは、1 画面のデータを正確に加算することを必要としない。1 画面をサンプリングした画素のデータの加算値から 1 画面の加算値を推定 (予測) したのもでもよい。また、最大値も同様である。また、複数フィールドあるいは複数フレームからの予測値あるいは推定値でもよい。また、画像データの加算だけでなく、映像データをローパスフィルタ回路により APL レベルを求めて、この APL レベルをデータ和としてもよい。この時の最大値は、最大振幅の映像データが入力された時の APL レベルの最大値である。

【 0 9 1 2 】

なお、データ和は表示パネルの消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度 (画像データ) の加算であるとして説明をする。一般的に輝度 (画像データ) の加算の方式が処理は容易である。 40

【 0 9 1 3 】

図 9 9 は横軸を点灯率としている。最大値は 100 % である。縦軸は $duty$ 比である。点灯率 = 100 % は、全画素行が最大の白表示状態である。点灯率が小さい時は、暗い画面あるいは表示 (点灯) 領域が少ない画面である。この時は、 $duty$ 比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。点灯率が大きい時 (最大値は 100 %) は、明るい画面あるいは表示 (点灯) 領域が広い画面である。この時は、 $duty$ 比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が 50

可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【 0 9 1 4 】

図 9 9 では、点灯率が 1 0 0 % の時に、到達する $d u t y$ 比值を変化させている。たとえば、 $d u t y$ 比 = $1 / 2$ は画面の $1 / 2$ が画像表示状態になる。したがって、画像は明るい。 $d u t y$ 比 = $1 / 8$ は画面の $1 / 8$ が画像表示状態になる。したがって、 $d u t y$ 比 = $1 / 2$ に比較して $1 / 4$ の明るさである。

【 0 9 1 5 】

本発明の駆動方式では、点灯率、 $d u t y$ 比、基準電流、データ値などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する

10

【 0 9 1 6 】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、1 フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【 0 9 1 7 】

E L 表示パネルは、黒表示は、E L 素子に流れる電流が 0 の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は 0 である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が 0 であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

20

【 0 9 1 8 】

また、本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、 $d u t y$ 比制御により画面の輝度変化は 1 0 倍近く変化させることができる。また、変化は $d u t y$ 比と線形の関係になるから制御も容易である。また、R、G、B を同一比率で変化させることもできる。したがって、どの $d u t y$ 比においてもホワイトバランスは維持される。

【 0 9 1 9 】

点灯率と $d u t y$ 比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

30

【 0 9 2 0 】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。表示輝度を低下させるため、 $d u t y$ 比を小さくし、または基準電流を小さくする。もしくは、 $d u t y$ 比または基準電流のいずれか一方を小さくする。基準電流または $d u t y$ 比を小さくすることにより E L 表示パネルの消費電力を低下させることができる。また、以上の制御はユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図 9 9 の a のカーブを選択する。しかし、高い輝度で表示し続けると E L 素子は急激に劣化する。そのため、非常に明るくする場合、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、c のカーブを選択する。また、さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

40

【 0 9 2 1 】

したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 5 0 %、6 0 %、8 0 % とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、 $d u t y$ 比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数の $d u t y$ 比カーブから 1 つを選択できるように構成することが好ましい。

50

【 0 9 2 2 】

なお、d u t y 比カーブなどの選択は、A P L レベル、最大輝度 (M A X)、最小輝度 (M I N)、輝度の分布状態 (S G M) の 1 つあるいは複数を加味して行うことが好ましいことは言うまでもない。

【 0 9 2 3 】

以上のように、たとえば、a は屋外用のカーブである。c は屋内用のカーブである。b は屋内と屋外との中間状態用のカーブである。カーブ a、b、c との切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいこと 10

【 0 9 2 4 】

図 9 9 の d u t y 比は直線であったが、これに限定するものではない。図 1 0 0 に図示するように、一点折れカーブとしてもよい。つまり、点灯率に応じて d u t y 比の傾きを変化させる。もちろん、d u t y 比カーブは曲線としてもよいし、多点折れカーブとしてもよい。また、外光あるいは画像の種類によりリアルタイムで d u t y 比カーブを変化させてもよい。以上の事項は、基準電流の変化制御においても同様である。

【 0 9 2 5 】

表示パネルの消費電力低減が必要な場合は、図 1 0 0 の c カーブを選択する。消費電力が低減する効果が発揮される。表示輝度は低下するが、階調数などの画像表示の低下はない。高い表示輝度が必要な場合は、図 1 0 0 の a カーブを選択する。画像の表示が明るくなり、また、フリッカの発生が少なくなる。消費電力は増大するが、階調数などの画像表示の低下はない。 20

【 0 9 2 6 】

本発明の他の実施例において、d u t y 比の変化は、点灯率が 1 / 1 0 以上の範囲で実施する (図 1 0 1 を参照のこと)。点灯率が 1 に近い画像の発生は少なく、図 9 9 のように点灯率が 1 0 0 まで、d u t y 比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、d u t y 比の変化は点灯率が 8 / 1 0 以上の範囲で実施する。

【 0 9 2 7 】

また、自然画では、点灯率が 2 0 % から 4 0 % の画像が多い。したがって、この範囲では d u t y 比が大きい方が好ましい。一方で点灯率が高い画像 (6 0 % 以上) では消費電力が大きく、E L 表示パネルが発熱し劣化する傾向になる。したがって、点灯率が 2 0 % から 4 0 % の範囲あるいは近傍では d u t y 比 1 / 1 あるいはその近傍とし、点灯率が 6 0 % あるいはその近傍以上では、d u t y 比を 1 / 1 よりも小さくするように制御することが好ましい。 30

【 0 9 2 8 】

図 1 0 1 では点灯率が 0 . 9 以下では d u t y 比を 1 / 1 から 1 / 5 まで変化させている。したがって、5 倍のダイナミックレンジが実現されていることになる。図 1 0 1 において、点灯率が 0 . 9 以上では d u t y 比が 1 / 5 である。したがって、表示輝度は最大値輝度の 1 / 5 になっている。点灯率 1 0 0 % は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大輝度の 1 / 5 に低下している。 40

【 0 9 2 9 】

点灯率が 1 0 % 以下では、d u t y 比は 1 / 1 である。画面の 1 / 1 0 が表示領域 (白ウインドウなどの場合) である。もちろん、自然画では、暗い部分が多い画像である。d u t y 比が 1 / 1 では、非点灯領域 1 9 2 がいないため、E L 素子の発光輝度がそのまま画素の表示輝度となる。点灯率 1 0 % とはイメージ的には画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。たとえば、点灯率が 1 0 % 以下の画像表示とは、真っ暗な夜空に月がでている画像である (説明のための参考イメージ画像例である。白ウインドウでは、1 / 1 0 白ウインドウ表示である)。この画像で d u t y 比を 1 / 50

1 にするということは、月の部分は、白ラスターの輝度（図 101 で点灯率 100 % での輝度）の 5 倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは 1 / 10 の領域であるから、1 / 10 の領域の輝度を 5 倍にしたとしても消費電力の増加はわずかである。

【0930】

以上のように、本発明では点灯率が低い画像では、 $duty$ 比を 1 / 1 あるいは比較的大きくしている。 $duty$ 比 1 / 1 では発光している画素は常時電流が流れている。したがって、1 つの画素からみれば消費電流が大きい。しかし、EL 表示パネルにおいて、発光している画素が少ないため、EL 表示パネル全体からみれば、消費電力の増加はほとんどない。EL 表示パネルでは黒部分は完全黒（非発光）である。したがって、 $duty$ 比 1 / 1 で最高輝度が表示できればダイナミックレンジを拡大でき、メリハリのある良好な画像表示を実現できる。 10

【0931】

一方、本発明では点灯率が高い画像では、 $duty$ 比を 1 / 5 など比較的小さくしている。また、点灯率に応じて、 $duty$ 比が小さくなるように制御を行う。 $duty$ 比が小さい時は発光している画素は間欠電流が流れている。したがって、1 つの画素の消費電流は小さい。EL 表示パネルにおいて、発光している画素は多いが、1 画素あたりの消費電流が少ないため、EL 表示パネル全体からみれば、消費電力の増加は少ない。以上のように点灯率に対して $duty$ 比を制御する本発明の駆動方法は EL 表示パネルなどの自己発光表示パネルに最適な駆動方法である。 $duty$ 比が小さくなれば画像輝度は小さくなる 20 が、画面全体として発生光束が多いため、暗くなったという印象は感じられない。

【0932】

以上のように、 $duty$ 比制御と、基準電流制御の一方または両方を実施することにより、画像のコントラスト比を拡大でき、ダイナミックレンジが拡大され、低消費電力化を実現できる。

【0933】

以上の制御は点灯率を用いて行う。点灯率は先にも説明したが、通常の駆動（ $duty$ 比 1 / 1）では、アノードまたはカソードに流れ込む（流れ出す）電流の大きさである。点灯率が増加すると比例してアノードまたはカソード端子の電流は増加する。前記電流は基準電流の大きさに比例して増減し、また、 $duty$ 比に比例して増減する。なお、本発明は $duty$ 比、基準電流は点灯率により、変化させることに特徴がある。つまり、 $duty$ 比、基準電流は固定ではない。画像の表示状態に応じて少なくとも複数の状態に変化させる。 30

【0934】

点灯率が 0 に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

【0935】

以上の実施例では、点灯率が 0 では、 $duty$ 比を 1 / 1 にするとしたが、本発明はこれに限定するものではない。図 102 に図示するように、 $duty$ 比を 1 より小さい値となるようにしてもよいことは言うまでもない。図 102 では、実線は点灯率 0 で、 $duty$ 比 = 0.8、点線は点灯率 0 で、 $duty$ 比 = 0.6 である。 40

【0936】

また、 $duty$ 比のカーブは図 103 に図示するように曲線となるようにしてもよい。なお、曲線とは、サインカーブ状、円弧状、三角形状が例示される。

【0937】

なお、 $duty$ 比に最大値を設ける場合は、少なくとも点灯率 20 % 以上 50 % 以下の範囲でいずれかの位置で最大値となるようにすることが好ましい。この範囲は、画像表示でよく出現する。したがって、 $duty$ 比を 1 / 1 など、他の点灯率の範囲よりも大きく 50

することにより、画像が高輝度表示しているように認識されるからである。たとえば、点灯率35%でduty比を1/1とし、点灯率20%、60%ではduty比を1/2とする制御方式が例示される。

【0938】

また、点灯率に応じて階段状に制御してもよい。階段状とは、たとえば、点灯率0%以上20%以下の場合は、duty比を1/1とし、点灯率20%より大きく60%以下の場合は、duty比を1/2とし、点灯率60%より大きく100%以下の場合は、duty比を1/4とする制御方法を言う。

【0939】

図104に図示するように、赤(R)、緑(G)、青(B)の画素で、duty比カーブを変化させてもよい。図104では、青(B)のduty比の変化の傾きを最も大きくし、緑(G)のduty比の変化の傾きを次に大きくし、赤(R)のduty比の変化の傾きを最も小さくしている。以上のように駆動すれば、RGBのホワイトバランス調整を最適にすることができる。もちろん、1色を一定(点灯率が変化しても変化させない)とし、他の2色を点灯率に応じて変化するように制御してもよい。

【0940】

点灯率とduty比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。また、ホトセンサあるいは温度センサから出力により自動で、duty比、基準電流比などを調整できるように構成することが好ましい。たとえば、周囲温度(パネル温度)が高い場合は、duty比を低下(1/4など)させることにより、パネルに流れ込む消費電流を抑制することができ、パネルの自己発熱が低下し、結果としてパネル温度を低下させることができる。したがって、パネルが熱劣化することを防止できる。

【0941】

早いスピードで明るい画面と暗い画面とが交互に繰り返す時、変化に応じてduty比、基準電流などを変化させるとフリッカが発生する。したがって、あるduty比から他のduty比などに変化する時は、図98に図示するように、ヒステリシス(時間遅延)を設けて変化させることが好ましい。たとえば、ヒステリシス期間を1secとすると、1sec期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のduty比が維持される。つまり、duty比は変化しない。以上の事項は、基準電流制御などにも適用できることは言うまでもない。なお、図98に図示するように変化は、R、G、Bで異ならせても良い。

【0942】

このヒステリシス(時間遅延)時間をWait時間と呼ぶ。また、変化前のduty比を変化前duty比と呼び、変化後のduty比を変化後duty比と呼ぶ。なお、ヒステリシス(時間遅延)と呼ぶが、ヒステリシスには、変化をゆっくりと行う意味も含まれる。たとえば、duty比1/1から1/2に変化させる時、2秒の時間をかけてゆっくりと変化させる例が例示される(ほとんど、制御はこの方式である)。

【0943】

変化前duty比が小さい状態から、他のduty比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前duty比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

【0944】

特に中間調あるいは点灯率が中央値付近では変化はゆっくりと行う。画面が中間調の表示で視感度が高いためと思われる。また、duty比が小さい領域では、変化duty比との差が大きくなる傾向がある。もちろん、duty比の差が大きくなる時は、OEVを用いて制御する。しかし、OEV制御にも限界がある。以上のことから、変化前duty比が小さい時は、Wait時間を長くする必要がある。

【0945】

変化前 *duty* 比が大きい状態から、他の *duty* 比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前 *duty* 比が大きい状態は、画面のデータ和が大きい状態あるいは画面に白表示部が多い状態である。したがって、画面全体が白表示で視感度が低いと思われる。以上のことから、変化前 *duty* 比が大きい時は、*Wait* 時間は短くてよい。

【0946】

以上の関係を図98に図示する。横軸は変化前 *duty* 比である。縦軸は *Wait* 時間（秒）である。*duty* 比が $1/16$ 以下では、*Wait* 時間を3秒（sec）と長くしている。たとえば、B（青）では *duty* 比が $1/16$ 以上 *duty* 比 $8/16 (= 1/2)$ 以下では、*duty* 比に応じて *Wait* 時間を3秒から2秒に変化させる。*duty* 比 $8/16$ 以上 *duty* 比 $16/16 (= 1/1)$ 以下では、*duty* 比に応じて2秒から0秒近傍に変化させる。

【0947】

以上のように、本発明の *duty* 比制御は *duty* 比に応じて *Wait* 時間を変化させる。*duty* 比が小さい時は *Wait* 時間を長くし、*duty* 比が大きい時は *Wait* 時間を短くする。つまり、少なくとも *duty* 比を可変する駆動方法にあって、第1の変化前の *duty* 比が第2の変化前の *duty* 比よりも小さく、第1の変化前 *duty* 比の *Wait* 時間が、第2の変化前 *duty* 比の *Wait* 時間よりも長く設定することを特徴とするものである。

【0948】

なお、以上の実施例では、変化前 *duty* 比を基準にして *Wait* 時間を制御あるいは規定するとした。しかし、変化前 *duty* 比と変化後 *duty* 比との差はわずかである。したがって、前述の実施例において変化前 *duty* 比を変化後 *duty* 比と読み替えても良い。

【0949】

また、以上の実施例において、変化前 *duty* 比と変化後 *duty* 比を基準にして説明した。変化前 *duty* 比と変化後 *duty* 比との差が大きい時は *Wait* 時間を長く取る必要があることはいうまでもない。また、*duty* 比の差が大きい時は、中間状態の *duty* 比を経由して変化後 *duty* 比に変化させることが良好であることは言うまでもない。

【0950】

本発明の *duty* 比制御方法は、変化前 *duty* 比と変化後 *duty* 比との差が大きい時は *Wait* 時間を長く取る駆動方法である。つまり、*duty* 比の差に応じて *Wait* 時間を変化させる駆動方法である。また、*duty* 比の差が大きい時に *Wait* 時間を長く取る駆動方法である。なお、先にも説明したように *Wait* 時間あるいはヒステリシスとは、ゆっくりと変化させる意味である。もちろん、広義には、変化を開始するのを遅延させるという意味もあることは言うまでもない。

【0951】

また、本発明の *duty* 比の方法は、*duty* 比の差が大きい時は、中間状態の *duty* 比を経由して変化後 *duty* 比に変化させることを特徴とする駆動方法である。

【0952】

以上の実施例では、*duty* 比に対する *Wait* 時間を、R（赤）G（緑）B（青）で異ならせるとして説明した。しかし、本発明は、R、G、Bで *Wait* 時間を変化させてもよいことは言うまでもない。RGBで視感度が異なるからである。視感度にあわせて *Wait* 時間を設定することにより、より良好な画像表示を実現できる。

【0953】

以上の実施例は、*duty* 比制御に関する実施例であった。基準電流制御についても *Wait* 時間を設定することが好ましい。

【0954】

以上のように本発明の駆動方法では、*duty* 比、基準電流は急激に変化させない。急

激に変化させると変化状態がフリッカとして認識されてしまうからである。通常、0.2秒以上10秒以下の遅延時間で変化させる。以上の事項は、後に説明するアノード電圧の変化制御、プリチャージ電圧の変化制御、周囲温度による変化制御（パネル温度により、*d u t y*比、基準電流を変化させる）などにも適用できることは言うまでもない。

【0955】

基準電流が小さい時は表示画面144が暗く、基準電流が大きい時は表示画面144が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、*W a i t*時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、*W a i t*時間が短くても良い。

【0956】

以上のような、*d u t y*比制御は、1フレームあるいは1フィールドで完結する必要はない。数フィールド（数フレーム）の期間で*d u t y*比制御を行っても良い。この場合の*d u t y*比は数フィールド（数フレーム）の平均値を*d u t y*比とする。なお、数フィールド（数フレーム）で*d u t y*比制御を行う場合であっても、数フィールド（数フレーム）期間は、6フィールド（6フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、2.5フレーム（2.5フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

【0957】

なお、以上の事項は、図1の画素構成のEL表示パネルあるいはEL表示装置だけではなく、図2、図7、図8、図9、図11、図12、図13、図28、図31、図36などの他の画素構成のEL表示パネルあるいはEL表示装置にも適用できることは言うまでもない。

【0958】

動画と静止画とでは、*d u t y*比パターンを変化させる。*d u t y*比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画の*d u t y*比と静止画の*d u t y*比との差異によって発生する。動画では非表示領域192を一括して挿入する*d u t y*比パターンを用いる。静止画では非表示領域192を分散して挿入する*d u t y*比パターンを用いる。非表示領域192の面積／画面面積144の比率が*d u t y*比となる。しかし、同一*d u t y*比であっても、非表示領域192の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

【0959】

中間動画は、非表示領域192の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域192が3分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

【0960】

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、表示画面144が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示の*d u t y*比状態から、中間動画表示1の*d u t y*比状態に移行し、さらに中間動画表示2の*d u t y*比状態に移行してから静止画表示の*d u t y*比状態に移行させてもよい。

【 0 9 6 1 】

動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はWait時間をおくことが好ましい。また、静止画から動画あるいは中間動画に移行する時は、非表示領域192の変化がゆっくりとなるようにする。

【 0 9 6 2 】

図16、図75などでプリチャージ駆動について説明をした。プリチャージ電圧の印加は点灯率あるいはduty比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。

10

【 0 9 6 3 】

プリチャージ駆動は、特に電流駆動方式において、白表示部の下のクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。点灯率で示せば、点灯率が小さい領域でプリチャージが必要である。表示画面144全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。

【 0 9 6 4 】

本発明は点灯率が高い（表示画面144において全体的に白表示部分が多い）時に、duty比を小さくする。つまり、duty比 $1/n$ の n を大きくする。点灯率が低い（表示画面144の全体的に黒表示部分が多い）時に、duty比を大きくする。つまり、duty比 $1/1$ に近づく。したがって、duty比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からduty比制御を行うのであるから当然である。また、点灯率はプリチャージ制御とも関係がある。

20

【 0 9 6 5 】

図105（a）に図示するように、duty比と点灯率（％）の関係があるとする。図105（b）はプリチャージのオンオフ状態を示している。図105（b）では、duty比が20％以下でプリチャージ駆動するように設定している。ただし、プリチャージ駆動するとしても、本発明のプリチャージ駆動には、a11プリチャージモード、適応型プリチャージモード、0階調プリチャージモード、選択階調プリチャージモードがある。したがって、図105（b）ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、duty比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることである。

30

【 0 9 6 6 】

duty比あるいは点灯率（％）とガンマ制御も相関がある。図106はその説明図である。点灯率が高い画像では、全体的に輝度が高い画像が多い。そのため、画像が白っぽくなる。そのため、ガンマ定数の係数（通常、係数は2.2とされている）を大きくして、黒階調領域の面積を多くすることが好ましい。黒階調領域の面積を多くすることにより画像のメリハリ感がつく。

40

【 0 9 6 7 】

点灯率に対するduty比を図107であるとする。図107の制御では、表示画像の点灯率が100％に近いとduty比をほぼ $1/4$ にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になってしまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。

【 0 9 6 8 】

以上のことから、本発明では、点灯率あるいはduty比に応じて、ガンマカーブの係数を変化させている。図106はその説明図である。

【 0 9 6 9 】

50

本発明は点灯率が高い（表示画面144の全体的に白表示部分が多い）時に、 $duty$ 比を小さくする。つまり、 $duty$ 比 $1/n$ の n を大きくする。点灯率が低い（表示画面144の全体的に黒表示部分が多い）時に、 $duty$ 比を大きくする。つまり、 $duty$ 比 $1/1$ に近づく。したがって、 $duty$ 比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率から $duty$ 比制御を行うのであるから当然である。図106（a）に図示するように、 $duty$ 比と点灯率（％）の関係があるとする。図106（b）のグラフは縦軸をガンマカーブの係数を示している。図106（b）では、 $duty$ 比が70％以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

10

【0970】

なお、図108に図示するように、 $duty$ 比が一定以上の小さい領域でガンマ係数を大きくすることも画像表示を改善できる場合がある。以上のように、点灯率（画像のデータ）に対応して、ガンマカーブを変化させることにより、メリハリのある画像表示を実現できる。

【0971】

$duty$ 比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、 EL は電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスタ表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

20

【0972】

本発明では、点灯率が高いときに、 $duty$ 比制御の $1/n$ の n を大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、 $duty$ 比を $1/1=1$ または $1/1$ に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

【0973】

まず、点灯率（点灯率）と $duty$ 比の関係を図107に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、 EL 表示パネルでは B の発光効率が悪いので、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データとは単純な映像データの加算値ではなく、映像データを消費電流に換算したものである。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

30

【0974】

図107は点灯率0％の時に、 $duty$ 比を $1/1$ とし、点灯率100％の時に最低 $duty$ 比を $1/4$ とした例である。図109は、電力と点灯率との掛算をした結果である。図107で点灯率が0から100％まで、絶えず $duty$ 比 $1/1$ であれば、図109のaで示すカーブとなる。図109の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブaでは、点灯率と消費電力は比例関係にある。したがって、点灯率0％で消費電力は0（電力比0）であり、点灯率100％では、消費電力100（電力比100％）となる。

40

【0975】

図109のカーブbは、図107の $duty$ 比カーブで電力制限を実施した実施例である。点灯率100％の時の $duty$ 比は $1/4$ であるから、カーブaに比較して、電力比は $1/4$ の25％になる。カーブbは電力 $1/3$ よりも小さい範囲で動作している。したがって、図107のように $duty$ 比制御を実施すると、電源容量は、従来（カーブa）に比較して $1/3$ で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。

【0976】

50

また、従来（カーブ a）で点灯率が高い状態がつづくパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、duty 比制御を実施した本発明ではカーブ b でわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

【0977】

なお、図 107 の duty 比カーブにおいて、最低 duty 比を $1/2$ にした実施例がカーブ c である。また、最低 duty 比を $1/3$ にした実施例がカーブ d である。同様に最低 duty 比を $1/8$ にした実施例がカーブ e である。

【0978】

図 107 は duty 比カーブを直線にしたものがあった。しかし、duty 比カーブは、10
多種多様な直線あるいは曲線で発生させることができる。たとえば、図 110 (a1) は、電力比が 30% 以下となるようにする（図 110 (a2) を参照のこと）duty 比制御カーブである。図 110 (b1) は電力比が 20% 以下となるようにする（図 110 (b2) を参照のこと）duty 比制御カーブである。以上のように duty 比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。

【0979】

duty 比制御カーブは、ユーザーが外部環境に応じてボタンで自由に、図 110 (a)、(b) を切り換えるようにする。明るい外部環境では、図 110 (a1) の duty 比カーブを選択し、外部環境が暗いときは、図 110 (b1) の duty 比カーブを選択 20
するようにする。また、duty 比制御カーブは自由に変更できるように構成しておくことが好ましい。

【0980】

以上の実施例では、基準電流が 1 の時を基準にして説明し、また、duty 比の最大は $1/1$ であるとして説明をした。しかし、本発明はこれに限定するものではない。たとえば、図 111 に図示するように、基準電流は、 $1/2$ を中心として 1 あるいは $1/3$ などに変化させてもよい。また、最大を 0.5 としてもよい。duty 比も 0.25 を中心として 0.5 やそれ以下に変化させてもよい。また、最大を 0.5 としてもよい。

【0981】

また、図 112 に図示するように、基準電流の最小値を 1 とし、最大値を 3 とし、複 30
数の値に変化させて用いても良い。また、duty 比も図 113 に図示するように、点灯率の 80% で最低とし、100% あるいは 60% で大きくするように制御してもよいことはいうまでもない。

【0982】

図 114 に図示するように、基準電流は、2 を中心として 3 あるいは 1 などに変化させてもよい。また、最大を 3 としてもよい。duty 比も 0.5 を最大として、0.25 などに変化させてもよいことは言うまでもない。図 115 においても同様である。

【0983】

また、図 116 に図示するように、低点灯率領域（図 116 では点灯率 20% 以下）で duty 比を低下させ（図 116 (a)）、duty 比の低下にあわせて、基準電流比を上昇させ（図 116 (b)）てもよい。以上のように duty 比制御と基準電流比制御を 40
同時に行うことにより、図 116 (c) で図示するように輝度の変化はなくなる。

【0984】

図 116 において、点灯率が高い領域（図 116 では 40% 以上）では、duty 比は低下させるが、基準電流比は 1 のまま一定とする。したがって、輝度は duty 比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、duty 比の最大を $1/1$ とする駆動方法では、非表示領域 192 は一括して挿入することが好ましい。

【0985】

本発明において、プリチャージ駆動方法について説明した。また、点灯率の概念に関し 50

ても説明を行った。プリチャージ電圧は、点灯率によって変化させることも有効である。なお、点灯率とは、*duty*比制御を行っていない場合は、消費電流と同義である。つまり、点灯率は、画像データの加算により導出される。電流駆動の場合は、画像データと消費電力は比例し、画像データから点灯率が導出されるからである。

【0986】

プリチャージ駆動は、電圧駆動と類似する。ソース信号線18に電圧を印加し、駆動用トランジスタ11aのゲート電圧にプリチャージ電圧を印加することにより、駆動用トランジスタ11aがEL素子15に電流を流さないようにするものだからである。したがって、プリチャージ電圧の基準原点は、アノード電位 (*V_{dd}*) である。もちろん、駆動用トランジスタがNチャンネルの場合は、プリチャージ電圧の原点はカソードである。本明細書では、説明を容易にするため、図1に図示するように駆動用トランジスタ11aはPチャンネルとして説明する。

【0987】

アノード電位が変化するとプリチャージ電圧を変化させる必要がある。アノード電位 (*V_{dd}*) は変化しないように、アノード配線2155を低抵抗値化する。しかし、点灯率が高い場合は、アノード配線 (端子) に流れる電流量が多いため、電圧降下が発生する。電圧降下は消費電流に比例する。したがって、アノード電圧の電圧降下は点灯率に比例する。

【0988】

以上のことから、プリチャージ電圧は点灯率に相関して変化させることが好ましい。または、アノード端子に流れる電流 (もしくは、EL表示パネルに流れる電流) に対応して、プリチャージ電圧を変化させることが好ましい。

【0989】

本発明のソースドライバ回路は、図75に図示するように、電子ポリウム501を具備している。したがって、電子ポリウム501を制御することにより、容易にプリチャージ電圧を変化させることができる。なお、電子ポリウム501による制御だけでなく、ソースドライバIC (回路) 14の外部のDA回路などでプリチャージ電圧を発生させて印加してもよいことはいうまでもない。

【0990】

アノード端子で発生する降下電圧は、以下の処理により把握できる。まず、アノード電圧の発生源から各画素までの抵抗値は設計した段階でわかっている。抵抗値はアノード配線 (アノード端子から画素16の駆動用トランジスタ11aまでの抵抗) の金属薄膜のシート抵抗値から決定されるからである。アノード端子に流れる消費電流は映像データの処理によりわかる。電流駆動方式では映像データの総和を求めればよい。以上のことは、図85、図88、図98、図103、図205、図107、図109などで*duty*比の導出、データと、点灯率 (= 点灯率) などとして説明した。アノードに流れる電流が容易に導出できるのは電流プログラム方式の大きな特徴である。

【0991】

したがって、アノード配線の抵抗値と、アノード配線に流れる電流 (パネルの消費電流) がわかれば、アノード端子に発生する電圧降下がわかることになる。消費電流は1フレームの画像データ処理によりリアルタイムで導出される。したがって、画素16でのアノード端子の電圧降下もリアルタイムで決定される。

【0992】

以上のことから、リアルタイムで画素16でのアノード電圧 (電圧降下を考慮して) を導出し、この電圧降下分を考慮してプリチャージ電圧を決定する。なお、プリチャージ電圧の決定はリアルタイムで行うことに限定されるものではない。間欠的に行っても良いことはいうまでもない。なお、*duty*比制御を行う場合は、*duty*比によりアノードに流れる電流が変化する。したがって、*duty*比制御による消費電流を加味する必要がある。*duty*比が1/1の場合は、点灯率は消費電流 (電力) と同一である。

【0993】

また、本発明では、基準電流比（あるいは基準電流の大きさ）を小さくする（たとえば、基準電流比 4 から 1 に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素 16 の EL 素子 15 に流れる電流を少なくなるように制御することと同義あるいは類似である。同様に、duty 比（あるいは duty の大きさ）を小さくする（たとえば、duty 比 1 / 1 から 1 / 4 に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素 16 の EL 素子 15 に流れる電流を少なくなるように制御することと同義あるいは類似である。

【0994】

したがって、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素 16 の EL 素子 15 に流れる電流が減少するように制御するあるいは増加するように制御することは、ゲートドライバ回路（IC）12 を制御すること（たとえば、図 14 のスタート信号（ST）を制御すること）により実現できる。あるいはゲートドライバ回路 12 がゲート信号線 17b（EL 素子 15 に流れる電流を制御する信号線あるいは制御手段）の制御状態（選択するゲート信号線 17 の本数）を変更あるいは調整あるいは動作させることにより容易に実現できる。また、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素 16 の EL 素子 15 に流れる電流が減少するように制御するあるいは増加するように制御することは、ソースドライバ回路（IC）14 を制御すること（たとえば、図 46、図 50、図 60 などの基準電流 I_c を制御すること）により実現できる。あるいはアノード電圧 V_{dd} を変化あるいは制御しても実現できる。

【0995】

本明細書では説明を容易にするため、基本的には図 117 などにおいては duty 比を 1 / 1 であるとして説明をする。つまり、点灯率とアノードに流れる電流は比例しているとする。

【0996】

なお、説明でアノード電流と点灯率は比例するとして説明をしている。しかし、図 1 などの画素構成ではアノード端子（駆動用トランジスタ 11a のソース端子）には、ソースドライバ IC に流れ込むプログラム電流も加算されている。したがって、現実には多少異なる。また、アノード配線に流れる電流を中心に説明しているが、カソード配線に流れる電流と置き換えてもよいことは言うまでもない。

【0997】

図 117（a）は、点灯率に応じて画素 16 のアノード電圧が V_{dd} （点灯率 0 %）から V_r （点灯率 100 %）の電圧降下が発生することを図示している。図 117（b）は点灯率に対する端子 155 に出力するプリチャージ電圧を示している。 V_{dd} から D （V）降下した位置に駆動用トランジスタ 11a の立ち上がり位置がある。したがって、 V_d から D （V）降下した電圧が点灯率 0 % のプリチャージ電圧となる。図 117（b）の実線は、図 117（a）のアノード端子の電圧降下 V_r （V）をそのまま用いたものである。したがって、点灯率 100 % のプリチャージ電圧は $V_{dd} - D - V_r$ である。

【0998】

図 117（b）の点線は、点灯率 40 % 以上と以下でプリチャージ電圧を変化させたものである。点灯率 40 % まではプリチャージ電圧は $V_{dd} - D$ （V）とし、40 % 以上ではプリチャージ電圧は $V_{dd} - D - V_r$ （V）としている。点線のように制御することにより、プリチャージ電圧の導出回路が簡単になる。

【0999】

アノード電圧 V_{dd} は、プログラム電流 I_w の大きさに左右される。図 1 の画素構成を例示して説明する。図 118（a）に図示するように、電流プログラム時は、プログラム電流 I_w は駆動用トランジスタ 11a からソース信号線 18 に流れ込む。プログラム電流 I_w が大きい時は、駆動用トランジスタ 11a のチャンネル間電圧が大きくなる。図 118（b）は図 118（a）をグラフ化したものである。チャンネル間電圧 V_1 （実際には横軸の 0 が V_{dd} 電圧である）の時には、プログラム電流 I_1 が流れる。チャンネル間電

圧 V_2 (実際には横軸の 0 が V_{dd} 電圧である) の時には、プログラム電流 I_2 が流れる。大きなプログラム電流 I_w を流すためには、アノード電圧 V_{dd} を高くする必要がある。

【1000】

以上の実施例は、プログラム電流 I_w が大きくなるとアノード電圧 V_{dd} を大きくする必要があるとしたが、逆に、プログラム電流 I_w が小さい時は、アノード電圧 V_{dd} は低くてよいということを意味する。アノード電圧 V_{dd} が低くなればパネルの消費電力を減少させることができ、駆動用トランジスタ 11a で消費される電力も減少させることができるので発熱を減少でき、EL 素子 15 の寿命も長くすることができる。

【1001】

プログラム電流 I_w は、基準電流の変化によっても変化する。基準電流 I_c が増加すれば、相対的にプログラム電流 I_w も大きくなる (画面の階調データが一定の場合、つまりラスタ画面で論じている)。基準電流 I_c が減少すれば、相対的にプログラム電流 I_w も小さくなる。ここでは説明を容易にするため、プログラム電流 I_w の増大または減少は、基準電流 I_c の増大または減少と同義であるとして説明をする。

【1002】

図 119 は、本発明の電源回路の構成図である。 V_{in} は本体の電池 (図示せず) からのアンレギュレータ電圧である。DCDC コンバータ 1191a は GND 電圧を基準とし、 V_{in} 電圧から昇圧してアノード電圧 V_{dd} を発生する。なお、説明を容易にするため、ソースドライバ IC の電源電圧 V_s とアノード電圧 V_{dd} とは同一であるとし説明をする。 $V_{dd} = V_s$ とすることにより、電源数が減少し、回路構成が容易となる。また、ソースドライバ IC に過電圧が印加されることがなくなる。DCDC コンバータ 1191b は GND 電圧を基準とし、 V_{in} 電圧から昇圧して基底電圧 V_{dw} を発生する。

【1003】

レギュレータ 1193 は、 V_{dd} 電圧を接地電圧として、 V_{dw} 電圧と V_{dd} 電圧からカソード電圧 V_{ss} を発生させる。以上の構成により、もし、 V_{dd} 電圧が上昇すれば、 V_{ss} 電圧も比例して上昇する。

【1004】

図 1 でも理解できるが、駆動用トランジスタ 11a で定電流 I_w が発生させられ、EL 素子 15 にプログラム電流 I_w が流れる。したがって、消費電力は、 V_{dd} と V_{ss} の電位差である。図 119 の構成では、 V_{dd} 電圧のシフトにより、 V_{ss} 電圧も同一方向にシフトする。したがって、アノード電圧が変化しても、EL 素子 15 + 駆動用トランジスタ 11a 間に印加される電圧は一定である。

【1005】

図 118 で説明したようにアノード電圧は、プログラム電流 I_w (基準電流 I_c) が大きくなると高くする必要がある。GND 電位が固定のためである。なお、アノード電圧の変化と同時に IC 電圧の V_s も変化させる ($V_{dd} = V_s$)。 $V_{dd} - V_{ss}$ が一定電圧で、 V_{dd} が高くなれば、EL 素子 15 に印加される電圧が小さくなる。したがって、EL 素子 15 は飽和領域で動作しなくなる。しかし、 I_w (I_c) が大きくしなければならぬ領域は、低点灯率の領域で、画素は高輝度制御が行われている。したがって、低点灯率で、かつ、高輝度表示の画素 16 の輝度が低下しても画像表示に影響はほとんどない。利点とする消費電力の方が大きい。

【1006】

なお、 $V_{dd} = V_s$ でない場合は、図 120 に図示するように、アノード電圧 V_{dd} と GND 間に抵抗 (R_1 、 R_2) 分割により発生させればよい。 V_s 電圧は、IC 内部でプリチャージ電圧の発生用として使用するためである。プリチャージ電圧は V_{dd} を基準とするため、 V_s と V_{dd} は連動している必要がある。なお、図 120 に図示するように、電解コンデンサ C を挿入する。

【1007】

図 121 はゲートオフ電圧 (V_{gh})、ゲートオン電圧 (V_{gl}) との関係を図示した

ものである（図180とその説明も参照のこと）。図121（a）は、アノード電圧 V_{dd} よりも V_{gh} 電圧を大きくしている。 V_{gl} 電圧は、 V_{ss} 電圧よりも高くしている。図121（b）は、アノード電圧 V_{dd} をシフトさせ、基準の電圧 V_{dd} よりも高くした状態である（電圧 V_{dd1} で示している）。図121（b）では、 V_{gh} 電圧は V_{dd} の変化と連動して高くしている。 V_{gl} 電圧は、図121（a）から変化させていない。

【1008】

図121（b）は、アノード電圧 V_{dd} をシフトさせ、基準の電圧 V_{dd} よりも高くした状態である（電圧 V_{dd1} で示している）。図121（b）では、 V_{gh} 電圧は、 V_{dd} の変化と連動させていない。 V_{gl} 電圧は、図121（a）から変化させていない。以上のように、ゲート信号線電圧 V_{gh} 、 V_{gl} 電圧はいずれでも良い。

10

【1009】

なお、アノード電圧 V_{dd} とIC（回路）14の電源電圧 V_s （もしくは基準電圧）は同一にすることが好ましい。また、図75に図示するようにプリチャージ電圧を発生させる電子ポリウム501の基準電圧 V_s もアノード電圧 V_{dd} にすることが好ましい。つまり、プリチャージを発生する回路電源電圧とIC（回路）14の電源電圧（基準電圧） V_s とアノード電圧 V_{dd} は略一致させる。なお、略一致とは、 ± 0.2 （V）以内の範囲を意味する。もちろん、完全に一致させることが好ましいことは言うまでもない。

【1010】

プリチャージ電圧を発生させる電子ポリウム501の基準電圧 V_s 、アノード電圧 V_{dd} 、回路（IC）14の電源電圧 V_s は連動させる。たとえば、アノード電圧 V_{dd} が上昇すれば、プリチャージ電圧を発生させる電子ポリウム501の基準電圧 V_s も上昇させる。また、回路（IC）14の電源電圧も上昇させる。逆に、アノード電圧 V_{dd} が降下すれば、プリチャージ電圧を発生させる電子ポリウム501の基準電圧 V_s も降下させる。また、回路（IC）14の電源電圧も降下させる。

20

【1011】

以上のように連動させるのは、プリチャージ電圧は、駆動用トランジスタ11aの V_{dd} （つまり、駆動用トランジスタ11aのソース端子電位）を基準にして発生させることが好ましいからである。つまり、アノード電圧 V_{dd} が上昇すれば、プリチャージ電圧も連動して上昇させることが好ましい。したがって、電子ポリウム501の基準電圧（IC（回路）14の電源電圧） V_s も上昇させる。一方で、電子ポリウム501はソースドライバ回路（IC）14内に内蔵させているため、当然のことながら電子ポリウム501はICの電源電圧（耐圧）を超えることができない。実際には、ソースドライバ回路（IC）14から出力できるプリチャージ電圧は、IC（回路）14の電源電圧 -0.2 （V）程度となる。したがって、プリチャージ電圧が上昇すれば、IC（回路）14の電源電圧も上昇させなければIC（回路）14から目標のプリチャージ電圧を出力することができない。

30

【1012】

プリチャージ電圧は図75に図示するように電子ポリウム501などのデジタル可変（IC外部からの可変）構成にしているため、アノード電圧 V_{dd} の変化（たとえば、図123、図125、図124などを参照のこと）を検出し、電子ポリウム501のスイッチSを変更することにより、プリチャージ電圧を変更することができる。したがって、図75の構成は本発明のIC（回路）14として特長ある構成である。なお、プリチャージ電圧は、IC（回路）14の外部で発生させて、IC（回路）14を介してソース信号線18などに印加してもよい。なお、この場合も、プリチャージ電圧の最大値よりもIC（回路）14の電源電圧 V_s は 0.2 （V）高くしておく必要がある。

40

【1013】

以上の実施例では、プリチャージ電圧について説明したが、プリチャージ電圧に限定するものではなく、図228などで説明するリセット電圧についても適用できることは言うまでもない。

【1014】

50

また、アノード電圧 V_{dd} とドライバ IC (回路) 14 の電源電圧などを連動させるとしたが、図 10、図 9 などに図示するように駆動用トランジスタ 11a が N チャンネルの場合は、カソード電圧 V_{ss} が基準となる。したがって、プリチャージ電圧を発生させる電子ポリウム 501 の基準電圧 V_s 、カソード電圧 V_{ss} 、回路 (IC) 14 の電源電圧 V_s (もしくは GND レベル) は連動させる必要があることは言うまでもない。したがって、以上に説明した内容を置き換えればよい。

【1015】

以上の事項は本発明の他の実施例である表示パネル、表示装置、駆動方式などにも適用できることは言うまでもない。

【1016】

図 122 は、一例としての点灯率とアノード電圧の関係を示したものである。なお、 $V_{dd} + 2$ 、 $V_{dd} + 4$ は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。

【1017】

図 122 において、点灯率が 25% 以下で基準電流 (プログラム電流) を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率 75% 以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【1018】

図 123 において、点灯率に応じて基準電流 (プログラム電流) を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【1019】

なお、図 119 から図 123 では、基準電流 (プログラム電流) の変化によりアノード電圧を変化させるとした。しかし、これは、駆動用トランジスタ 11a が P チャンネルの場合であって、N チャンネルの場合は、カソード電圧を変化させることは言うまでもない。

【1020】

なお、プログラム電流の大きさ (基準電流の大きさ) に対するアノード電圧は、図 124 に図示するように変化させてもよい。図 124 の実線 a は、プログラム電流 (基準電流) に比例させてアノード電圧を変化させた例である。図 124 の点線 b は、所定のプログラム電流 (基準電流) 以上の時に、アノード電圧を変化させた実施例である。点線 b では、基準電流に対するアノード電圧の変化点は 1 点であるので回路構成が容易となる。

図 119、図 120 において、DCDC コンバータあるいはレギュレータの代りに、トランス (単巻きトランス、複巻きトランス) あるいはコイルを用いて昇圧回路などを形成あるいは構成してもよいことは言うまでもない。

【1021】

以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線 18 の電位を変化させることと同義である。図 1 などの駆動用トランジスタ 11a が P チャンネルの場合は、プログラム電流 I_w あるいは基準電流を増加させることは、ソース信号線 18 の電位を低くすることである (GND 電位に近くなる)。逆に、プログラム電流 I_w あるいは基準電流を小さくすることは、ソース信号線 18 の電位を高くすることである (アノード V_{dd} に近くなる)。

【1022】

以上のことから、図 125 に図示するように、制御を行っても良い。つまり、ソース信号線 18 の電位が 0 (GND) 電位の時に、アノード電圧を最も高くする (基準電流およびプログラム電流が最大値)。ソース信号線 18 の電位が V_{dd} 電位の時に、アノード電圧を最も低くする (基準電流およびプログラム電流が最小値)。以上のように構成あるいは制御することにより、EL 素子 15 に高電圧が印加される期間を短くすることができ、EL 素子 15 を長寿命化できる。

10

20

30

40

50

【 1 0 2 3 】

本発明のプリチャージ駆動では所定電圧をソース信号線 1 8 に印加する。また、ソースドライバ I C はプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線 1 8 に出力するプリチャージ電圧はプログラム電圧となる。ソースドライバ I C 内にこのプリチャージ電圧のプログラム電圧回路 1 2 7 1 を導入した回路構成が図 1 2 7 である。

【 1 0 2 4 】

なお、図 1 2 7 は 1 つのソース信号線 1 8 に対応する 1 出力回路ブロック図である。電流階調回路 1 6 4 と、プリチャージで階調出力をだす電圧階調回路 1 2 7 1 が構成される。電流階調回路 1 6 4 と電圧階調回路 1 2 7 1 には映像データが印加される。電圧階調回路 1 2 7 1 の出力はスイッチ 1 5 1 のオンオフによりソース信号線 1 8 へ出力する端子 1 5 5 に印加される。スイッチ 1 5 1 はプリチャージイネーブル（プリチャージ E N B L）信号と、プリチャージ信号（プリチャージ S I G）で制御される。スイッチ 1 5 1 はプリチャージイネーブル（プリチャージ E N B L）信号が H レベルで、かつ、プリチャージ信号（プリチャージ S I G）が H レベルの時閉じるように制御される。

【 1 0 2 5 】

電圧階調回路 1 2 7 1 は、サンプルホールド回路、D A 回路などで構成される。デジタルの映像データに基づいて、D A 回路により電圧変換される。この変換された電圧は、サンプルホールド回路によりサンプルホールドされ、オペアンプを介してスイッチ 1 5 1 の一端に印加される。なお、D A 回路は電圧階調回路 1 2 7 1 ごとに構成または形成する必要がなく、外部に D A 回路を構成し、この D A 回路の出力を電圧階調回路 1 2 7 1 内でサンプルホールドしてもよい。

【 1 0 2 6 】

電圧階調回路 1 2 7 1 の出力は、図 1 2 8 に図示するように、1 H の最初に印加される（記号 A で示す）。その後、電流出力回路 1 6 4 によりソース信号線にプログラム電流が供給される（記号 B で示す）。つまり、電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタは目的電流に近い値まで、高速に設定される。その後、電流のより駆動用トランジスタのバラツキを補償する目的電流まで設定される。電圧信号が印加される A 期間は、1 H の $1/100$ 以上 $1/5$ 以下の期間が好ましい。または、 $0.2 \mu s e c$ 以上 $10 \mu s e c$ 以下の期間に設定することが好ましい。したがって、A 期間以外が B 期間の電流印加期間である。A 期間が短いとソース信号線 1 8 の電荷の充放電が十分に行われなため、書き込み不足が発生する。一方、長すぎると電流印加期間（B）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ 1 1 a の電流補正不足となる。

【 1 0 2 7 】

電圧印加期間（A 期間）は、1 H の最初から実施することが好ましいが、これに限定されない。たとえば、1 H の終わりのブランキング期間から開始してもよい。また、1 H の途中に A 期間を実施してもよい。つまり、1 H のいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、1 H の最初から $1/4 H$ （ $0.25 H$ ）の期間内に実施することが好ましい。

【 1 0 2 8 】

図 1 2 8 の実施例では、電圧プリチャージ（A）の期間後、電流を印加（B 期間）するとしたが、これに限定するものではない。たとえば、図 1 2 9（a）に図示するように、1 H の期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（* A）期間としてもよい。

【 1 0 2 9 】

図 1 2 9（a）の * A の期間は、1 H の期間が電圧プログラムを実施している。* A の期間は、低階調の領域である。低階調の領域で電流プログラムを実施してもプログラムされる電流が微小のため、ソース信号線 1 8 の寄生容量の影響により、ソース信号線 1 8 の電位変更を実施することができない。つまり、T F T 1 1 a（駆動用トランジスタ）の特

10

20

30

40

50

性補償を行うことができない。また、電流プログラム方式では、プログラム電流 I と輝度 B とが線形の関係にある。そのため、低階調領域で 1 階調に対する輝度変化が大きすぎる。したがって、低階調領域で階調飛びが発生しやすい。

【 1 0 3 0 】

この課題に対して本発明では、図 1 2 9 (a) に図示するように、低階調領域で 1 H の期間にわたり電圧プログラムを実施している (* A で図示している) 。低階調領域における領域で電圧プログラムの電圧ステップきざみを小さくしている。画素 1 6 の T F T 1 1 a に印加する電圧を一定ステップにすると、T F T 1 1 a の E L 素子 1 5 への出力電流は概略 2 乗特性となる。したがって、印加電圧に対する輝度 B (輝度 B は E L 素子 1 5 への出力電流に比例する) は、人間の視感度は直線的となる (人間の視感度は、2 乗特性の時 10 に低ステップで変化していると認識するためである) 。

【 1 0 3 1 】

電圧プログラム方式では、T F T 1 1 a の特性補償を良好に実施することができない。しかし、低階調領域では、表示画面 1 4 4 の表示輝度が低いため、特性補償不足による表示ムラが発生しても視覚的に認識されることはない。一方で、電圧プログラム方式では、ソース信号線 1 8 の充放電を良好に実施することができる。そのため、低階調領域でも十分にソース信号線 1 8 の充放電を実施でき、適正な階調表示を実現できる。

【 1 0 3 2 】

図 1 2 9 (a) でも理解できるように、ソース信号線 1 8 の電位がアノード電位 (V d d) に近い場合に、1 H の期間のすべてに (大半に) 電圧が印加される。ソース信号線 1 8 の電位が 0 (V) に近くなると、電圧プログラム (A 期間) と電流プログラム (B) が 1 H の期間内に実施される。なお、ソース信号線 1 8 の電位が 0 (V) に近い場合 (高階調領域) では、1 H の期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【 1 0 3 3 】

図 1 2 9 (a) の * A 以外の期間は、1 H の一定期間 (A で示す) に電圧プログラムによる電圧をソース信号線 1 8 に印加し、その後、B の期間に電流プログラムによる電流を印加している。以上のように A 期間の電圧の印加により画素 1 6 の T F T 1 1 a のゲート電位に所定電圧を印加し、おおよそ E L 素子 1 5 に流す電流が所望値になるようにしている。その後、B 期間のプログラム電流により、E L 素子 1 5 に流れる電流が所定値となるようにしている。* A 期間は、1 H 期間の全般にわたり電圧プログラムが実施されている (電圧が印加されている) 。

【 1 0 3 4 】

図 1 2 9 (a) は、画素 1 6 の T F T 1 1 a (駆動用トランジスタ) が P チャンネルの場合のソース信号線 1 8 への印加信号波形である。しかし、本発明はこれに限定するものではない。画素 1 6 の T F T 1 1 a が N チャンネルであってもよい (たとえば、図 1 を参照のこと) 。この場合は、図 1 2 9 (b) に図示するように、ソース信号線 1 8 の電位が 0 (V) に近い場合に、1 H の期間のすべてに (大半に) 電圧が印加される。ソース信号線 1 8 の電位がアノード電圧 (V d d) に近くなると、電圧プログラム (A 期間) と電流プログラム (B) が 1 H の期間に実施される。

【 1 0 3 5 】

なお、ソース信号線 1 8 の電位が V d d に近い場合 (高階調領域) では、1 H の期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【 1 0 3 6 】

本発明では、駆動用トランジスタ 1 1 a は P チャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ 1 1 a は N チャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ 1 1 a が P チャンネルトランジスタであるとして説明を行うだけである。

【 1 0 3 7 】

図 1 2 8 、図 1 2 9 などの本発明の実施例では、主として低階調領域は電圧プログラム 50

が主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、1 H 最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧の種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【 1 0 3 8 】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である（図 1 3 0 (b)、図 1 3 1 などを参照のこと）。もちろん、電圧を印加してもよいことは言うまでもない。

【 1 0 3 9 】

図 1 2 7 で電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを端子 1 5 5 でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたが、これに限定するものではない。電流階調回路 1 6 4 からプログラム電流の出力した状態で、スイッチ 1 5 1（図 1 2 7 を参照）をオンして、電圧階調回路 1 2 7 1 の電圧を端子 1 5 5 に印加してもよいことは言うまでもない。

【 1 0 4 0 】

また、スイッチ 1 5 1 を閉じて端子 1 5 5 に電圧を印加した状態で、電流階調回路 1 6 4 からプログラム電流を出力してもよい。電流階調回路 1 6 4 は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【 1 0 4 1 】

また、図 1 3 0 に図示するように、1 H 期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図 1 3 0 において、* A の期間は電圧プログラムが実施された 1 H 期間であり、B の期間は電流プログラムが実施されている 1 H 期間である。主として低階調領域では電圧プログラムが実施され（* A で示す）、中間調以上の領域では電流プログラムが実施される（B で示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【 1 0 4 2 】

図 1 2 7 の本発明の実施例では、電圧階調回路 1 2 7 1 と電流階調回路 1 6 4 には、同一の映像 Data が入力されている。したがって、映像 Data のラッチ回路は電圧階調回路 1 2 7 1 と電流階調回路 1 6 4 と共通でよい。つまり、映像 Data のラッチ回路は電圧階調回路 1 2 7 1 と電流階調回路 1 6 4 とに独立に設ける必要はない。共通の映像 Data ラッチ回路からのデータに基づき、電流階調回路 1 6 4 または／および電圧階調回路 1 2 7 1 がデータを端子 1 5 5 に出力する。

【 1 0 4 3 】

図 1 3 2 は本発明の駆動方法のタイミングチャートである。図 1 3 2 において、(a) の DATA は画像データである。(b) の CLK は回路クロックである。(c) の P c n t l は、プリチャージのコントロール信号である。P c n t l 信号が H レベルの時は、電圧駆動のみモード状態になり、L レベルの時、電流 + 電圧駆動モードになる。(d) の P t c はプリチャージ電圧あるいは電圧階調回路 1 2 7 1 からの出力の切り換え信号である

。P t c 信号がHレベルの時は、プリチャージ電圧などの電圧出力がソース信号線 1 8 に印加される。P t c 信号がLレベルの時は、電流階調回路 1 6 4 からのプログラム電流がソース信号線に出力される。

【 1 0 4 4 】

たとえば、データ D (2) 、 D (3) 、 D (8) の時は、P c n t 1 信号がHレベルであるから、ソース信号線 1 8 に電圧階調回路 1 2 7 1 から電圧が出力される (A 期間) 。 P c n t 1 がLレベルの時は、ソース信号線 1 8 には、まず電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間を A で示し、電流が出力される期間を B で示す。電圧を出力する期間 A は、P t c 信号で制御される。P t c 信号は、図 1 2 7 のスイッチ 1 5 1 のオンオフを制御する信号である。

10

【 1 0 4 5 】

なお、図 1 3 2 において、電圧出力期間 A と電流出力期間 B とを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ 1 5 1 (図 1 2 7 を参照) をオンして、電圧階調回路 1 2 7 1 の電圧を端子 1 5 5 に印加してもよいことは言うまでもない。また、スイッチ 1 5 1 を閉じて端子 1 5 5 に電圧を印加した状態で、電流階調回路 1 6 4 からプログラム電流を出力してもよい。A 期間後にスイッチ 1 5 1 をオープンにする。以上のように、電流階調回路 1 6 4 は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。

【 1 0 4 6 】

図 1 3 3 は P t c 信号の H 期間を変化させることにより、ソース信号線 1 8 に電圧を出力する期間を可変するものである。H 期間は、階調番号などにより変化させる。たとえば、D (7) では、P t c 信号は 1 H の期間 L レベルである。したがって、図 1 2 7 のスイッチ 1 5 1 は 1 H の期間オープン状態である。したがって、1 H 期間には電圧は印加されず、常時電流プログラム状態である。また、D (5) では P t c 期間は他の 1 H 期間よりも長くなっている。したがって、電圧を印加する A 期間は長く設定されている。

20

【 1 0 4 7 】

以上の実施例では、電流駆動状態と電圧駆動状態とを切り換えるものである。しかし、本発明はこれに限定されない。図 1 3 4 の実施例では、P t c 信号はない。したがって、P c n t 1 信号で制御される。そのため、H 期間は電圧駆動が実施され、L 期間は電流駆動が実施される。

30

【 1 0 4 8 】

電圧プログラムは、R G B の E L 素子 1 5 の発光効率により、ソース信号線 1 8 に出力する電圧値を変更する必要がある。図 1 の画素構成を例示すれば、駆動用トランジスタ 1 1 a のゲート端子に印加する電圧 (プログラム電圧) は駆動用トランジスタ 1 1 a が出力する電流により異なるからである。駆動用トランジスタ 1 1 a の出力電流は E L 素子 1 5 の発光効率で異ならせる必要がある。本発明のソースドライバ I C 1 4 を汎用性があるものとするためには、E L 表示パネルの画素サイズが異なっている、あるいは E L 素子 1 5 の発光効率が異なっている、設定あるいは調整により対応する必要がある。

【 1 0 4 9 】

電圧階調回路 1 2 7 1 は、アノード電圧 (V d d) を原点として電圧を出力する。この状態を図 1 3 5 に示す。アノード電圧 (V d d) は駆動用トランジスタ 1 1 a の動作原点である。なお、説明を容易にするため、図 1 に図示するような駆動用トランジスタ 1 1 a が P チャンネルの構成であるとして説明をする。駆動用トランジスタ 1 1 a が N チャンネルの場合も、原点位置が変化するだけであるので説明を省略する。したがって、説明を容易にするため、駆動用トランジスタ 1 1 a は P チャンネルの場合を例にあげて説明をする。

40

【 1 0 5 0 】

図 1 3 5 において、横軸は階調である。本発明では電圧階調回路 1 2 7 1 の出力階調は 2 5 6 (8 ビット) 階調であるとして説明をする。縦軸はソース信号線 1 8 への出力電圧である。図 1 3 5 では、階調番号に比例してソース信号線 1 8 の電位は低くなる。

50

【 1 0 5 1 】

ソース信号線 1 8 の電圧は、駆動用トランジスタ 1 1 a のゲート端子電圧である。駆動用トランジスタ 1 1 a の出力電流は、ゲート端子電圧に非線形で変化する。一般的に図 1 3 5 のようにソース信号線 1 8 に電圧を印加すると、駆動用トランジスタ 1 1 a の出力電流は、印加電圧に対して 2 乗特性で変化する。つまり、図 1 3 5 では階調に対するソース信号線 1 8 の電位は比例しているが、駆動用トランジスタ 1 1 a の出力電流（E L 素子 1 5 に流れる電流）は、ほぼ 2 乗特性となる。

【 1 0 5 2 】

図 1 3 5 の回路構成は、回路構成などが容易である。しかし、E L 素子 1 5 に流れる電流は階調番号に比例しない。駆動用トランジスタ 1 1 a に線形に変化する電圧を印加（図 1 3 5 の実施例の場合など）すると、トランジスタ 1 1 a の 2 乗特性により、出力電流は印加電圧の 2 乗に比例して出力されるからである。したがって、階調番号が小さい時はトランジスタ 1 1 a の出力電流の変化が小さく、階調番号が大きくなるにつれて、急激に大きくなる。したがって、階調番号に対する出力電流の精度が変化する。

【 1 0 5 3 】

この課題を解決する構成が図 1 3 6 である。図 1 3 6 では、階調番号が小さい時には、ソース信号線 1 8 への出力電圧の変化が大きい。また、階調番号が小さくなるほどソース信号線 1 8 への電圧変化割合は大きくなる。一方、階調番号が大きく（2 5 6 番目に近づく）なると、ソース信号線 1 8 への出力電圧の変化が小さくなるように構成している。したがって、階調番号に対するソース信号線出力電流の関係は非線形となる。この非線形特性は、駆動用トランジスタ 1 1 a のゲート端子電圧に対する E L 素子 1 5 への出力電流特性と組合せることにより、線形になるようにしている。つまり、階調番号の変化に対する駆動用トランジスタ 1 1 a の E L 素子 1 5 への出力電流は線形となるように調整している。

【 1 0 5 4 】

電流プログラム方式は、階調番号に対する E L 素子 1 5 に流れる電流は線形の関係にある。図 1 3 6 の構成（方式）は電圧プログラム方式である。図 1 3 6 では電圧プログラム方式であるが、階調番号に対する E L 素子 1 5 に流れる電流は線形の関係である。したがって、図 1 2 7、図 1 2 8 のように電流プログラム方式と電圧プログラム方式とを組み合わせた構成（方式）において、マッチングがよい。

【 1 0 5 5 】

図 1 3 6 は階調番号に対する駆動用トランジスタ 1 1 a の出力電流 I_e がほぼリニアに変化するようにしている。したがって、階調番号に対するソース信号線出力電圧の関係は、階調番号が小さい時は粗く、大きくなるにつれて細かく変化するようにしている。階調番号を K とし、ソース信号線 V_s とした時、変化カーブ式は、図 1 3 6 に図示するようにソース信号線電圧 $V_s = A / (K \cdot K)$ となるようにする。なお、 A は比例定数である。もしくは、ソース信号線電圧 $V_s = A / (B \cdot K \cdot K + C \cdot K + D)$ もしくは $V_s = A / (B \cdot K \cdot K + C)$ となるようにする。なお、 D 、 B 、 C 、 A は定数である。

【 1 0 5 6 】

以上のように、変化カーブ式を構成することにより、変化カーブ式とソース信号線電圧 V_s に対する駆動用トランジスタの出力電流 I_e を掛け合わせた時に、 V_s に対する I_e が線形の関係とすることができる。

【 1 0 5 7 】

図 1 3 6 では、変化カーブ式が曲線となる。そのため、変化カーブを作成することが比較的困難である。この課題に対しては、図 1 3 7 に図示するように複数の直線で変化カーブ式を構成することが適切である。つまり、2 つ以上の傾きの直線で変化カーブを構成する。

【 1 0 5 8 】

図 1 3 6 では、階調番号が小さい範囲では、ソース信号線 1 8 の出力電圧のきざみは大きくし（ A で示す）、階調番号が大きい範囲では、ソース信号線 1 8 の出力電圧のきざみ

は小さくする (Bで示す)。図136の変化カーブでは、階調番号Kに対する駆動用トランジスタ11aの出力電流 I_e は非線形の関係となり、また、複数の非線形の出力を組み合わせたものとなる。しかし、階調番号Kに対する出力電流 I_e の関係は線形に近い範囲が多くなる。したがって、電流プログラム駆動との組み合わせも容易である。

【1059】

図135の実施例では、階調番号が0の時は、ソース信号線18の電位がアノード電位 (V_{dd}) となっていない。駆動用トランジスタ11aは立ち上がり電圧までは出力電流が0またはほぼ0である。この立ち上がり電圧までの範囲がCの領域である。したがって、Cの領域はブランクとなるので、階調番号数が一定の場合、図135などに比較して相対的にソース信号線の出力電圧きざみを細かくすることができる。

10

【1060】

図138の関係 (階調番号0の時、ソース信号線18の電位は原点 (アノード電位) でない関係) と、図136の非直線の関係、図137の複数の関係式を組合せる関係、図135の直線の関係などは、相互に組合せても良いことは言うまでもない。

【1061】

電圧プログラムは、R、G、BのEL素子15の発光効率により、ソース信号線18に出力する電圧値を変更する必要がある。図1の画素構成を例示すれば駆動用トランジスタ11aのゲート端子に印加する電圧 (プログラム電圧) は駆動用トランジスタ11aが出力する電流により異なるからである。駆動用トランジスタ11aの出力電流はEL素子15の発光効率で異ならせる必要がある。本発明のソースドライバIC14を汎用性があるものとするためには、EL表示パネルの画素サイズが異なっている、あるいはEL素子15の発光効率が異なっている、設定あるいは調整により対応する必要がある。

20

【1062】

図131は、電圧駆動において、電圧の基準は V_{dd} であるという点を利用した回路構成である。図135から図138の縦軸である電圧の大きさ V_{dd} を固定して変化させる。したがって、階調番号の範囲 (256階調=256きざみ) を一定とした場合でも、縦軸の電圧の大きさを調整することができ、ソースドライバ回路 (IC) 14を汎用的にすることができる。

【1063】

図131は電子ポリウム501の電圧範囲は、 V_{dd} から V_{bv} である。したがって、オペアンプ502aの出力電圧 V_{ad} は V_{dd} から V_{bv} の値が出力される。 V_{bv} はソースドライバIC (回路) 14の外部より入力される。また、IC (回路) 14内部で発生させてもよい。電子ポリウム501のスイッチSは8ビットの制御データ (階調番号) をデコード回路532でデコードされ該当のスイッチSが閉じ、電圧 V_{dd} から V_{bv} 間の電圧が V_{ad} から出力される。電圧 V_{ad} が図135から図138の縦軸である電圧となる。したがって、 V_{bv} を変化させることにより容易に V_{ad} を変化あるいは調整できる。つまり、図139に図示するように、縦軸は、 V_{dd} 電圧を V_{bv} 電圧の範囲となる。以上の図131の回路構成は、図140に図示するようにRGBごとに設けられる。なお、RGBのEL素子15の発光効率のバランスがとれ、RGB電流 I_c が $I_{cr} : I_{cg} : I_{cb} = 1 : 1 : 1$ の時、ホワイトバランスが取れる場合は、RGBで共通で1つの回路構成 (図131) でもよいことは言うまでもない。また、RとG、GとB、BとRというように複数の I_c 電流発生回路を共通にしてよい。なお、 V_{bv} などは、点灯率、基準電流比、 $duty$ 比に応じて変化させてもよいことは言うまでもない。

40

【1064】

図77、図78などは電流プログラム回路用に2段のラッチ回路771を有している。本発明のソースドライバIC (回路) 14は、電流プログラム回路と電圧プログラム回路の両方を具備している。

【1065】

図131などはアノード電圧 v_{dd} を原点とするものであった。図141はアノード電位に該当する電圧も調整できるようにするものである。電子ポリウム501の端子 V_{dd}

50

にオペアンプ 502c からの電圧を印加している。印加する電圧は V_{bvh} である。電子ポリウム 501 の下限電圧は、 V_{bvl} である。したがって、ソース信号線 18 に印加される電圧範囲は、図 142 に図示するように V_{bvh} 以下 V_{bvl} 以上となる。他の事項は他の実施例と同一あるいは類似であるので説明を省略する。

【1066】

図 138 でも説明したが、駆動用トランジスタ 11a などには C で示す立ち上がり電圧がある。立ち上がり電圧以下は黒表示（駆動用トランジスタ 11a が EL 素子 15 に電流を供給しない）である。図 143 は、図 138 の C ブランクを発生させる回路である。C ブランクの電圧範囲は、Pk データで調整する。Pk データは 8 ビットである。この Pk データと階調番号データ Data とが加算回路 3731 で加算される。加算されたデータは 9 ビットとなり、デコード回路 532 に入力され、出コードされて電子ポリウム 501 の該当スイッチ S を閉じさせる。

【1067】

以上の実施例は、ソースドライバ IC14 を介して、プリチャージ電圧を印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ 30 基板に形成したプリチャージ電圧用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧線に印加されたプリチャージ電圧をソース信号線 18 に印加するように構成してもよいことは言うまでもない。

【1068】

図 77、図 78 は電流ドライバ IC14（プログラム電流を出力する回路あるいは IC など）などにプリチャージビットをラッチするラッチ回路 771 を構成あるいは形成したものであったが、本発明はこれに限定するものではない。たとえば、プログラム電圧を出力するソースドライバ回路あるいは IC にも適用できる。前記ソースドライバ回路 14 にプリチャージ機能あるいはプリチャージ信号をラッチするラッチ回路あるいはプリチャージの選択信号線を配置または構成することにより、プログラム電圧をソース信号線 18 に書き込む前に、ソース信号線の電位を所定値にすることができ、書き込み安定度を向上できる。

【1069】

図 77、図 78 などでは、プリチャージ信号線（RPC、GPC、BPC）は 1 本とし、また、それに対応するラッチ回路は 2 段で各 1 ビットとして説明したが、本発明はこれに限定するものではない。たとえば、図 75 に図示するように、プリチャージ信号が 4 ビットから構成される場合は、プリチャージ信号線は 4 本が必要である。したがって、プリチャージ信号のラッチ回路も 2 段で 4 ビット分が必要となることは言うまでもない。また、ラッチ回路 771 は、図 77 に図示するように 2 段に限定するものではない。3 段以上で構成してもよいことは言うまでもない。たとえば、4 段に構成すれば、ソース信号線 18 に書き込む電流信号は 2 倍の時間確保できるようになり好ましい。また、プリチャージ信号線は R、G、B で個別に設ける必要はないことは言うまでもない。RGB で共通の信号線としてもよい。

【1070】

以上のように、本発明のソースドライバ回路 14 などは、ソースドライバ回路に、ソース信号線 18 にプログラム電流あるいはプログラム電圧を書き込む時に、プリチャージ信号を印加するかしないかを選択する判定ビットを保持する回路を有すること、また、判定ビットに保持する信号あるいは想定される信号を伝達する信号入力端子を有するものである。

【1071】

なお、点灯率に応じて、ソース信号線に印加するプリチャージ電圧を変化あるいは変更してもよい。たとえば、点灯率に対して図 75 における選択信号 D の値を変化し、電子ポリウム 501 を制御して端子 155 から出力されるプリチャージ信号を変化させる。点灯率に応じて駆動用トランジスタ 11a に流れる電流が変化するため、最適なプリチャージ電圧の大きさ（とくに電圧駆動で階調表示をする場合）が変化する。点灯率により、最適

な階調表示になるように電子ポリウム 501 を制御することにより階調表示などが実現できる。

【1072】

以上の実施例では、点灯率に応じて、プリチャージ電圧を変化させるとしたが、本発明はこれに限定するものではない。基準電流比に応じてプリチャージ電圧を変化させてもよい。基準電流の大きさによっても、駆動用トランジスタ 11a に流れる電流が変化し、最適なプリチャージ電圧（駆動用トランジスタ 11a のゲート端子に印加する電圧）が変化するからである。また、アノード（カソード）端子の電流の大きさによってもプリチャージ電圧を変化させてもよい。

【1073】

以下、本発明の EL 表示パネルあるいは EL 表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。EL 表示パネルは特に B の色度が悪いという課題があり、一方で R の色度が非常によいという事実がある。そのため、画像を表示した場合、表示色が本来の画像と異なってしまう場合がある。図 144 の色度の XY 座標において、実線が NTSC の色範囲である。点線が有機 EL の色範囲である。NTSC の色再現範囲と有機 EL の色再現範囲とがずれているために、特に樹木の緑が多い画像表示において葉が枯葉色になるという課題が発生する。

【1074】

この課題を解決する方策が、カラーマネージメント処理である。これは、信号処理により画像の色補正を行うものである。また、色フィルタにより画像の色度を改善する方策も例示される。

【1075】

色フィルタにより EL 表示パネルの色純度を改善するためには、表示パネル 30 の光出射側に色フィルタを配置または構成あるいは形成すればよい。色フィルタは偏光フィルム 39 とパネル 30 間に配置または形成してもよい。色フィルタは、シアン色をカットするものを用いることにより B の色度を改善することができる。色フィルタは、樹脂からなるフィルタの他、光学的干渉多層膜からなる干渉フィルタを用いても良い。なお、色フィルタは、偏光フィルム上に形成または配置してもよい。

【1076】

回路的にカラーマネージメント（色補正処理）を実現するためには、各トランジスタ群 431 から出力される RGB の単位トランジスタ 154 出力割合を変化させるとよい。有機 EL で B の色度が悪く（一方で R の色度がよい）、樹木の葉が枯葉になる現象を抑制するためには、B の電流を大きくするか、R の電流を小さくすればよい。

【1077】

トランジスタ群 431c の出力電流を調整するためには、図 46 などにおける電流 I_c を調整すればよい（RGB で調整する）。なお、本発明の実施例において、本明細書で説明した事項、構成、方法、装置が適用できることは言うまでもない。

【1078】

電流 I_c を調整する構成は、図 145 に例示している。図 145 (a) は 8 ビットのデータを DA 回路 661 でアナログ信号に変換し、オペアンプ 502a に入力し、電流 I_c を変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗 R_1 で行う。

【1079】

図 145 (b) は、8 ビットのデータを DA 回路 661 でアナログ信号に変換し、電流 I_c を変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗 R_1 で行う。ただし、図 145 (b) の構成は DA 回路 661 の出力電圧に対する電流 I_c 変化は非線形となる。

【1080】

図 145 (c) は 8 ビットのデータを DA 回路 661 でアナログ信号に変換し、トランジスタ 157b を介して、電流 I_c を変化（調整）する構成である。基本的な電流の大き

さは外付けあるいは内蔵抵抗 R_1 で行う。ただし、図 145 (b) の構成は、DA 回路 661 の出力電圧に対する電流 I_c 変化は非線形となる。

【1081】

図 146 は電子ポリウム回路 501 を用いた回路構成である。図 60 の電子ポリウム回路 501 の端子電圧 V_s に DA 回路 661 の出力を接続した構成である。他の構成は図 60、図 50、図 46 などと同様あるいは類似であるので説明を省略する。つまり、電流 I_c は電子ポリウム 501 により切り換えられるとともに、カラーマネージメント処理の DA 回路 661 の出力によっても調整することができる。なお、図 145 と図 146 の構成を組み合わせても良いことは言うまでも無い。また、図 146 において電子ポリウム 501 を制御することによりカラーマネージメント処理を実施してもよいことは言うまでのない。 10

【1082】

図 147 は図 146 の変形例である。オペアンプ 502 a の入力端子 c に直接電圧 V_c を入力できるように構成している。なお、 V_c を入力する時は、電子ポリウム 501 はいずれのスイッチ S も選択されずオープンになるように制御される。 $IC14$ 外部からの V_c 電圧の印加により、容易に電流 I_c を制御あるいは調整することができる。

【1083】

図 148 は、DA 回路 661 a の電源電圧 V_{da} を DA 回路 661 b で変化させることにより、オペアンプ 502 a の入力端子電圧を変化させるものである。入力端子電圧により出力電流 I_c はリニアに変化する。 20

【1084】

図 148 において、DA 回路 661 a の出力電圧は 8 ビットのデジタルデータによりリニアに変化し、さらに DA 回路 661 a の出力電圧は、DA 回路 661 b の出力電圧によりリニアに変化する。図 148 の回路構成では、電流 I_c の変化の幅が大きく、かつ変化はリニアであるので構成として好ましい。

【1085】

カラーマネージメント処理は、各 RGB の電流により制御する。なお、RGB の電流とは点灯率で表現することができる (duty 比は 1/1 とする)。duty 比が 1/1 のとき、点灯率は画像データの総和と最大値から算出することができる。カラーマネージメント処理を実施するときは、点灯率は RGB 個別で求める。つまり、R の点灯率、G の点灯率、B の点灯率を求め (R の消費電流、G の消費電流、B の消費電流を求めていることになる)、一定の割合の範囲、大きさでカラーマネージメント処理を実施する。画面に白表示が多い状態では、ホワイトバランスがとれているため、カラーマネージメント処理は不要だからである。 30

【1086】

図 149 はカラーマネージメント処理方法の説明図である。duty 比制御は以前にも説明したように EL 表示パネルの消費電流を平均化するために実施している。カラーマネージメント処理は、基準電流 I_c の調整により実施している。図 149 では点灯率が高い範囲で、R の基準電流 I_{cr} を低下させるとともに、B の基準電流 I_{cb} を増加させている。また、B の基準電流 I_{cb} は、点灯率が中間レベル (30% ~ 60%) の範囲でも増加させて調整を行っている。以上の処理により EL 表示装置のカラーマネージメント処理を良好に実現できる。 40

【1087】

図 150 は、点灯率が低い領域で RGB の基準電流 I_c を増加させている。これは、低点灯率で画像のダイナミックレンジを増大させるためである。B の点灯率が高い領域で B の基準電流 I_{cb} を増大させている点がカラーマネージメント処理である。以上のように、本発明は画像のダイナミック処理とカラーマネージメント処理の両方を基準電流制御により実現できる。

【1088】

図 151 は R の基準電流 I_{cr} を複数のレベルに制御する方式である。以上のように、 50

本発明は、基準電流を自由に調整することによりカラーマネージメント処理を実施することができる。

【 1 0 8 9 】

また、図 1 5 2 は R G B の点灯率から基準電流を制御する方式であった。しかし、E L 表示パネルのカラーマネージメント処理は、R と B の電流 (I_{cr} 、 I_{cb}) の割合により制御してもよい。図 1 5 2 はその実施例の説明図である。図 1 4 9 の横軸の点灯率の替わりに B 点灯率 / R 点灯率 (B 消費電流 / R 消費電流) としている。B 点灯率 / R 点灯率 (B 消費電流 / R 消費電流) が一定以上になった時に、B 基準電流 I_{cr} を変化させている。

【 1 0 9 0 】

同様に、図 1 5 2 は図 1 4 9 横軸の点灯率の替わりに B 点灯率 / R 点灯率 (B 消費電流 / R 消費電流) としている。また、図 1 5 3 では、B 点灯率 / (R 点灯率 + G 点灯率) (B 消費電流 / (R 消費電流 + G 消費電流)) が一定以上になった時に、B 基準電流 I_{cr} を変化させている。

【 1 0 9 1 】

なお、以上の図 1 4 5 から図 1 4 8 の構成は、電流 I_c の調整あるいは制御する構成である。電流 I_c を変化させることによりトランジスタ群 4 3 1 c の出力電流を変化させることができる。したがって、この構成はカラーマネージメント処理だけでなく、階調制御あるいは、トランジスタ 4 3 1 c などの出力電流制御、ホワイトバランス調整回路として用いることができることは言うまでもない。

【 1 0 9 2 】

また、以上の実施例では、基準電流 I_c の調整により、カラーマネージメント処理を実施するとしたが、これに限定するものではない。d u t y 比の調整あるいは、各 R G B の非表示領域 5 1 の割合を変化あるいは制御もしくは調整することにより、R G B の輝度を個別に調整することができる。したがって、これらの構成あるいは方法を用いてカラーマネージメント処理を実施してもよいことは言うまでもない。

【 1 0 9 3 】

有機 E L 表示パネルのように、自己発光デバイスは固定パターン表示時での画像焼付けが課題となる。焼付けとは、有機 E L の材料などが発光などで劣化し、発光強度が低下する現象などをいう。この焼付けを防止するためには、固定パターンの表示時に表示画像の表示位置を時間的に移動させるのが得策である。たとえば、1 分間隔で画面位置を移動させる。移動は 1 画素あるいは 2 画素程度にすることが好ましい。3 画素以上では、表示画像が移動したことが視覚的に認識されてしまう。

【 1 0 9 4 】

表示画像 1 2 6 4 の移動とは、図 1 7 7 に図示するように、位置 1 9 3 a に移動させたり、位置 1 9 3 b の位置に移動させたりすることである。移動が上下、左右に 1 画素あるいは 2 画素の移動を行う。

【 1 0 9 5 】

移動タイミングは、点灯率で判断する。点灯率が急変するときに画面移動制御を行う。点灯率が急変の状態とは、画面が暗い状態から明るい状態 (たとえば、夜のシーンから、昼の海のシーンへの変化など)、画面が明るい状態から暗い状態の変化、ドラマのシーンから C M のシーンの変更などである。

【 1 0 9 6 】

点灯率が急変する状態では、シーン (画面) が急変する状態である。画面の状態が急変するため、画像の表示位置が変化しても視覚的に認識されることはない。画像の内容 (画像の表示状態) が全く変化する場合がほとんどだからである。この点灯率の急変を利用して画像の表示位置を変化させ固定パターンの焼付けを抑制することができる。

【 1 0 9 7 】

点灯率が急変とは、変化が 2 倍あるいは $1/2$ 以上変化した場合である。たとえば、ある時刻での点灯率が 1 0 % であれば、点灯率が 2 0 % 以上に変化するか、あるいは点灯率が

10

20

30

40

50

5 % 以下に変化する状態が該当する。以上のように、点灯率が変化した場合に、画面の表示位置を変化させる。画面の表示位置の変化は、水平あるいは垂直方向のスタートパルス
を1クロックあるいは2クロック分遅延させることにより行う。この動作はカウンタの比
較値を変化させることにより実現できる。

【1098】

なお、点灯率が急変する時とは、アノード電流あるいはカソード電流が急変する時と同
義である。したがって、点灯率の急変とは、アノード電流あるいはカソード電流が2倍あ
るいは1/2以上変化する場合である。この場合に画面位置を変化させる。たとえば、ア
ノード電流またはカソード電流が50mAであれば、アノード電流またはカソード電流が
100mA以上あるいは25mA以下に変化した場合に、画面位置を変化させる。

10

【1099】

また、本発明では、点灯率、アノード電流あるいはカソード電流は、duty比と連動
させる。したがって、点灯率が急変とは、duty比が2倍あるいは1/2以上変化した
状態と同義である。つまり、duty比が変化したあるいは変化させた場合に、duty
比と連動させて画面位置を変化させる。たとえば、図178に図示するように、点灯率1
~25%の時(duty比1.0)に、矢印のようにduty比が0.5に変化した場合に
に、画面の表示位置を変化させる。

【1100】

なお、以上の実施例では、点灯率などが変化するとき、画面の表示位置を変化させる
としたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態にな
るとき(たとえば、電源がオンされたとき)に、画面表示位置が前回の表示位置と変化さ
せるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させ
る。

20

【1101】

また、焼きつきを防止するには、画像のエッジをぼかすことも有効である。つまり、画
像データを積分(ローパスフィルタ)することにより、画像のエッジがぼける(微分の反
対の処理である)。特に点灯率が低いときは、黒表示に画像が表示され、また、点灯率が
低い時はduty比を低くするので画素の輝度が高い。したがって、焼付けがし易くなる
。つまり、低点灯率の時に、画像のエッジをぼやかす(積分処理をする)。つまり、本発
明は、点灯率に応じて、画像の積分処理を変化させる。点灯率が低いときは積分処理を大
きくし、点灯率が高い時は積分処理を小さくする(通常の表示にする)。

30

【1102】

以上の実施例を図179に図示する。積分処理比が1とは、積分処理をしない状態であ
る。この比率が大きくなるにつれ、積分処理が強くなり、画素エッジがぼける。図179
では、点灯率50%以上で通常表示であり、点灯率25~50%で積分処理比4~1に変
化させる。点灯率25%以下では積分処理比4に固定する。以上のように制御することに
より画素エッジの焼きつきを緩和することができる。

【1103】

なお、点灯率は、基本的にはアノード電流あるいはカソード電流の大きさと同義である
。したがって、アノード電流あるいはカソード電流の大きさに対応して積分処理比を変化
させてもよい。また、アノード電流あるいはカソード電流は、duty比と連動させる。
したがって、duty比に連動させて、積分処理比を変化させてもよい。

40

【1104】

なお、以上の実施例では、点灯率などが変化するとき、画面の表示位置を変化させる
としたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態にな
るとき(たとえば、電源がオンされたとき)に、画面表示位置が前回の表示位置と変化さ
せるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させ
る。

【1105】

また、図192に図示するように、4:3の画面に16:9などのワイド表示を行う場

50

合は、図 192 (a) と図 192 (b) で図示するように 1 画素行あるいは 2 画素行をずらせてもよい。この制御は、以上に説明したように、点灯率制御、基準電流制御、duty 比制御、アノード (カソード) 電流制御、オンオフ制御に同期して実施するとよい。

【 1 1 0 6 】

本明細書において、基準電流を変化させるとして説明をした。基準電流を変化させることは、ソース信号線に流れるプログラム電流 I_w を変化させることである。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線 18 に流れるプログラム電流 I_w を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。

【 1 1 0 7 】

なお、本発明は、基準電流を変化することによりソースドライバ回路 14 の端子 155 から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できることを特徴としている。

【 1 1 0 8 】

本発明の駆動方法において、プログラム電流 I_w と EL 素子 15 に流れる電流 I_e は略一致する。したがって、基準電流を可変あるいは制御もしくは調整するとは、駆動用トランジスタあるいは EL 素子 15 に流れる電流 I_e (I_w) を可変あるいは制御もしくは調整する、と置き換えることができることは言うまでもない。ただし、図 31、図 36 などの画素構成では、EL 素子 15 に流れる電流 I_e と I_w とは一致しない。しかし、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線 18 に流れるプログラム電流 I_w を可変あるいは制御もしくは調整する、と言うことはでき、略比例的に EL 素子 15 に流れる電流を可変あるいは制御もしくは調整する、と置き換えることができることは言うまでもない。

【 1 1 0 9 】

また、図 128、図 129、図 130 などでも説明したように、基準電流を変化させることは、ソース信号線 18 の電位を変化させることである。たとえば、基準電流を増大させるとプログラム電流 I_w は比例して (相関して) 大きくなり、ソース信号線 18 の電位を低下させる (駆動用トランジスタが P チャンネルの時)。逆に、基準電流を小さくするとプログラム電流 I_w は比例して (相関して) 小さくなり、ソース信号線 18 の電位を上昇させる (駆動用トランジスタが P チャンネルの時)。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線 18 の電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できると置き換えることができる。

【 1 1 1 0 】

以上のように、点灯率に基づいて、基準電流を変化させると説明しているが、点灯率に基づいて、ソース信号線に流れるプログラム電流 I_w を変化させることであり、また、ソース信号線 18 に流れるプログラム電流 I_w を可変あるいは制御もしくは調整することである。また、ソースドライバ回路 14 の端子 155 から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。また、点灯率もしくはデータ和に基づいて、ソース信号線 18 の電位あるいは駆動用トランジスタのゲート端子電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。

【 1 1 1 1 】

なお、点灯率に基づいてとは、映像信号のデータ和に基づいてとも置き換えることができることは言うまでもない。とくに電流駆動の場合は、映像信号の大きさが画素 16 に流れる電流に比例するからである。

【 1 1 1 2 】

以下、本発明の EL 表示パネルまたは EL 表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を

実施する。図 1 2 6 は、情報端末装置の一例としての携帯電話の平面図である。筐体 1 2 6 3 にアンテナ 1 2 6 1、テンキー 1 2 6 2 などが取り付けられている。1 2 6 2 などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【 1 1 1 3 】

キー 1 2 6 2 を 1 度押さえると表示色は 8 色モードに、つづいて同一キー 1 2 6 2 を押さえると表示色は 4 0 9 6 色モード、さらにキー 1 2 6 2 を押さえると表示色は 2 6 万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー 1 2 6 2 は 3 つ（以上）となる。

【 1 1 1 4 】

キー 1 2 6 2 はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4 0 9 6 色を受話器に音声入力すること、たとえば、「高品位表示」、「4 0 9 6 色モード」あるいは「低表示色モード」と受話器に音声入力することにより、表示パネルの表示画面 1 4 4 に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【 1 1 1 5 】

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部 1 4 4 に表示させたメニューに触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【 1 1 1 6 】

1 2 6 2 は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1 つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【 1 1 1 7 】

表示パネルに重要な機能は、複数のフォーマットの画像を表示できることである。たとえば、デジタルビデオカメラ（DVC）では、NTSC と PAL 画像を表示できるようにする必要がある。以下、1 つのパネルに複数フォーマットの画像を表示する方法について説明をする。なお、説明を容易にするため、表示パネルは横 3 2 0 RGB × 縦 2 4 0 ドットの QVGA パネルであるとし、NTSC 画像と PAL 画像をこの QVGA の画素数のパネルで表示するとして説明をする。

【 1 1 1 8 】

図 1 5 4 は、本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図 1 5 4 において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【 1 1 1 9 】

ボデー 1 2 6 3 の裏面は、暗色あるいは黒色にされている。これは、EL 表示パネル（表示装置）1 2 6 4 から出射した迷光がボデー 1 2 6 3 の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）3 8、偏光板 3 9 などが配置されている。このことは図 3、図 4 でも説明している。

【 1 1 2 0 】

接眼リング 1 5 4 1 には拡大レンズ 1 5 4 2 が取り付けられている。観察者は接眼リング 1 5 4 1 をボデー 1 2 6 3 内での挿入位置を可変して、表示パネル 1 2 6 4 の表示画面

10

20

30

40

50

1 4 4 にピントがあうように調整する。

【 1 1 2 1 】

また、必要に応じて表示パネル 1 2 6 4 の光出射側に正レンズ 1 5 4 3 を配置すれば、拡大レンズ 1 5 4 2 に入射する主光線を収束させることができる。そのため、拡大レンズ 1 5 4 2 のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【 1 1 2 2 】

図 1 5 5 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 1 5 5 2 とビデオカメラ本体 1 2 6 3 とを具備し、撮影レンズ部 1 5 5 2 とビューファインダ部 1 2 6 3 とは背中合わせとなっている。また、ビューファインダ（図 1 5 4 も参照） 1 2 6 3 には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 1 2 6 4 の表示画面 1 4 4 を観察する。 10

【 1 1 2 3 】

一方、本発明の E L 表示パネルは表示モニターとしても使用されている。表示部 1 4 4 は支点 1 5 5 1 で角度を自由に調整できる。表示部 1 4 4 を使用しない時は、格納部 1 5 5 3 に格納される。

【 1 1 2 4 】

スイッチ 1 5 5 4 は、以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 1 5 5 4 は表示モード切り替えスイッチである。スイッチ 1 5 5 4 は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ 1 5 5 4 について説明をする。 20

【 1 1 2 5 】

本発明の駆動方法の 1 つに N 倍の電流を E L 素子 1 5 に流し、1 F の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、E L 素子 1 5 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

【 1 1 2 6 】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面 1 4 4 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると E L 素子 1 5 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。 30

【 1 1 2 7 】

したがって、ユーザーがボタン 1 5 5 4 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 50 %、60 %、80 % とユーザーなどが設定できるように構成しておくことが好ましい。 40

【 1 1 2 8 】

なお、表示画面 1 4 4 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 70 % の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50 % 輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明した N 倍パルス駆動（N 倍の電流を E L 素子 1 5 に流し、1 F の $1/M$ の期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。 50

【 1 1 2 9 】

具体的には、画面の上部と下部ではMの値を大きくし、中央部でMの値を小さくする。これは、ゲートドライバ回路12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

【 1 1 3 0 】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【 1 1 3 1 】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【 1 1 3 2 】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

【 1 1 3 3 】

以上の機能をスイッチ1554で実現できるようにする。スイッチ1554は表示画面144のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【 1 1 3 4 】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができるというまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【 1 1 3 5 】

本実施の形態のEL表示装置などはビデオカメラだけでなく、図156に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体1561に付属されたモニター144として用いる。カメラ本体1561にはシャッタ1563の他、スイッチ1554が取り付けられている。

【 1 1 3 6 】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面144がたわみやすい。その対策のため、本発明では図157に示すように表示パネルに外枠1571をつけ、外枠1571をつり下げられるように固定部材1574で取り付けられている。この固定部材1574を用いて、壁などに取り付ける。

【 1 1 3 7 】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部1573を配置し、複数の脚1572で表示パネルの重量を保持できるようにしている。

【 1 1 3 8 】

脚 1 5 7 2 は A に示すように左右に移動でき、また、脚 1 5 7 2 は B に示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【 1 1 3 9 】

図 1 5 7 のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが 1 つの目的である。保護フィルムの表面には A I R コートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【 1 1 4 0 】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【 1 1 4 1 】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【 1 1 4 2 】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、P V A フィルム（板）などが例示される。その他、エンジニアリング樹脂フィルム（A B S など）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で 0 . 5 m m 以上 2 . 0 m m 以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【 1 1 4 3 】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【 1 1 4 4 】

本発明の実施例における表示パネルは、3 辺フリーの構成と組み合わせることも有効であることは言うまでもない。特に 3 辺フリーの構成は、画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明の N 倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタ 1 1 などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。つまり、本発明の表示パネルにおいて画素 1 6 を構成するトランジスタ 1 1 はアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路 1 2、ソースドライバ回路 1 4 もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。また、トランジスタなどは有機トランジスタであってもよいことは言うまでもない。

【 1 1 4 5 】

なお、本発明の N 倍パルス駆動（図 1 3、図 1 6、図 1 9、図 2 0、図 2 2、図 2 4、図 3 0 など）などは、低温ポリシリコン技術でトランジスタ 1 1 を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ 1 1 を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ 1 1 では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆

動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。他の本発明も、低温ポリシリコンの表示パネルだけでなく、アモルファスシリコンの表示パネル、C O S の表示パネルにも適用できることは言うまでもない。

【1146】

d u t y 比制御駆動、基準電流制御、N倍パルス駆動、ソースドライバI C（回路）、ゲートドライバ構成など本明細書で記載した本発明の駆動方法および駆動回路などは、有機E L 表示パネルの駆動方法および駆動回路などに限定されるものではない。図159に図示するように、フィールドエミッションディスプレイ（F E D）などの他のディスプレイにも適用できることは言うまでもない。

10

【1147】

図158のF E Dでは、基板30上にマトリックス状に電子を放出する電子放出突起1583（図3では画素電極35が該当する）が形成されている。画素には映像信号回路1582（図1ではソースドライバ回路14が該当する）からの画像データを保持する保持回路1584が形成されている（図1ではコンデンサが該当する）。また、電子放出突起1583の前面には制御電極1581が配置されている。制御電極1581にはオンオフ制御回路1585（図1ではゲートドライバ回路12が該当する）により電圧信号が印加される。

【1148】

図158の画素構成で、図174に図示するように周辺回路を構成すれば、d u t y 比制御駆動あるいはN倍パルス駆動などを実施できる。映像信号回路1582からソース信号線18に画像データ信号が印加される。オンオフ制御回路1585aから選択信号線2173に画素16選択信号が印加され順次画素16が選択され、画像データが書き込まれる。また、オンオフ制御回路1585bからオンオフ信号線1742にオンオフ信号が印加され、画素のF E Dがオンオフ制御（d u t y 比制御）される。

20

【1149】

図158の構成にも、本発明のd u t y 比制御、基準電流制御、プリチャージ制御、点灯率制御、A I 制御、ピーク電流抑制制御、パネルの配線引き回し、ゲートドライバ回路構成、トリミング方法など、本発明の明細書で記載した各種の構成あるいは方法、構成が適用できることは言うまでもない。

30

【1150】

なお、本発明のドライバ回路（I C）14の出力段（たとえば、トランジスタ群431cなど）は電流出力（プログラム電圧を出力）するものを主として説明しているが、これに限定するものではない。出力段がプログラム電圧を出力するものであってもよい（画素構成としては図2などが該当する）。電圧出力段は、基準電流I cに対応するようにオペアンプなどで電圧に変換して出力するものが例示される。また、出力電流I dをオペアンプなどで電圧に変換して出力するものが例示される。その他、映像データを電圧データに変換し、この電圧データにガンマ処理などを実施し、出力端子155から出力するものが例示される。以上のように、本発明のソースドライバ回路（I C）14の出力はプログラム電流に限定するものではなく、プログラム電圧でもよい。また、図77、図78、図75などではソース信号線18に印加するプリチャージ信号は電圧であるとして説明したが、これに限定するものではなく、電流であってもよい。

40

【1151】

本発明は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、d u t y 比、プリチャージ電圧、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、d u t y 比、プリチャージ電圧、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させて

50

もよいことは言うまでもない。

【 1 1 5 2 】

図 1 ～ 1 4、図 2 2、図 3 1、図 3 2、図 3 3、図 3 4、図 3 5、図 3 6、図 3 9、図 8 3、図 8 5、図 1 1 9、図 1 2 0、図 1 2 1、図 1 2 6、図 1 5 4 ～ 1 5 8、図 1 8 0、図 1 8 1、図 1 8 7、図 1 9 0、図 1 9 1、図 1 9 2、図 1 9 3、図 1 9 4、図 1 9 5、図 2 0 8 で説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想は、相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。

【 1 1 5 3 】

図 1 8、図 1 9、図 2 0、図 2 1、図 2 3、図 2 4、図 2 5、図 2 6、図 2 7、図 2 8 10
、図 3 7、図 3 8、図 4 0、図 4 1、図 4 2、図 5 4、図 8 9 ～ 1 1 8、図 1 2 2 ～ 1 2
5、図 1 2 8、図 1 2 9、図 1 3 0、図 1 3 2、図 1 3 3、図 1 3 4、図 1 4 9 ～ 1 5 3
、図 1 7 7、図 1 7 8、図 1 7 9、図 2 1 1 ～ 2 2 2、図 2 2 7 で説明あるいは記載した
本発明の表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくは技術的思想は、
相互に組み合わせることができる。また、相互に適用あるいは構成もしくは形成すること
ができる。

【 1 1 5 4 】

図 1 5、図 1 6、図 1 7、図 2 9、図 3 0、図 4 3 ～ 5 3、図 5 5、図 5 6、図 5 7、
図 5 8、図 5 9、図 6 0、図 6 1、図 6 2、図 6 3 ～ 8 2、図 8 4、図 8 6、図 8 7、図
8 8、図 1 2 7、図 1 3 1、図 1 3 5 ～ 1 4 8、図 1 5 9 ～ 1 7 6、図 1 8 2 ～ 1 8 5、 20
図 1 8 6、図 1 8 8、図 1 9 6、図 1 9 7、図 1 9 8、図 1 9 9、図 2 0 0、図 2 0 1、
図 2 0 9、図 2 1 0、図 2 2 8 ～ 2 4 5 に記載あるいは説明した本発明のソースドライバ
I C（回路）もしくはドライバ回路とその調整あるいは制御方法（ゲートドライバ回路な
ども含む）もしくは技術的思想は相互に組み合わせることができる。また、相互に適用ある
いは構成もしくは形成することができる。

【 1 1 5 5 】

図 2 0 2、図 2 0 3、図 2 0 4、図 2 0 5、図 2 0 6、図 2 0 7、図 2 2 3 ～ 2 2 6 に
記載あるいは説明した本発明の検査装置と検査方法もしくは技術的思想は、相互に組み
合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。

【 1 1 5 6 】

さらに、以上に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御
方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法も
しくは技術的思想、ソースドライバ I C（回路）もしくはドライバ回路とその調整あるいは
制御方法（ゲートドライバ回路なども含む）もしくは技術的思想は、相互に組み合わせ
ることができる。また、相互に適用あるいは構成もしくは形成することができることはいう
までもない。また、本発明の検査装置と検査方法もしくは技術的思想は、本発明の表示パ
ネルもしくは表示装置などに適用できることは言うまでもない。

【 1 1 5 7 】

本発明の実施例で説明した表示装置あるいは駆動方法などの技術的思想は、ビデオカメ
ラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビ
ューファインダ、携帯電話のメインモニターおよびサブモニター、P H S、携帯情報端末
およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモ
ニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モ
ニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラ
にも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パー
ソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【 1 1 5 8 】

さらに、本発明は、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモ
ニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用
あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構 50

成することが好ましい。これは、R G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、R G Bの信号器、警報表示灯などにも応用できる。

【 1 1 5 9 】

また、スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機E L表示パネルは有効である。R G Bのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【 1 1 6 0 】

また、本発明は、液晶表示装置のバックライトにも有機E L表示装置は有効である。E L表示装置（バックライト）のR G Bの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【産業上の利用可能性】

【 1 1 6 1 】

本発明にかかるE L表示装置は、しきい値のずれによる出力電流のばらつきが小さく、E L表示パネルの表示むらの発生を抑制することが可能となる。また、ダイナミックレンジが広い画像表示を実現できる。また、本発明にかかるE L表示装置を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。

【 1 1 6 2 】

本発明にかかるE L表示装置は、以上のような効果を有するので、有機または無機エレクトロルミネッセンス（E L）素子を用いたE L表示パネルなどの自発光表示パネル、これらの表示パネルなどの駆動回路（I C）、E L表示パネルなどの駆動方法と駆動回路およびそれらを用いた情報表示装置などに有用である。

【図面の簡単な説明】

【 1 1 6 3 】

【図1】 本発明の表示パネルの構成図

【図2】 本発明の表示パネルの構成図

【図3】 本発明の表示パネルの説明図

【図4】 本発明の表示パネルの説明図

【図5】 本発明の表示装置の駆動方法の説明図

【図6】 本発明の表示パネルの説明図

【図7】 本発明の表示パネルの説明図

【図8】 本発明の表示パネルの説明図

【図9】 本発明の表示パネルの説明図

【図10】 本発明の表示パネルの説明図

【図11】 本発明の表示パネルの説明図

【図12】 本発明の表示パネルの説明図

【図13】 本発明の表示パネルの説明図

【図14】 本発明の表示パネルの説明図

【図15】 本発明の表示パネルの説明図

【図16】 本発明の表示パネルの説明図

【図17】 本発明の表示パネルの説明図

【図18】 本発明の表示パネルの説明図

[illegible]

[illegible]

[illegible]

【図 1 6 9】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 0】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 1】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 2】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 3】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 4】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 5】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 6】	本発明のソースドライバ I C (回路) の説明図	
【図 1 7 7】	本発明の表示パネルの駆動方法の説明図	
【図 1 7 8】	本発明の表示パネルの駆動方法の説明図	10
【図 1 7 9】	本発明の表示パネルの駆動方法の説明図	
【図 1 8 0】	本発明の表示パネルの説明図	
【図 1 8 1】	本発明の表示パネルの説明図	
【図 1 8 2】	本発明のソースドライバ I C (回路) の説明図	
【図 1 8 3】	本発明のソースドライバ I C (回路) の説明図	
【図 1 8 4】	本発明のソースドライバ I C (回路) の説明図	
【図 1 8 5】	本発明のソースドライバ I C (回路) の説明図	
【図 1 8 6】	本発明の表示パネルの駆動方法の説明図	
【図 1 8 7】	本発明の表示パネルの駆動方法の説明図	
【図 1 8 8】	本発明のソースドライバ I C (回路) の説明図	20
【図 1 8 9】	本発明のソースドライバ I C (回路) の説明図	
【図 1 9 0】	本発明のソースドライバ I C (回路) の説明図	
【図 1 9 1】	本発明の表示パネルの説明図	
【図 1 9 2】	本発明の表示パネルの駆動方法の説明図	
【図 1 9 3】	本発明の表示パネルの説明図	
【図 1 9 4】	本発明の表示パネルの説明図	
【図 1 9 5】	本発明の表示パネルの説明図	
【図 1 9 6】	本発明のソースドライバ I C (回路) の説明図	
【図 1 9 7】	本発明のソースドライバ I C (回路) の説明図	
【図 1 9 8】	本発明のソースドライバ I C (回路) の説明図	30
【図 1 9 9】	本発明のソースドライバ I C (回路) の説明図	
【図 2 0 0】	本発明のソースドライバ I C (回路) の説明図	
【図 2 0 1】	本発明のソースドライバ I C (回路) の説明図	
【図 2 0 2】	本発明の表示パネル (アレイ) の検査方法の説明図	
【図 2 0 3】	本発明の表示パネル (アレイ) の検査方法の説明図	
【図 2 0 4】	本発明の表示パネル (アレイ) の検査方法の説明図	
【図 2 0 5】	本発明の表示パネル (アレイ) の検査方法の説明図	
【図 2 0 6】	本発明の表示パネル (アレイ) の検査方法の説明図	
【図 2 0 7】	本発明の表示パネル (アレイ) の検査方法の説明図	
【図 2 0 8】	本発明の表示パネルの説明図	40
【図 2 0 9】	本発明の表示パネルの説明図	
【図 2 1 0】	本発明のソースドライバ回路 (I C) の説明図	
【図 2 1 1】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 2】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 3】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 4】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 5】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 6】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 7】	本発明の表示パネルの駆動方法の説明図	
【図 2 1 8】	本発明の表示パネルの駆動方法の説明図	50

【図 2 1 9】本発明の表示パネルの駆動方法の説明図
【図 2 2 0】本発明の表示パネルの駆動方法の説明図
【図 2 2 1】本発明の表示パネルの駆動方法の説明図
【図 2 2 2】本発明の表示パネルの駆動方法の説明図
【図 2 2 3】本発明の表示パネル（アレイ）の検査方法の説明図
【図 2 2 4】本発明の表示パネル（アレイ）の検査方法の説明図
【図 2 2 5】本発明の表示パネル（アレイ）の検査方法の説明図
【図 2 2 6】本発明の表示パネル（アレイ）の検査方法の説明図
【図 2 2 7】本発明の表示パネル（アレイ）の検査方法の説明図
【図 2 2 8】本発明のソースドライバ回路（IC）の説明図
【図 2 2 9】本発明のソースドライバ回路（IC）の説明図
【図 2 3 0】本発明のソースドライバ回路（IC）の説明図
【図 2 3 1】本発明のソースドライバ回路（IC）の説明図
【図 2 3 2】本発明のソースドライバ回路（IC）の説明図
【図 2 3 3】本発明のソースドライバ回路（IC）の説明図
【図 2 3 4】本発明のソースドライバ回路（IC）の説明図
【図 2 3 5】本発明の表示パネルの説明図
【図 2 3 6】本発明の表示パネルの駆動方法の説明図
【図 2 3 7】本発明のソースドライバ回路（IC）の説明図
【図 2 3 8】本発明の表示パネルの駆動方法の説明図
【図 2 3 9】本発明の表示パネルの駆動方法の説明図
【図 2 4 0】本発明のソースドライバ回路（IC）の説明図
【図 2 4 1】本発明のソースドライバ回路（IC）の説明図
【図 2 4 2】本発明のソースドライバ回路（IC）の説明図
【図 2 4 3】本発明のソースドライバ回路（IC）の説明図
【図 2 4 4】本発明のソースドライバ回路（IC）の説明図
【図 2 4 5】本発明のソースドライバ回路（IC）の説明図
【符号の説明】

【 1 1 6 4 】

- 1 1 トランジスタ（TFT、薄膜トランジスタ）
- 1 2 ゲートドライバIC（回路）
- 1 4 ソースドライバIC（回路）
- 1 5 EL（素子）（発光素子）
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量（付加コンデンサ、付加容量）
- 2 9 EL膜
- 3 0 アレイ基板
- 3 1 土手（リブ）
- 3 2 層間絶縁膜
- 3 4 コンタクト
- 3 5 画素電極
- 3 6 カソード電極
- 3 7 乾燥剤
- 3 8 $\lambda/4$ 板（ $\lambda/4$ フィルム、位相板、位相フィルム）
- 3 9 偏光板
- 4 0 封止フタ
- 4 1 薄膜封止膜
- 7 1 切り換え回路（アナログスイッチ）

10

20

30

40

50

1 4 1	シフトレジスタ	
1 4 2	インバータ	
1 4 3	出力バッファ	
1 4 4	表示領域 (表示画面)	
1 5 0	内部配線 (出力配線)	
1 5 1	スイッチ (オンオフ手段)	
1 5 3	ゲート配線	
1 5 4	電流源 (単位トランジスタ)	
1 5 7、1 5 8	トランジスタ	
1 6 1	一致回路	10
1 6 2	カウンタ	
1 6 3	A N D 回路	
1 6 4	電流出力回路	
1 7 1	保護ダイオード	
1 7 2	サージ低減抵抗	
1 9 1	書き込み画素行	
1 9 2	非表示 (非点灯) 領域	
1 9 3	表示 (点灯) 領域	
4 3 1	トランジスタ群	
5 0 1	電子ポリウム (電圧可変手段)	20
5 0 2	オペアンプ	
6 0 1	基準電流回路	
6 4 1	ラダー抵抗	
6 4 2	スイッチ回路	
6 4 3	電圧入出力回路	
6 6 1	D A 変換回路	
7 6 0	コントロール回路 (I C) (制御手段)	
7 6 1	プリチャージ制御回路	
7 6 4	ガンマ変換回路	
7 6 5	フレームレートコントロール (F R C) 回路	30
7 7 1	ラッチ回路 (保持回路、保持手段、データ格納回路)	
7 7 2	セレクト回路 (選択手段、切り換え手段)	
7 7 3	プリチャージ回路	
8 1 1	差動回路	
8 2 1	シリアル-パラレル変換回路 (コントロール I C)	
8 3 1	コントロール I C (回路) (制御手段)	
8 4 2	嵩上げ回路	
8 5 1	スイッチ回路 (切り換え手段)	
8 5 2	デコーダ回路	
8 5 3	A I 処理回路 (ピーク電流抑制、ダイナミックレンジ拡大処理など)	40
8 5 4	動画検出処理 (I D 処理)	
8 5 6	カラーマネジメント処理回路 (色補償/補正、色温度補正回路)	
8 5 9	演算回路 (M P U, C P U)	
8 6 1	可変増幅器	
8 6 7	サンプリング回路 (データ保持回路、信号ラッチ回路)	
8 8 1、8 8 2	乗算器	
8 8 3	加算器	
8 8 4	総和回路 (S U M 回路、データ処理回路、総電流演算回路)	
1 1 9 1	D C D C コンバータ (電圧値変換回路、D C 電源回路)	
1 1 9 3	レギュレータ	50

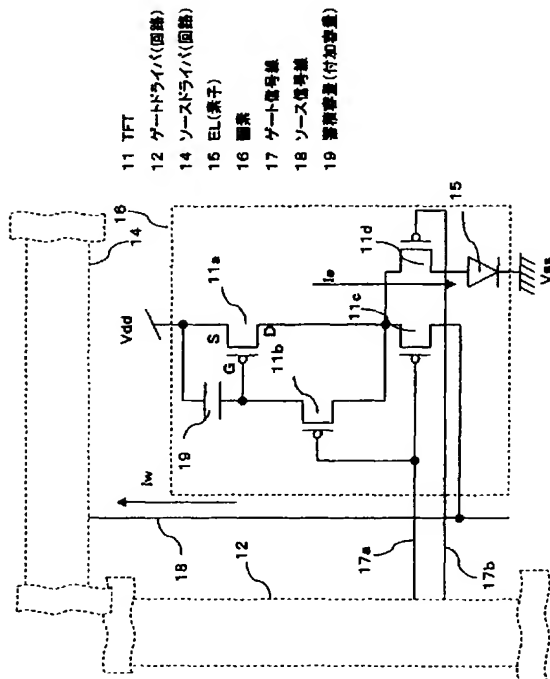
1 2 6 1	アンテナ	
1 2 6 2	キー	
1 2 6 3	筐体	
1 2 6 4	表示パネル	
1 2 7 1	電圧階調回路 (プログラム電圧発生回路)	
1 3 1 1	デコーダ	
1 4 3 1	加算回路	
1 5 4 1	接眼リング	
1 5 4 2	拡大レンズ (正レンズ)	
1 5 4 3	凸レンズ (正レンズ)	10
1 5 5 1	支点 (回転部)	
1 5 5 2	撮影レンズ (撮影手段)	
1 5 5 3	格納部	
1 5 5 4	スイッチ	
1 5 6 1	本体	
1 5 6 2	撮影部	
1 5 6 3	シャッタスイッチ	
1 5 7 1	取り付け枠	
1 5 7 2	脚	
1 5 7 3	取り付け台	20
1 5 7 4	固定部	
1 5 8 1	制御電極	
1 5 8 2	映像信号回路	
1 5 8 3	電子放出突起	
1 5 8 4	保持回路	
1 5 8 5	オンオフ制御回路	
1 6 2 1	トリミング装置 (トリミング手段、調整手段)	
1 6 2 2	レーザー光	
1 6 2 3	抵抗 (調整部)	
1 6 8 1	補正 (調整) トランジスタ	30
1 6 9 1	ソース端子	
1 6 9 2	ゲート端子	
1 6 9 3	ドレイン端子	
1 6 9 4	トランジスタ	
1 7 3 1	選択スイッチ (選択手段)	
1 7 3 2	共通線	
1 7 3 3	電流計 (電流測定手段)	
1 7 3 4	端子電極	
1 8 0 1	コネクタ端子 (接続端子)	
1 8 0 2	フレキシ基板	40
1 8 1 1	カソード配線	
1 8 1 2	カソード接続位置	
1 8 1 3	ゲートドライバ信号	
1 8 1 4	ソースドライバ信号	
1 8 1 5	アノード配線	
1 8 8 1	電流保持回路	
1 8 8 2	階調電流配線	
1 8 8 3	出力制御端子	
1 9 0 1	差動信号	
1 9 0 2	信号配線	50

- 1 9 1 2 電源モジュール
- 1 9 1 3 コイル (トランス回路、昇圧回路)
- 1 9 1 4 接続端子
- 2 0 3 1 アノード端子配線
- 2 0 3 2 ショートチップ (ショート手段)
- 2 0 3 3 チップ端子
- 2 0 3 4 ソース信号線端子
- 2 0 4 1 ショート液 (ショートゲル、ショート樹脂)
- 2 0 8 1 カスケード配線
- 2 1 9 1 スイッチ (オンオフ手段)
- 2 2 3 1 オンオフ制御手段
- 2 2 3 2 検査スイッチ
- 2 2 5 1 保護ダイオード
- 2 2 5 2 電圧配線
- 2 2 6 1 電圧源 (検査信号発生手段、検査信号発生部)
- 2 2 8 0 出力回路 (出力段、電流出力回路、電流保持回路)
- 2 2 8 1 トランジスタ
- 2 2 8 2 ゲート信号線
- 2 2 8 3 電流信号線
- 2 2 8 4 ゲート信号線
- 2 2 8 9 コンデンサ
- 2 3 0 1 リセット回路
- 2 3 1 1 スイッチトランジスタ
- 2 2 8 5 ゲート信号線
- 2 3 0 1 I-V変換回路

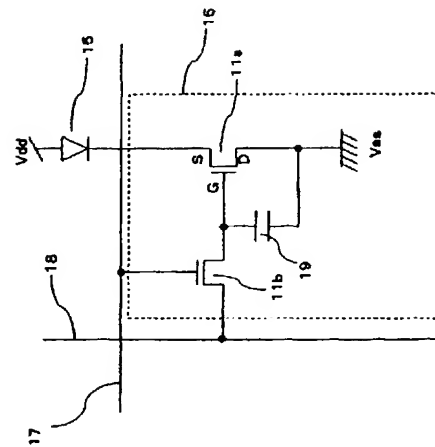
10

20

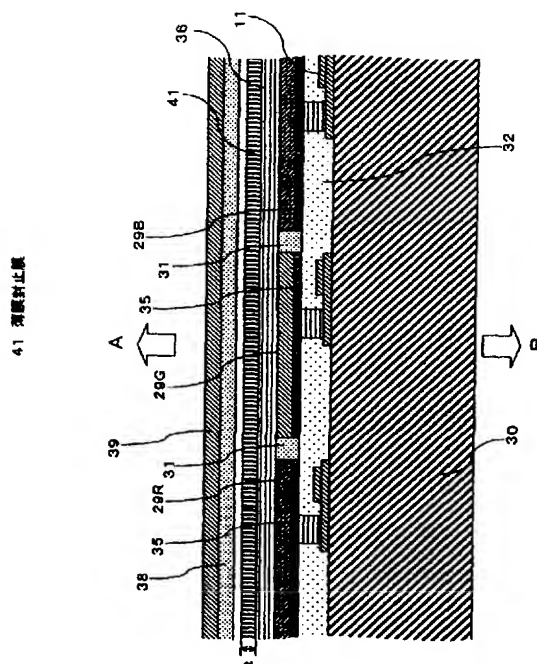
【図 1】



【図 2】

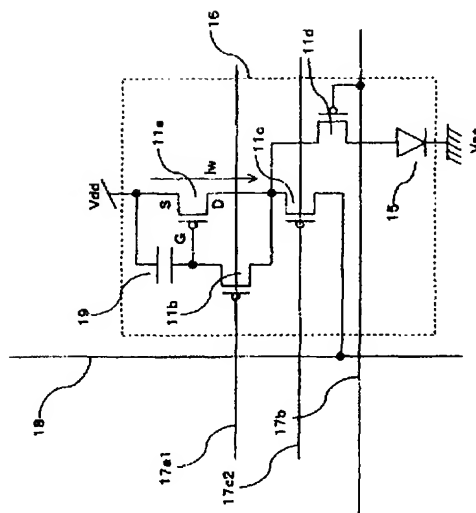


【図 4】

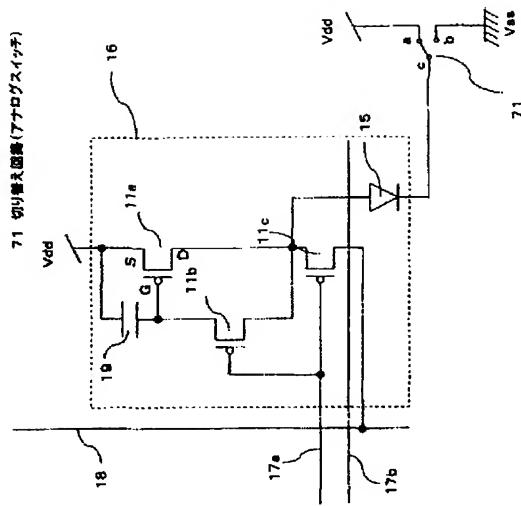


4.7 薄膜封止膜

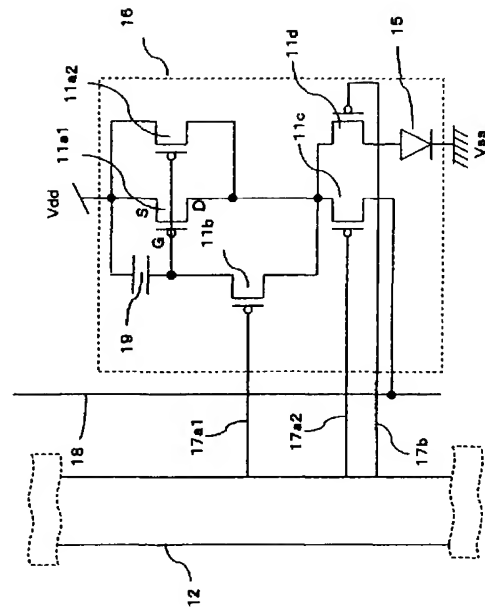
【 6 】



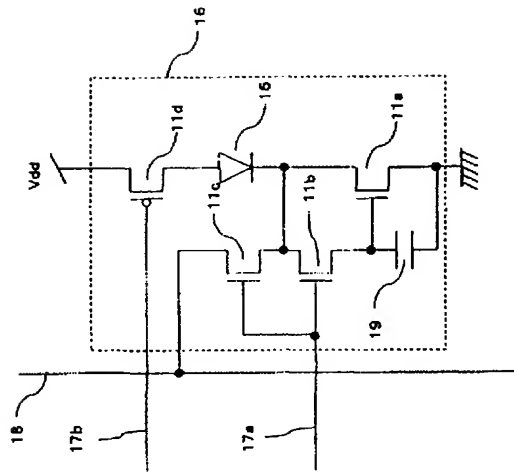
【 図 7 】



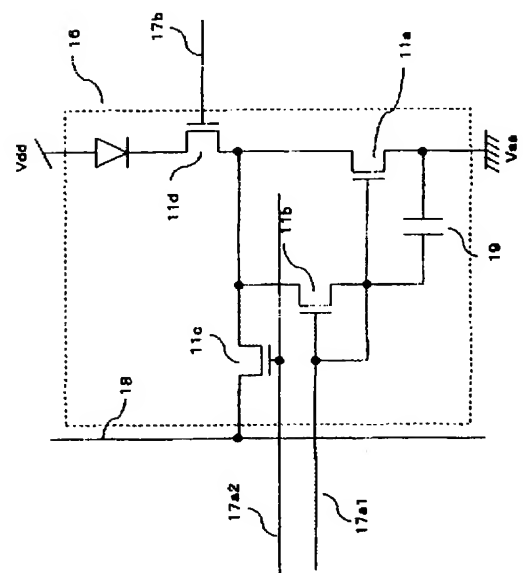
【 図 8 】



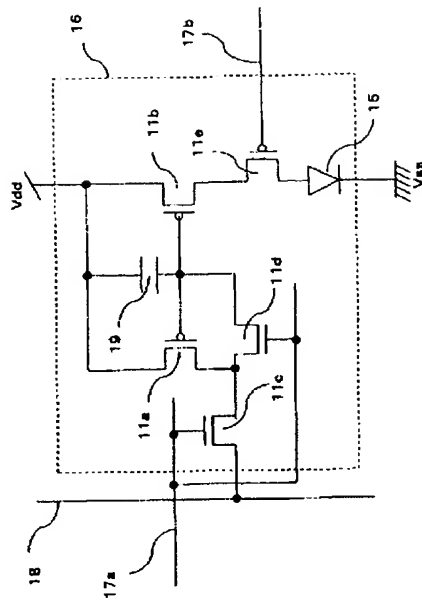
【 図 9 】



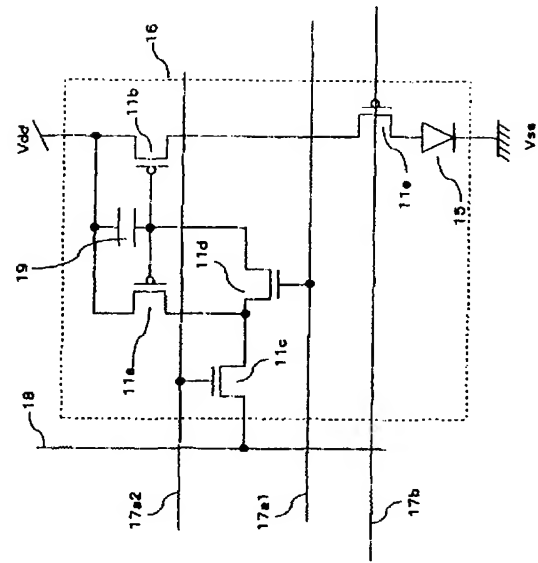
【 図 10 】



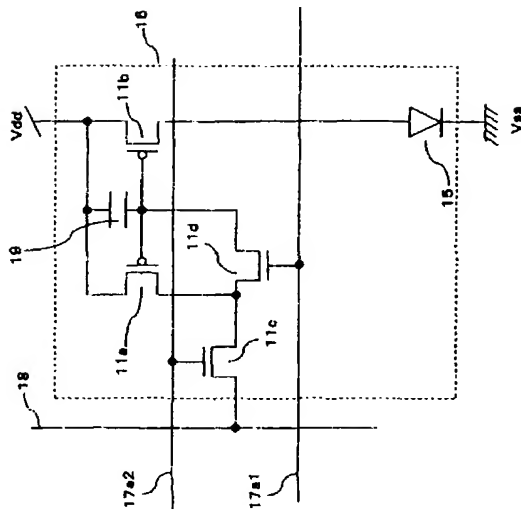
【図 1 1】



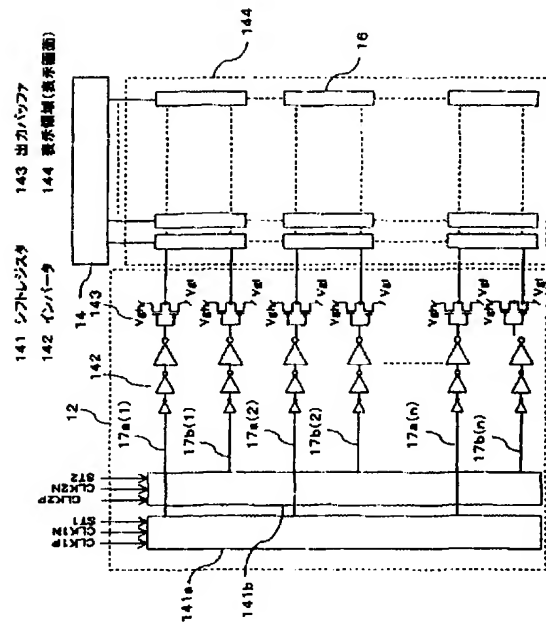
【図 1 2】



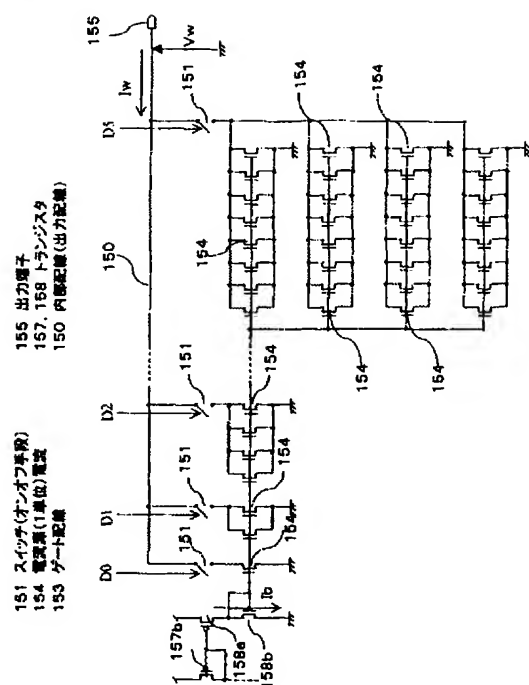
【図 1 3】



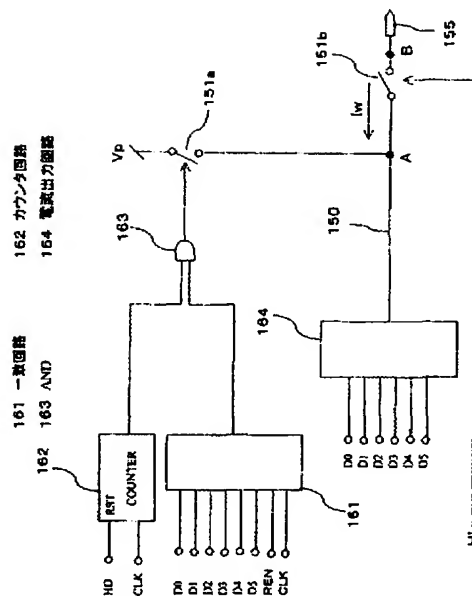
【図 1 4】



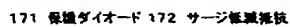
【 図 1 5 】



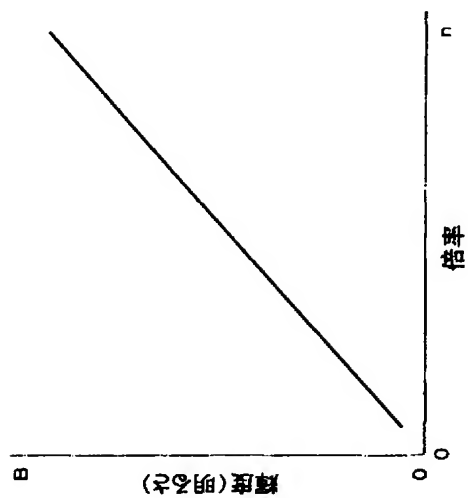
【 図 1 6 】



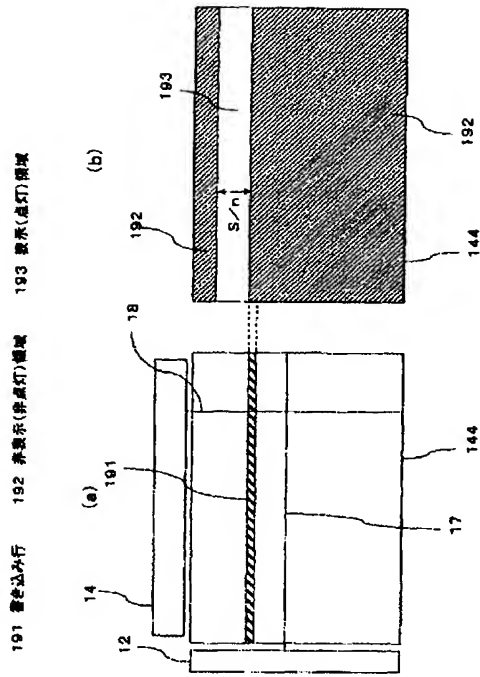
【 図 1 7 】



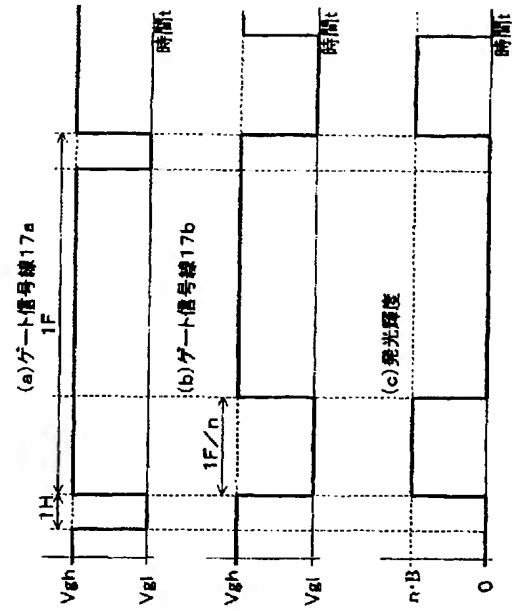
【 図 1 8 】



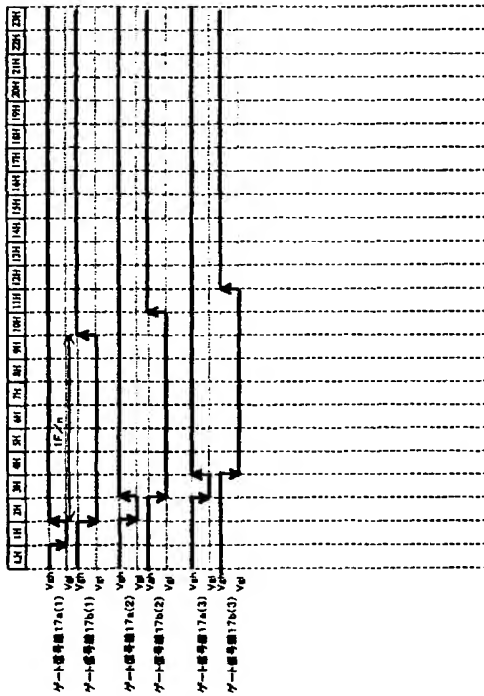
【 図 1 9 】



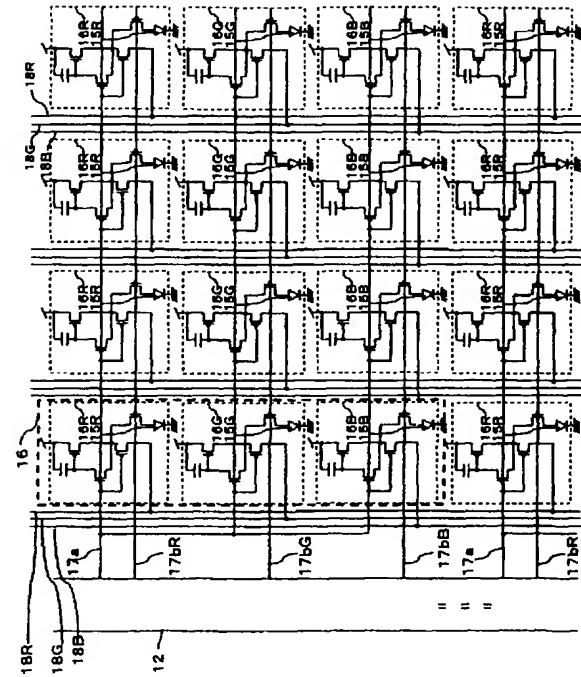
【 図 2 0 】



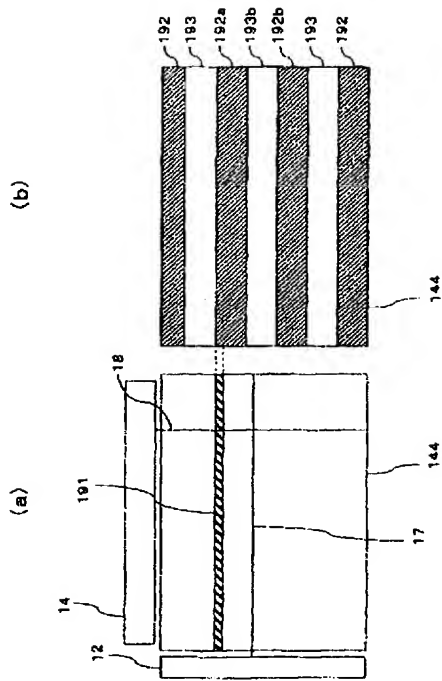
【 図 2 1 】



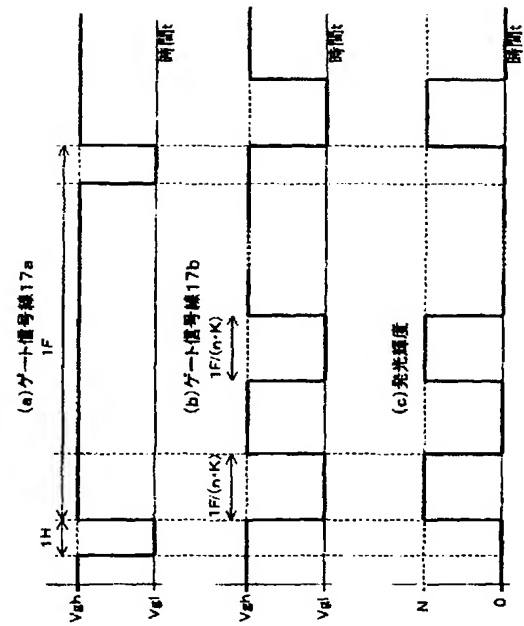
【 図 2 2 】



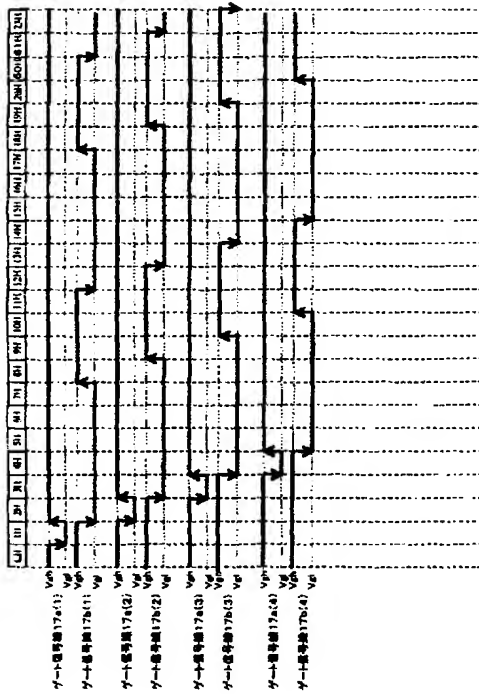
【 図 2 3 】



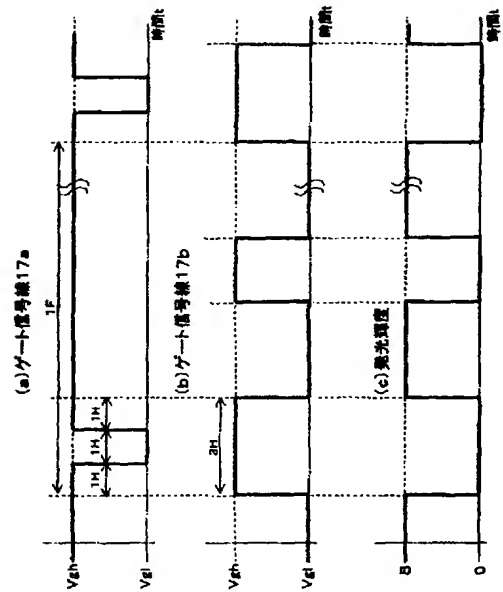
【 図 2 4 】



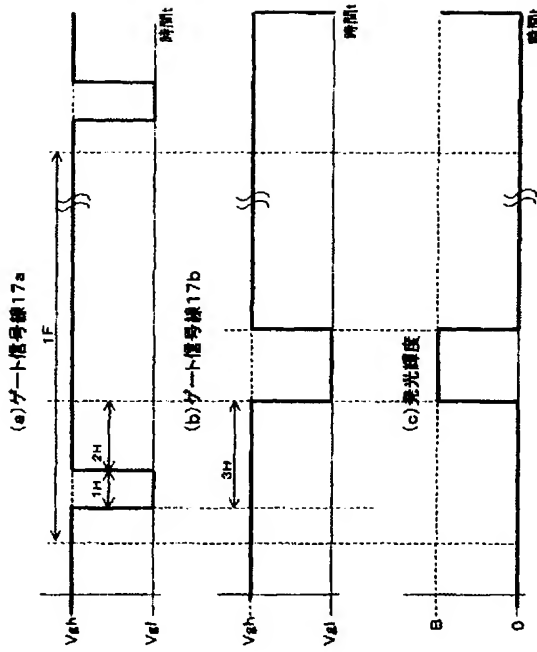
【 図 2 5 】



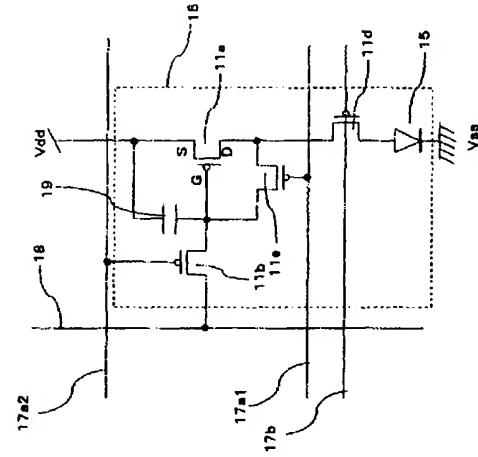
【 図 2 6 】



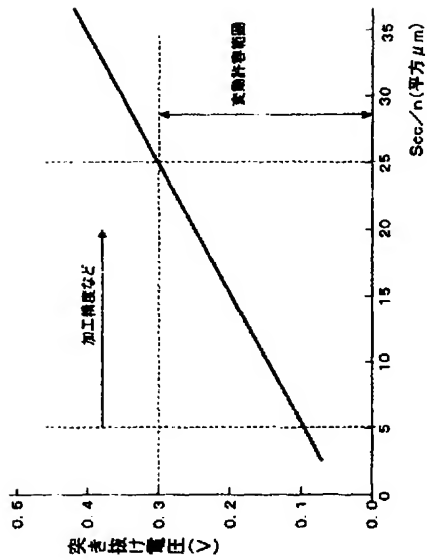
【 図 27 】



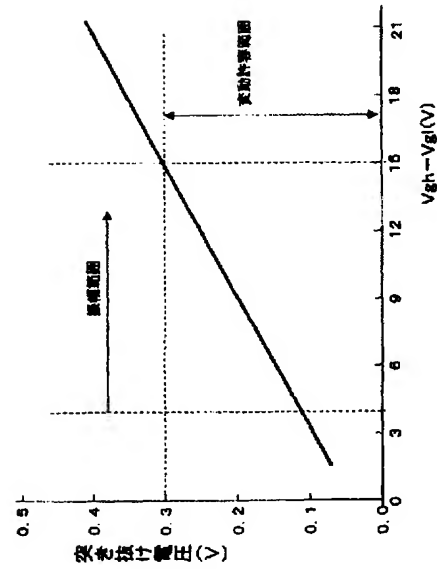
【 図 28 】



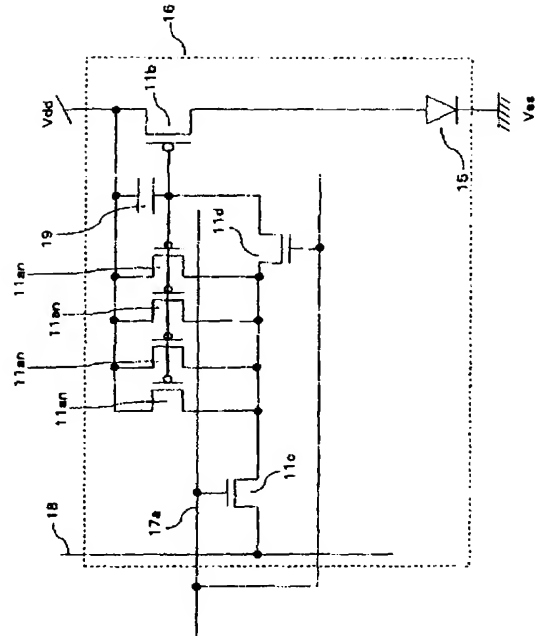
【 図 29 】



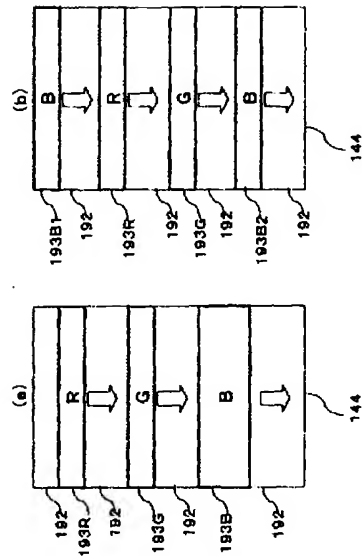
【 図 30 】



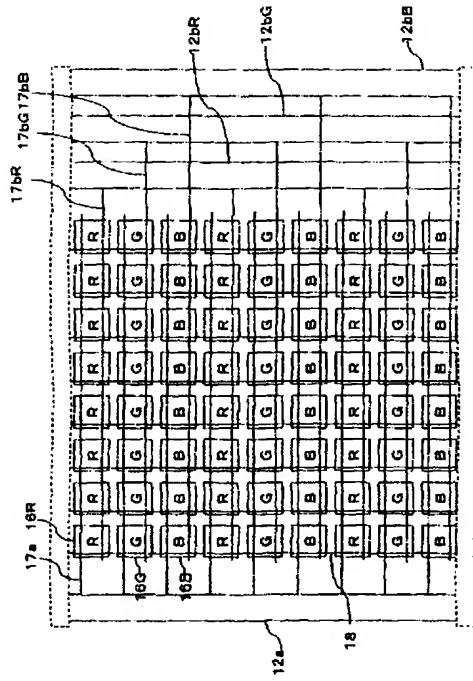
【图 3 6】



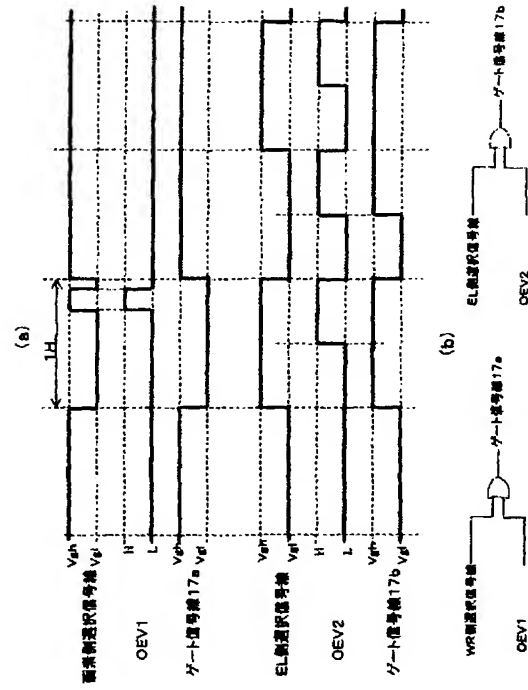
【 ㊦ 3 8 】



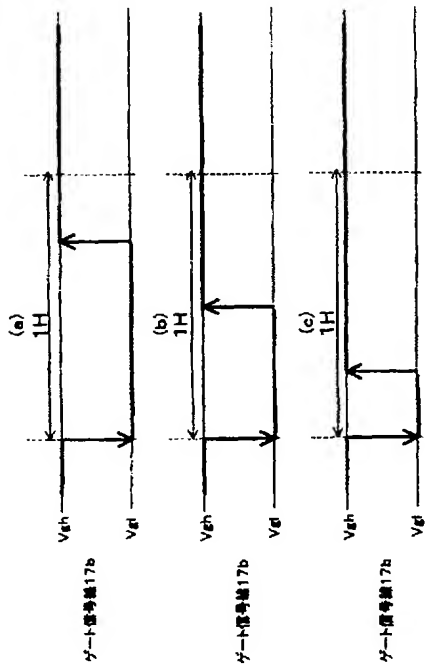
【 図 3 9 】



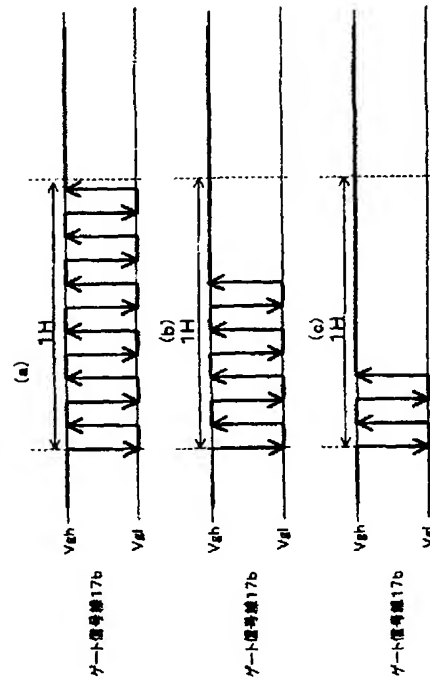
【 図 4 0 】



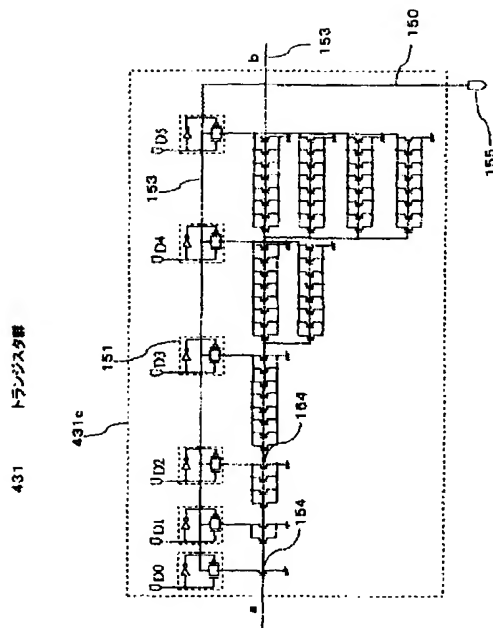
【 図 4 1 】



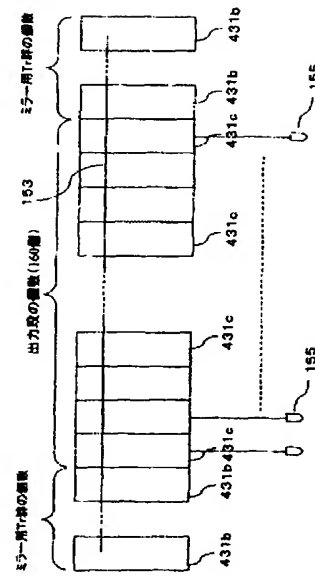
【 図 4 2 】



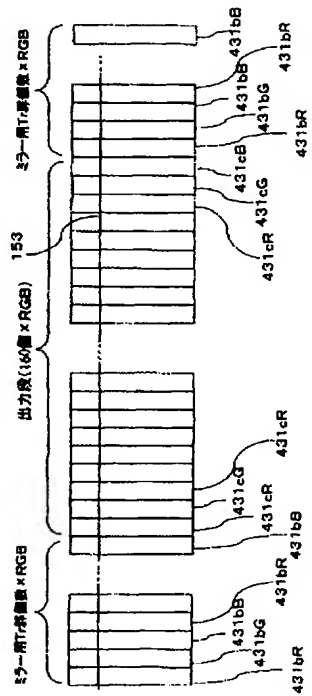
【 図 4 3 】



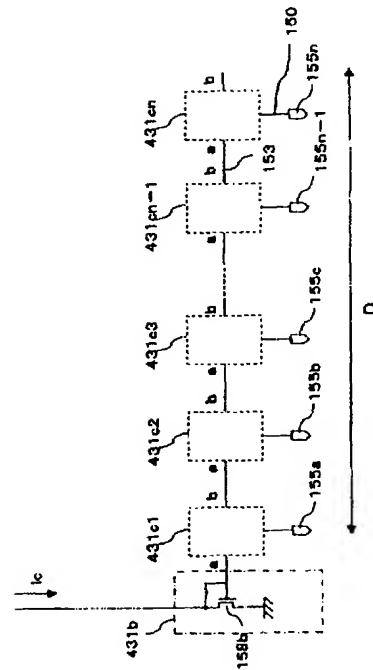
【 図 4 4 】



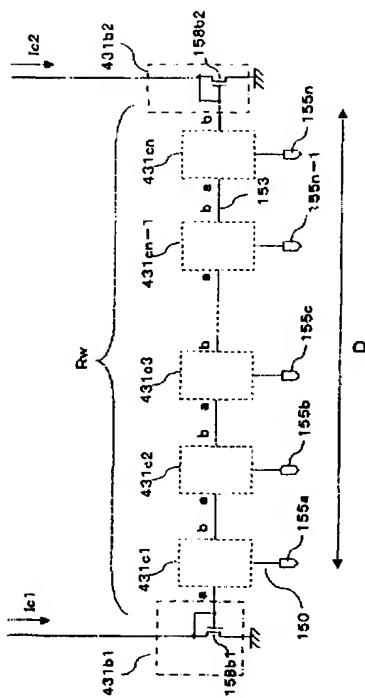
【 図 4 5 】



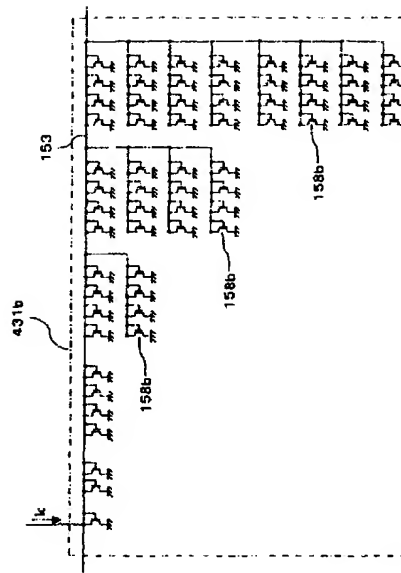
【 図 4 6 】



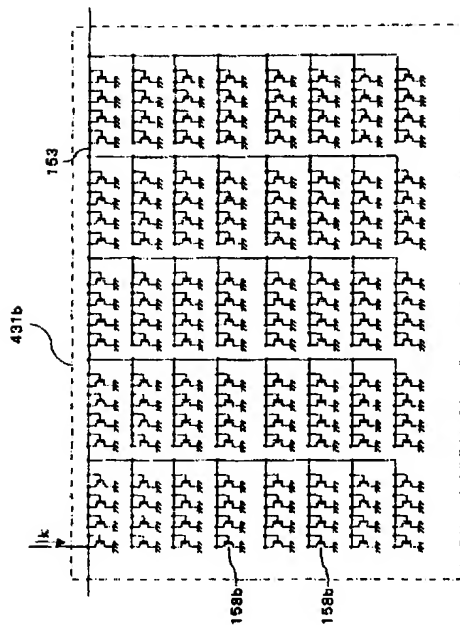
【 図 4 7 】



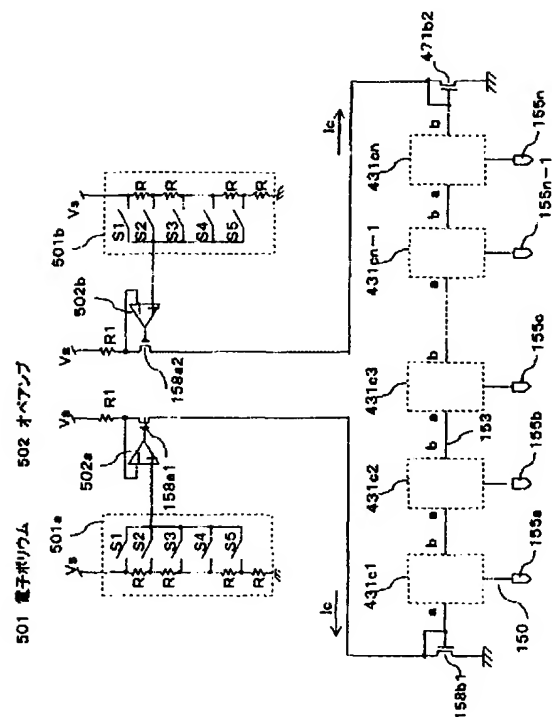
【 図 4 8 】



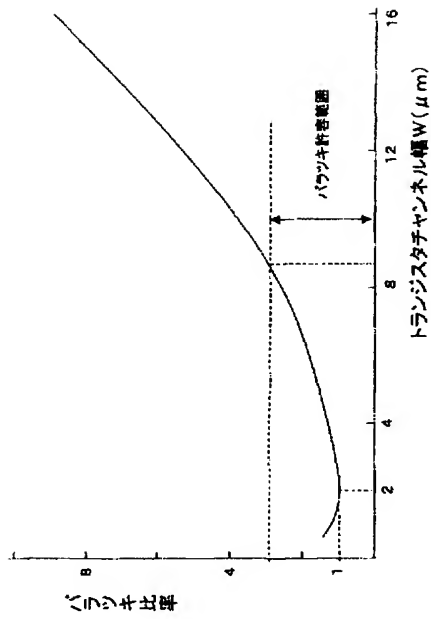
【 図 4 9 】



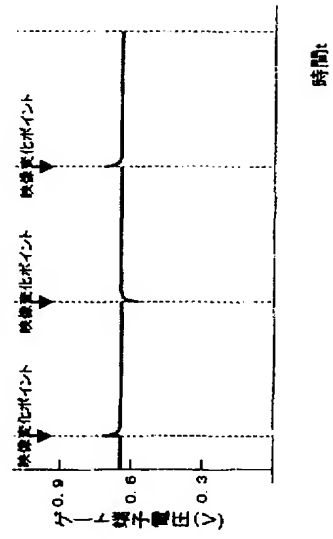
【 図 5 0 】



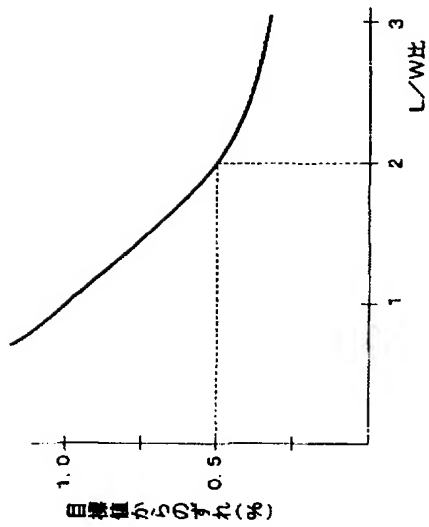
【 図 5 1 】



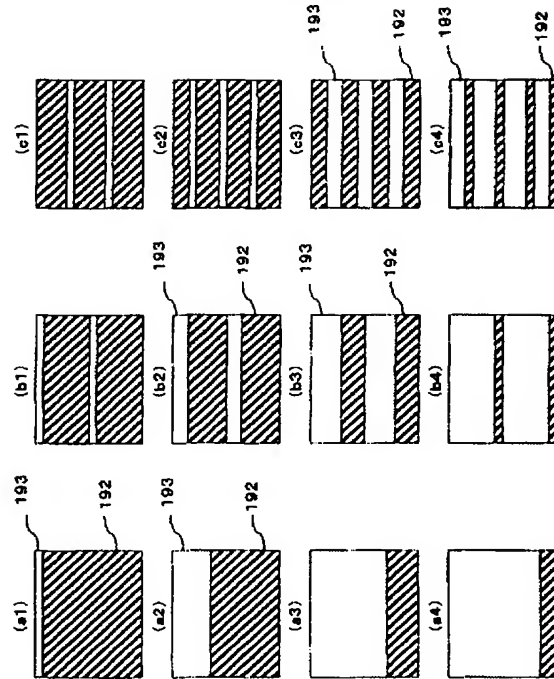
【 図 5 2 】



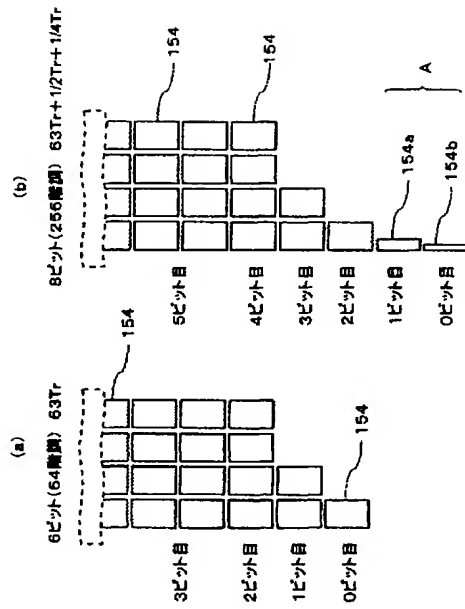
【 図 5 3 】



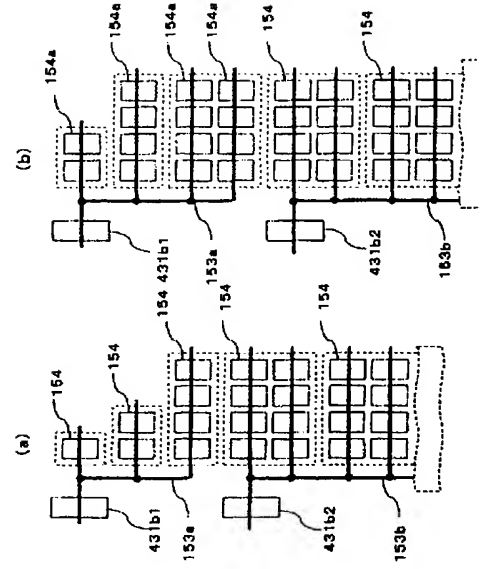
【 図 5 4 】



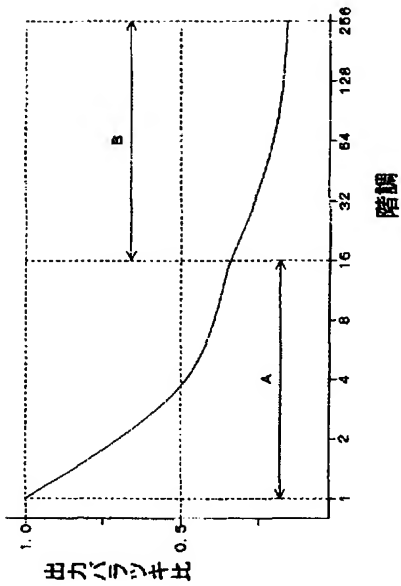
【 図 5 5 】



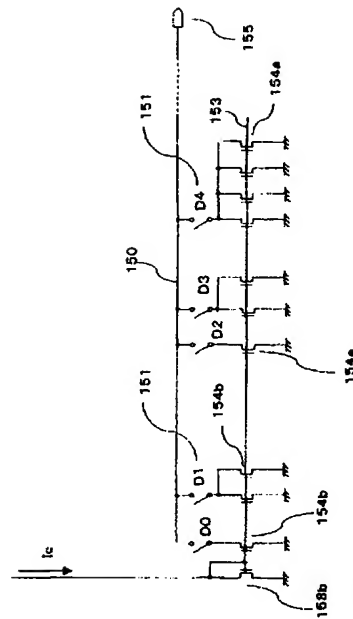
【 図 5 6 】



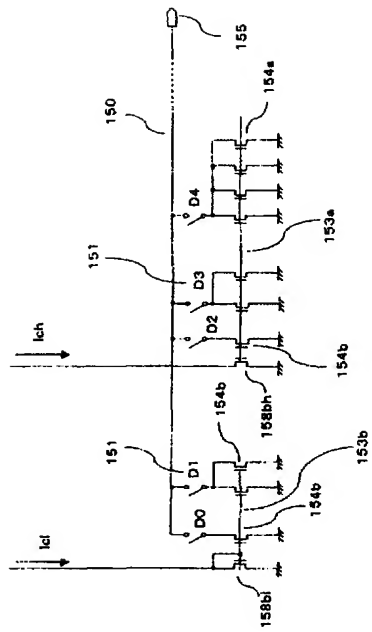
【 図 5 7 】



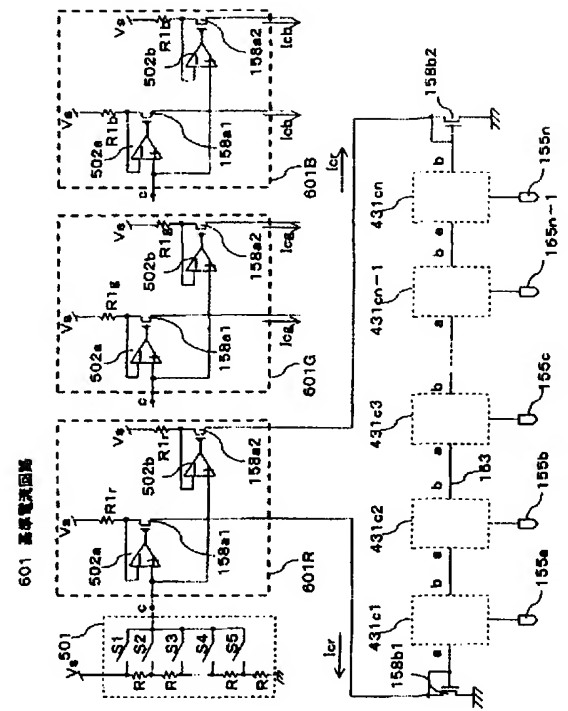
【 図 5 8 】



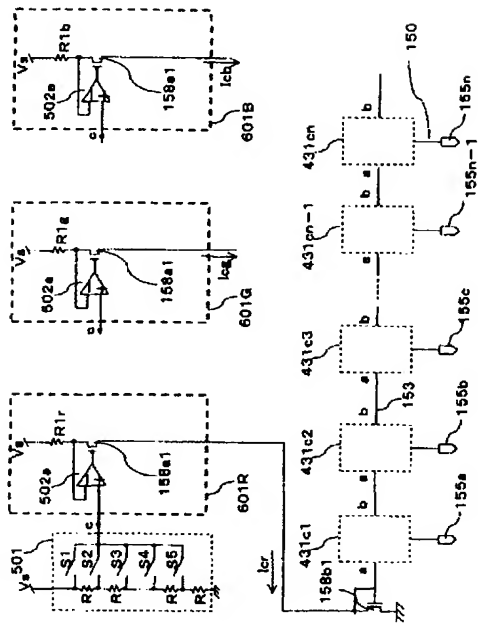
【 図 59 】



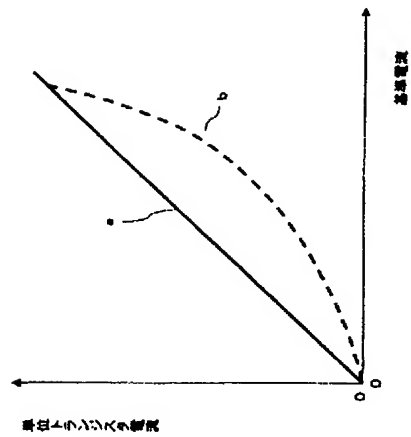
【 図 60 】



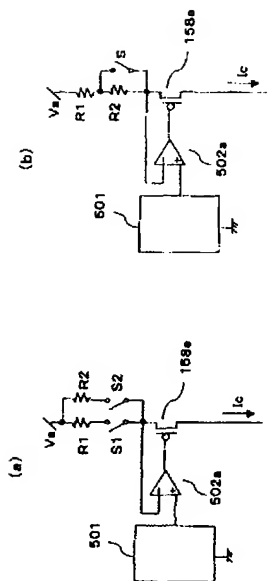
【 図 61 】



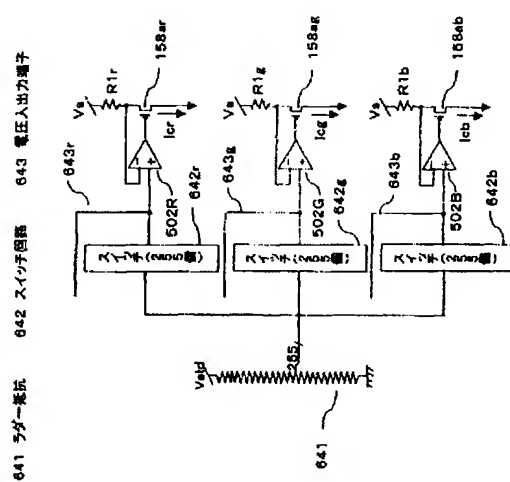
【 図 62 】



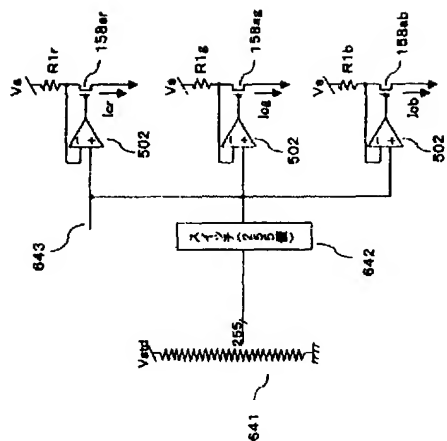
【 図 6 3 】



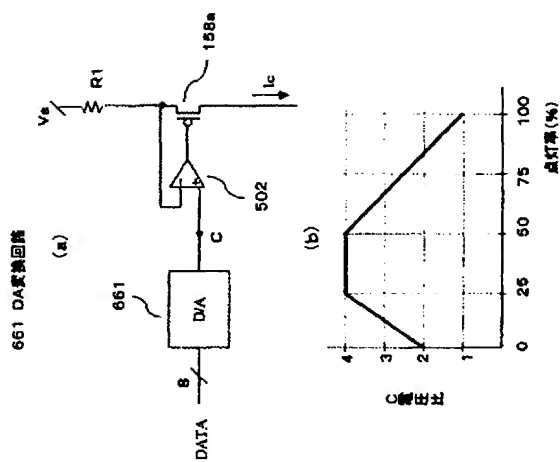
【 図 6 4 】



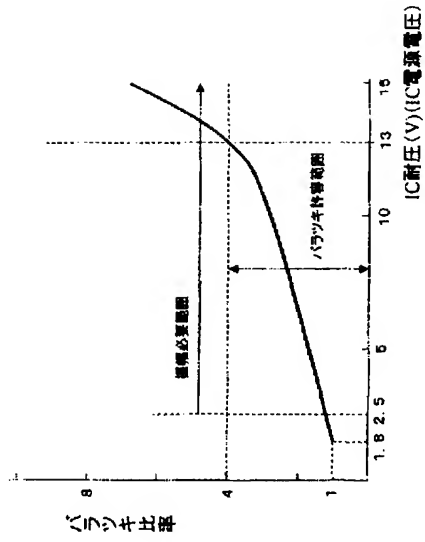
【 図 6 5 】



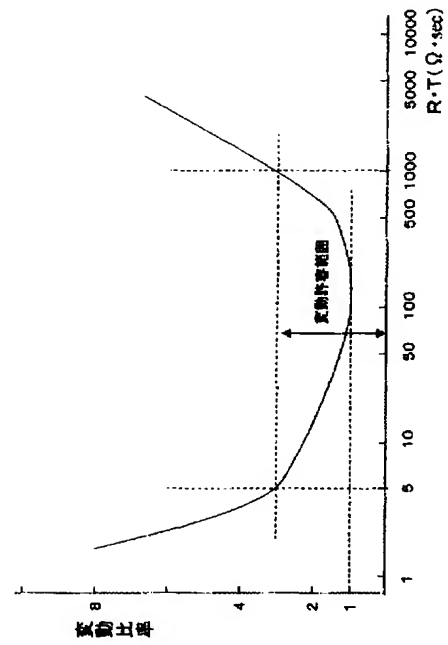
【 図 6 6 】



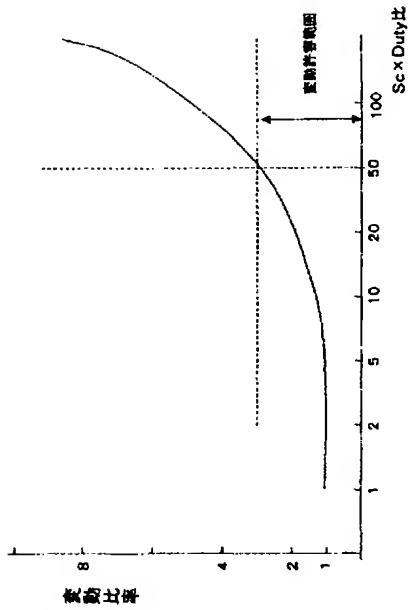
【図 6 7】



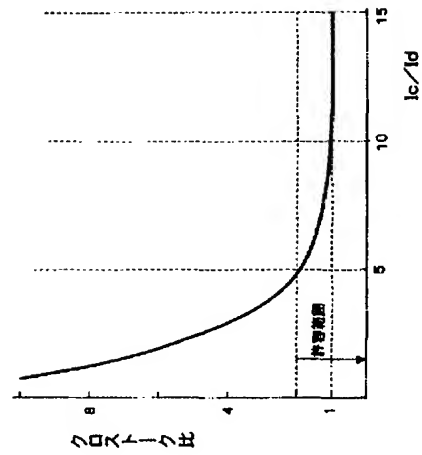
【図 6 8】



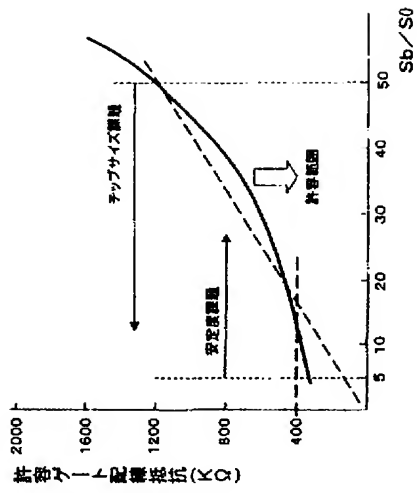
【図 6 9】



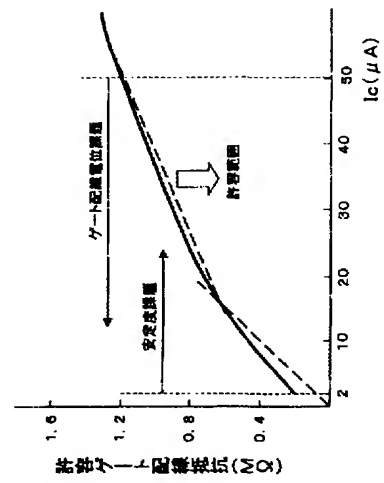
【図 7 0】



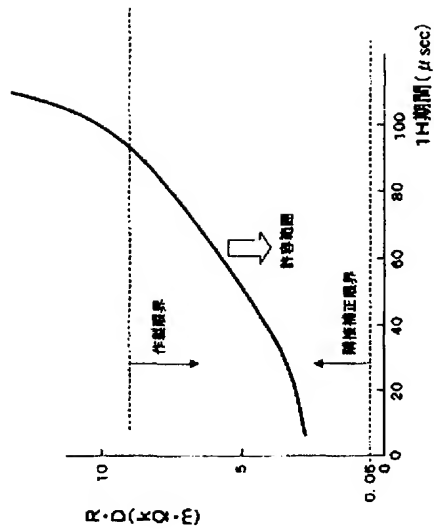
【 図 7 1 】



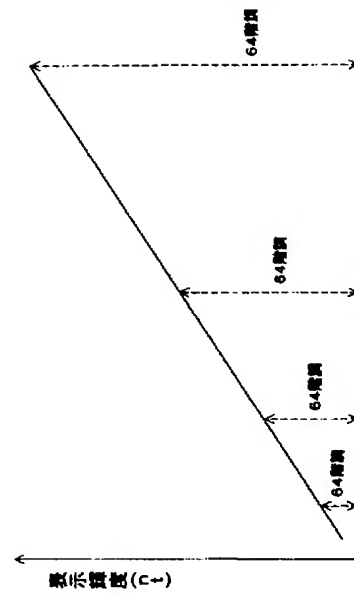
【 図 7 2 】



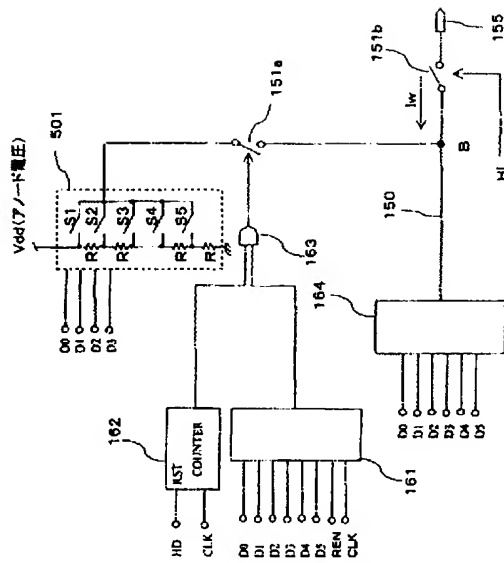
【 図 7 3 】



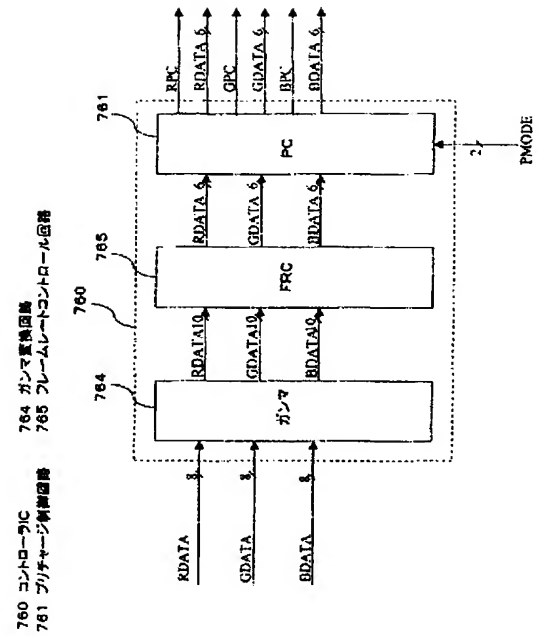
【 図 7 4 】



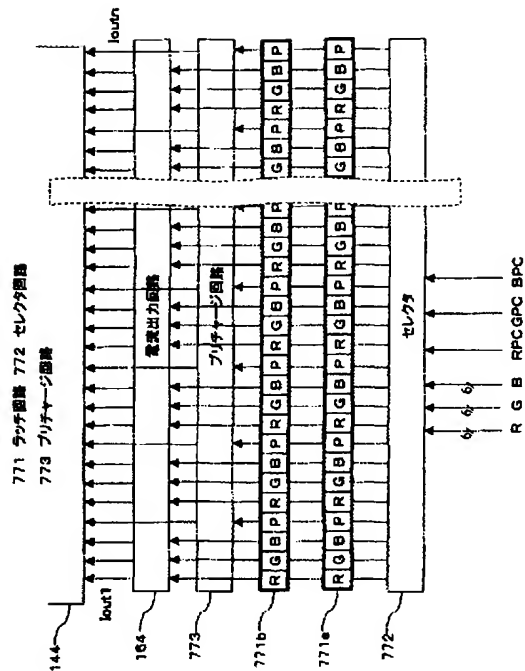
【 図 7 5 】



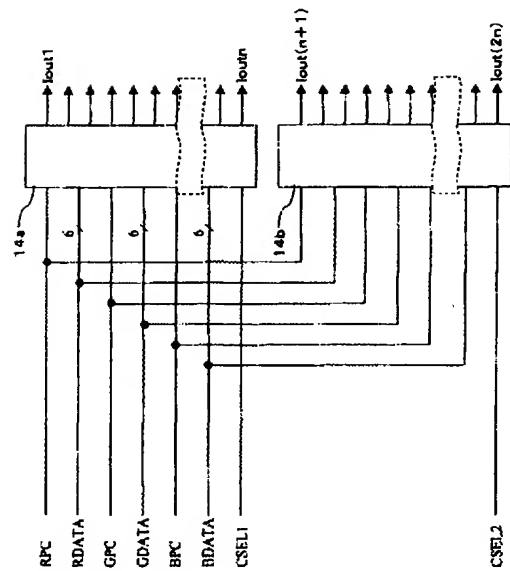
【 図 7 6 】



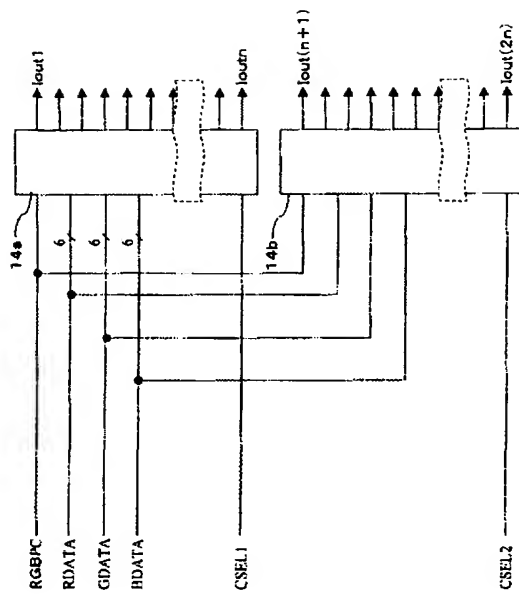
【 図 7 7 】



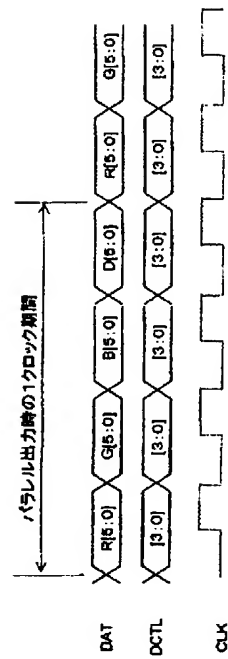
【 図 7 8 】



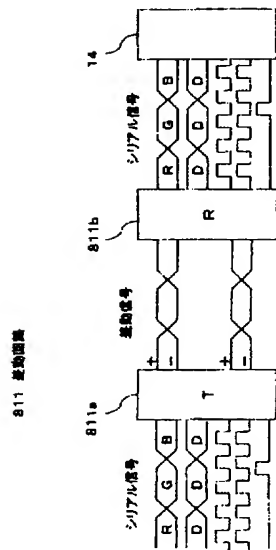
【 図 7 9 】



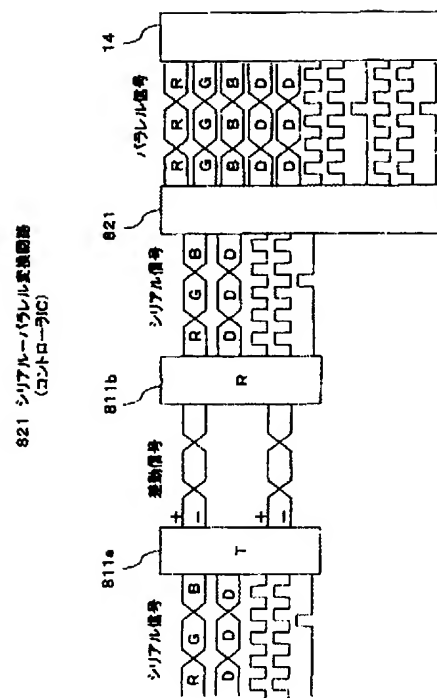
【 図 8 0 】



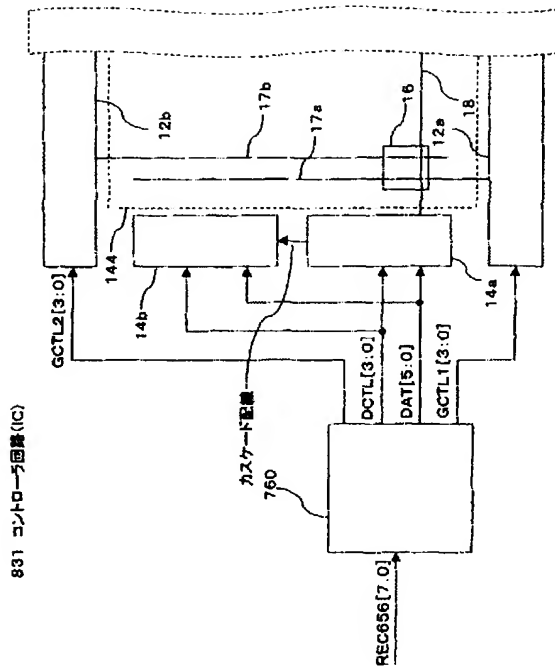
【 図 8 1 】



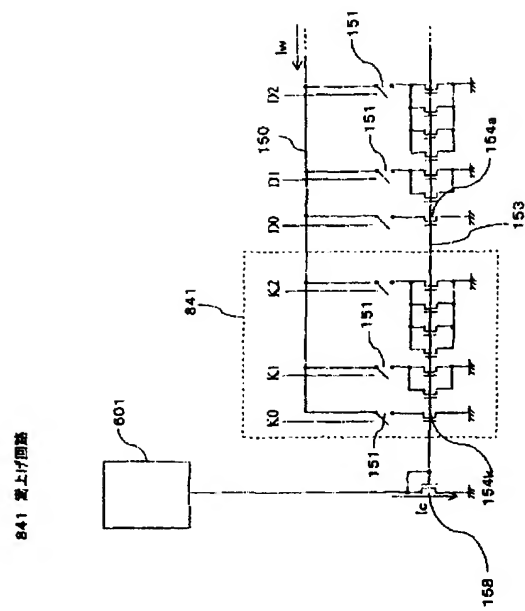
【 図 8 2 】



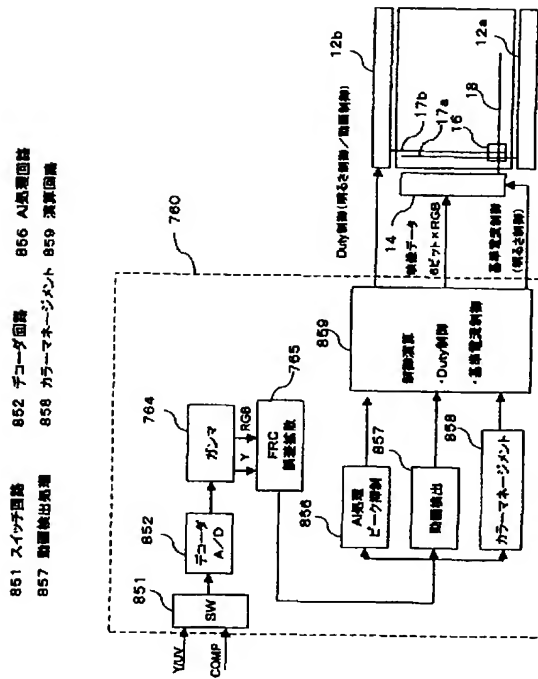
【 図 8 3 】



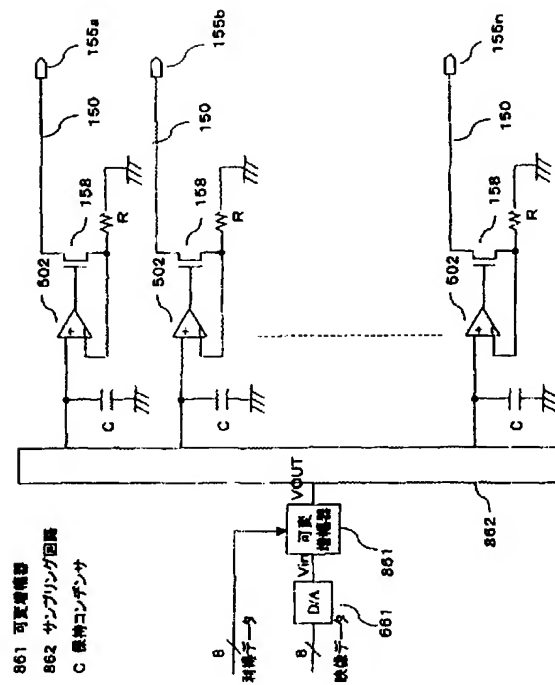
【 図 8 4 】



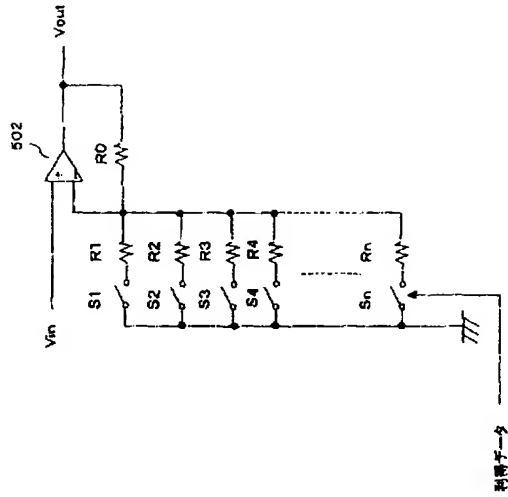
【 図 8 5 】



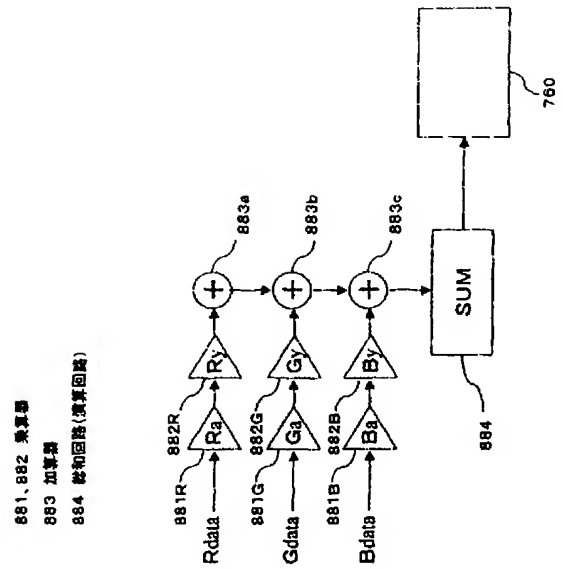
【 図 8 6 】



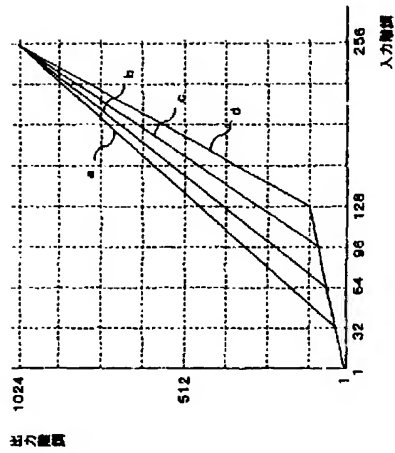
【 図 8 7 】



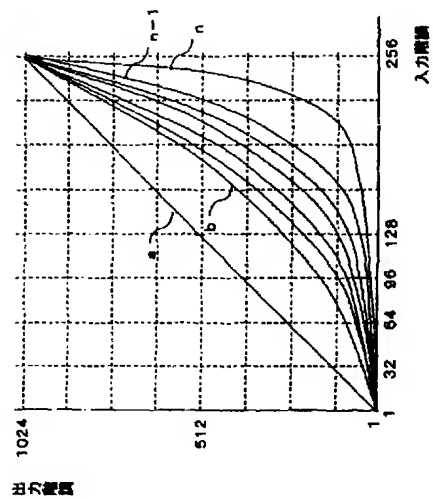
【 図 8 8 】



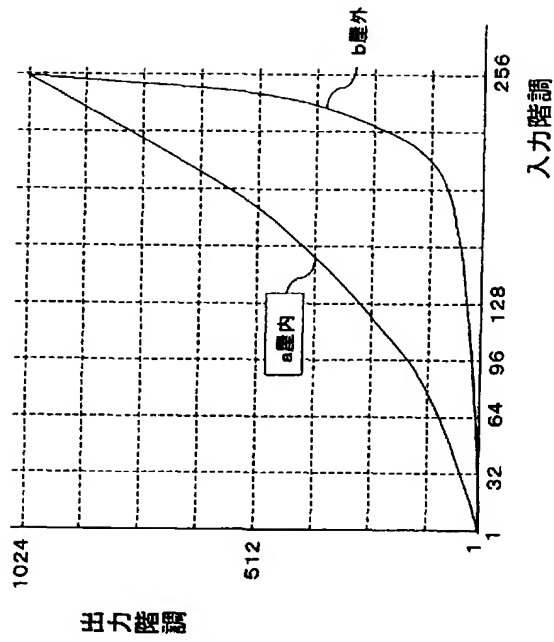
【 図 8 9 】



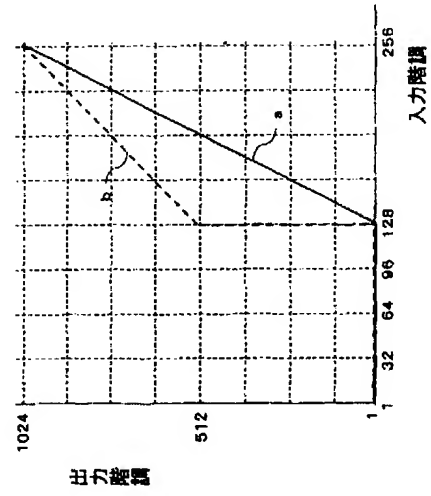
【 図 9 0 】



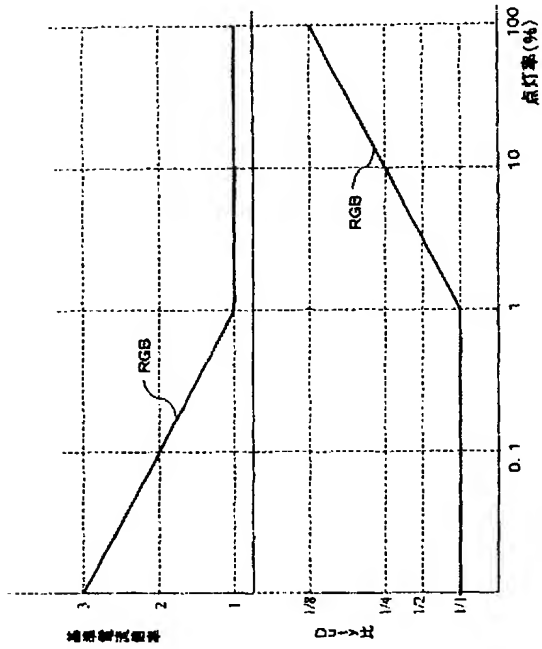
【 図 9 1 】



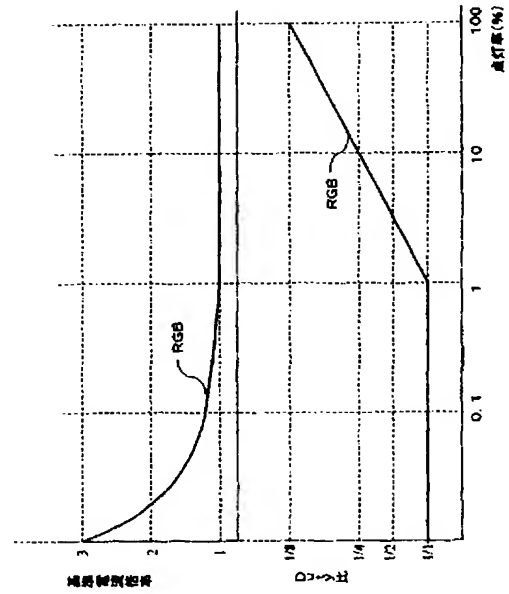
【 図 9 2 】



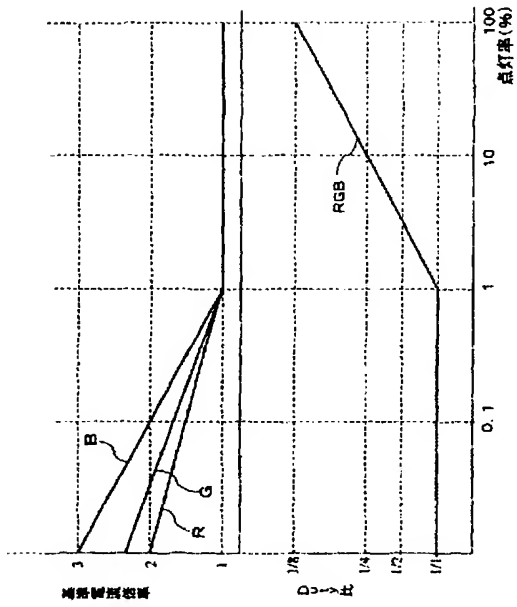
【 図 9 3 】



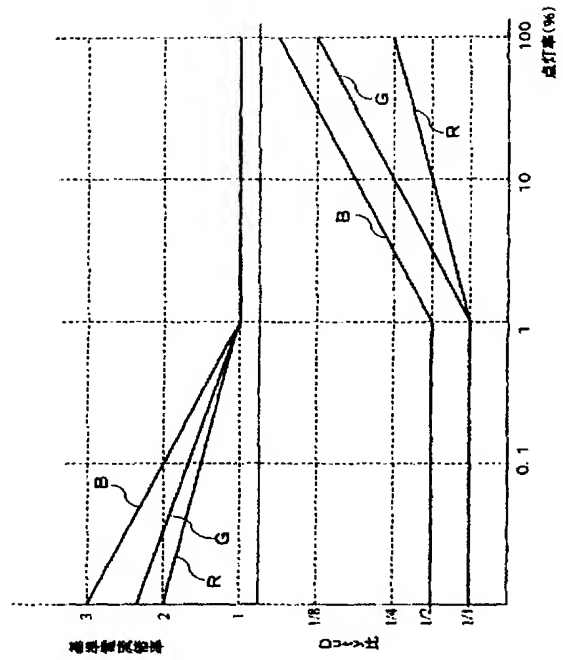
【 図 9 4 】



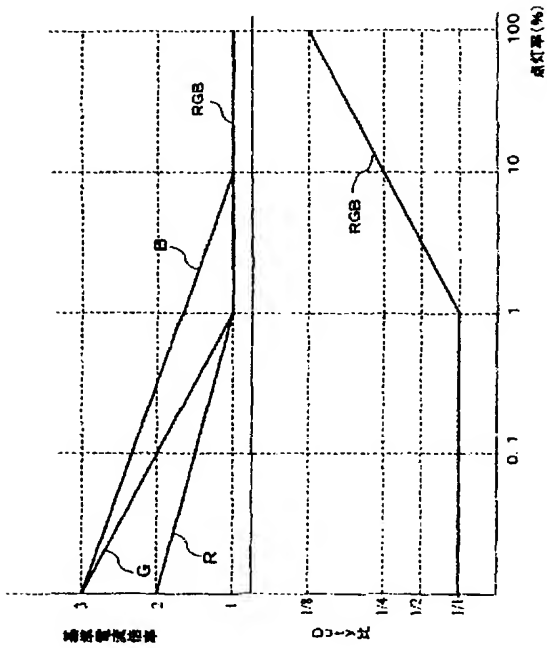
【 図 9 5 】



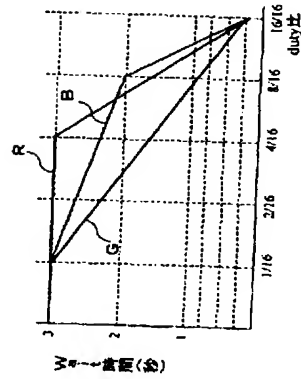
【 図 9 6 】



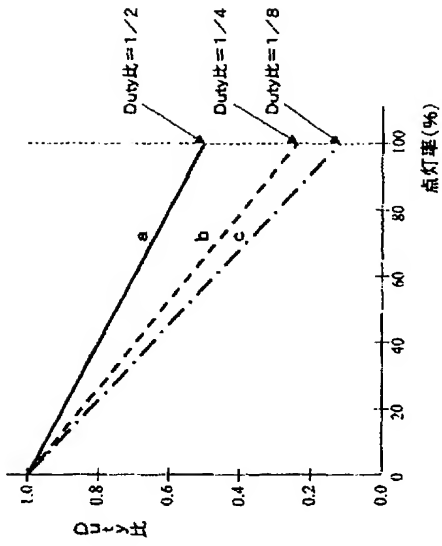
【 図 9 7 】



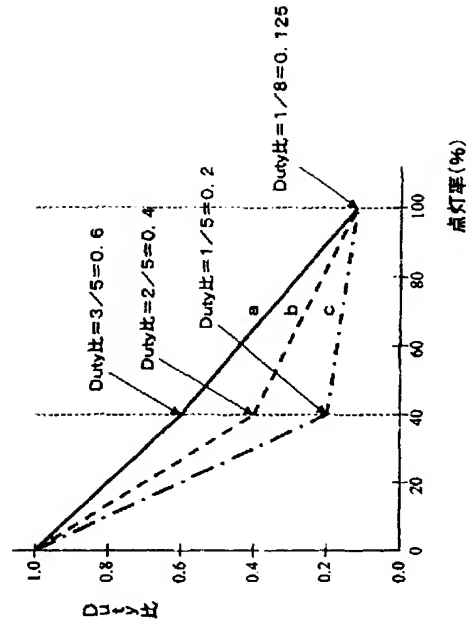
【 図 9 8 】



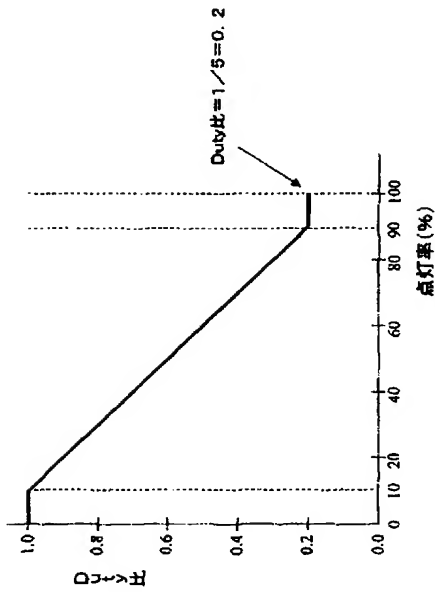
【图 99】



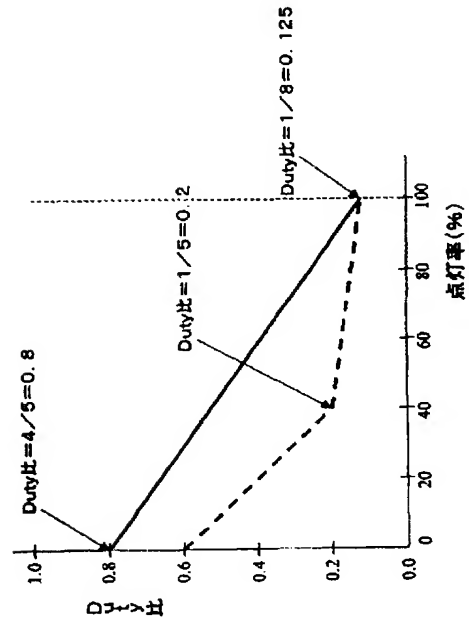
【图 100】



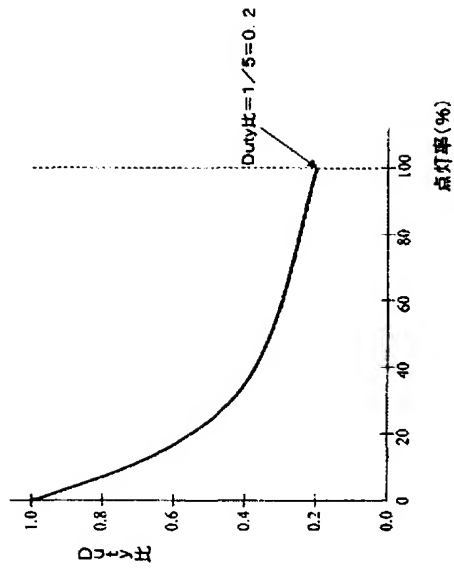
【图 101】



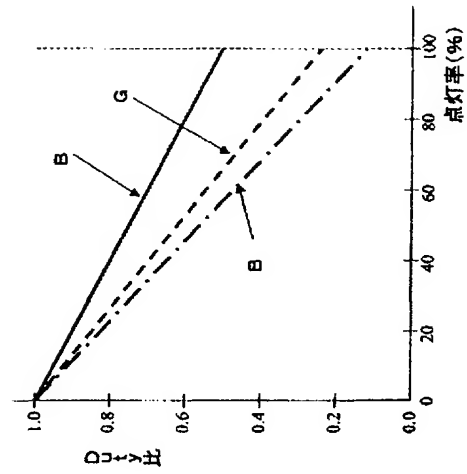
【图 102】



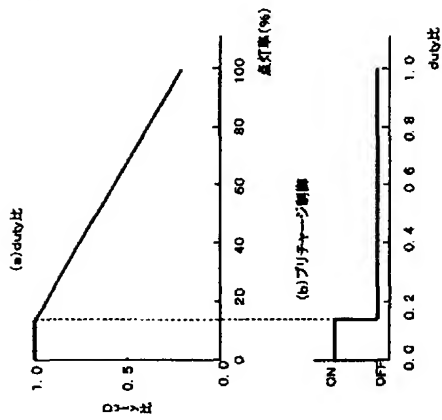
【図 103】



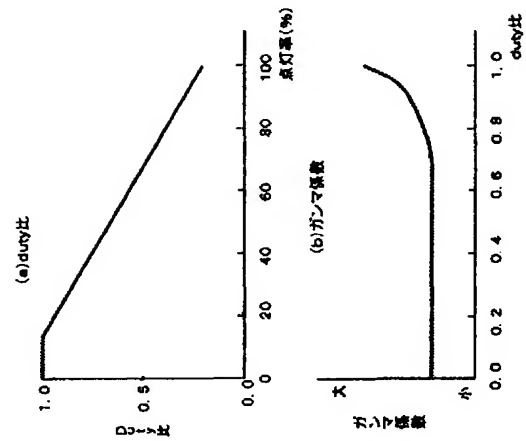
【図 104】



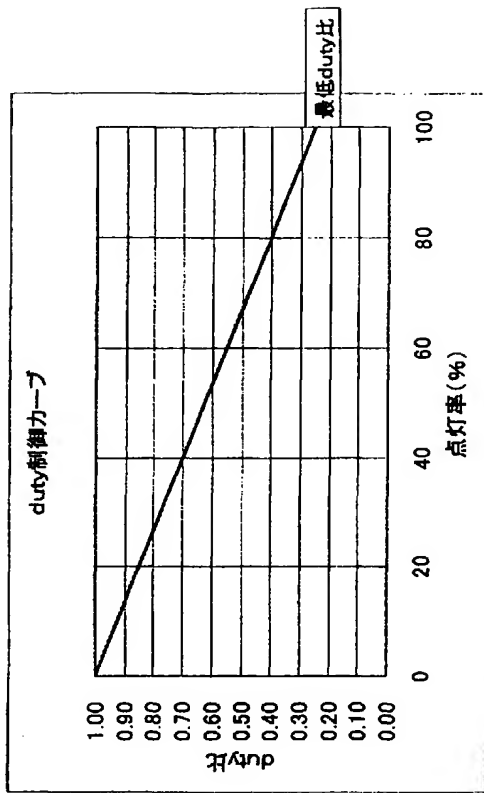
【図 105】



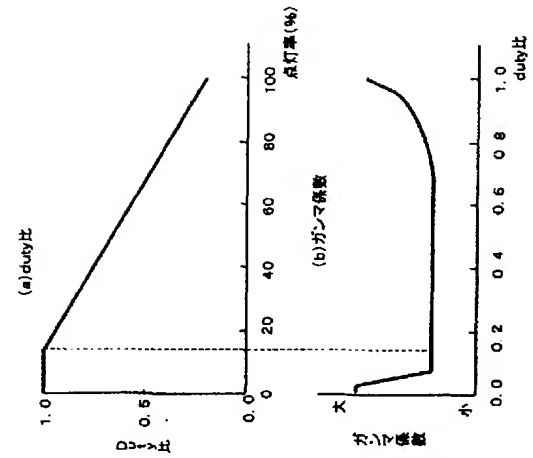
【図 106】



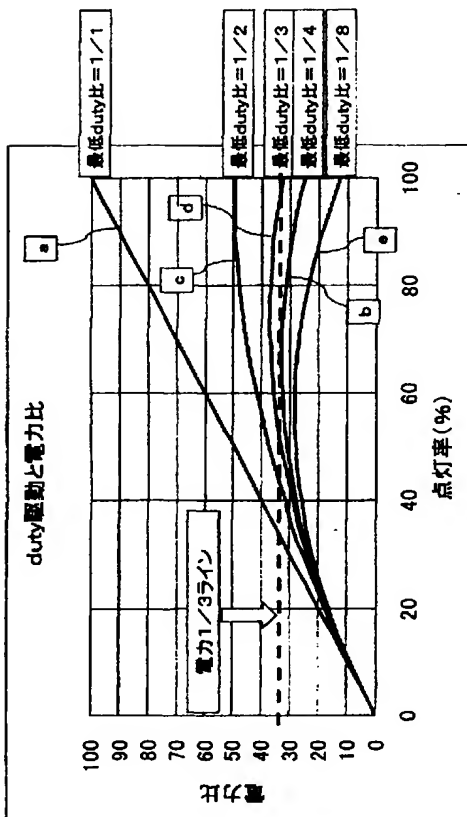
【 図 1 0 7 】



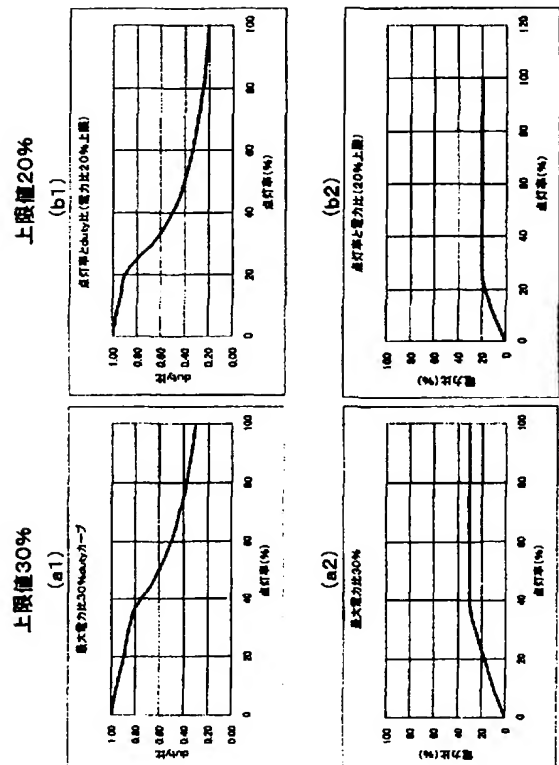
【 図 1 0 8 】



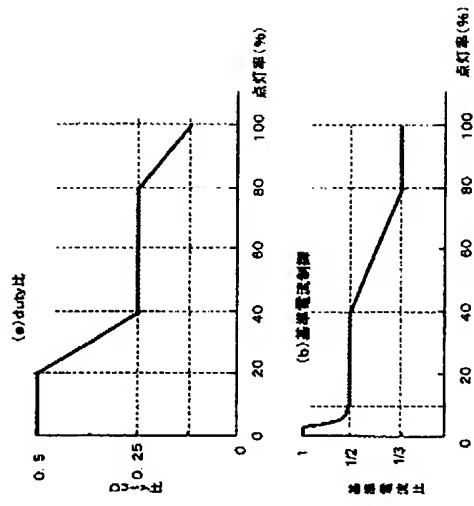
【 図 1 0 9 】



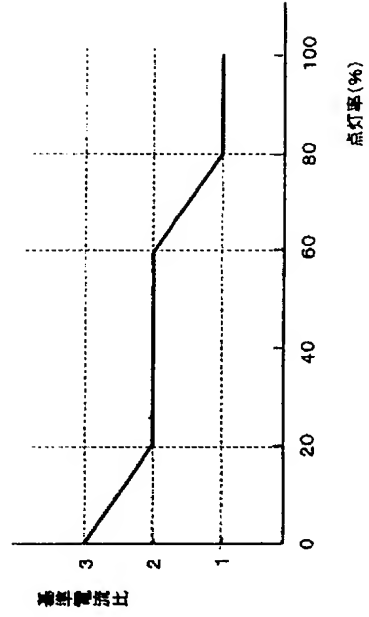
【 図 1 1 0 】



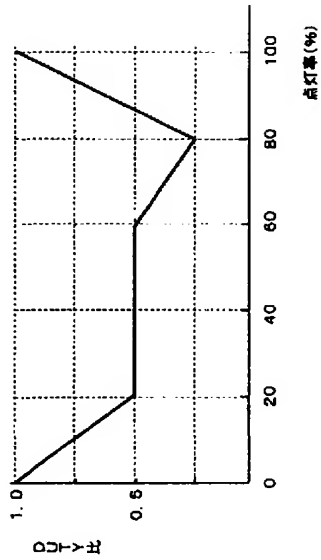
【 图 1 1 1 】



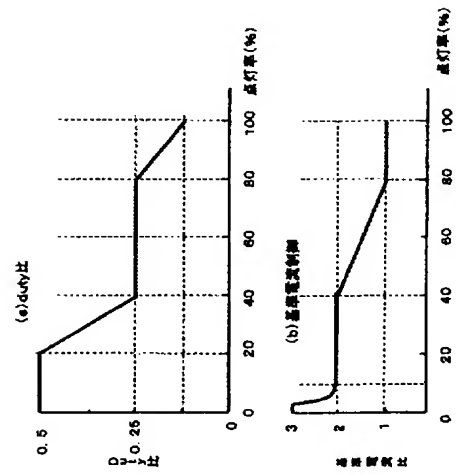
【 图 1 1 2 】



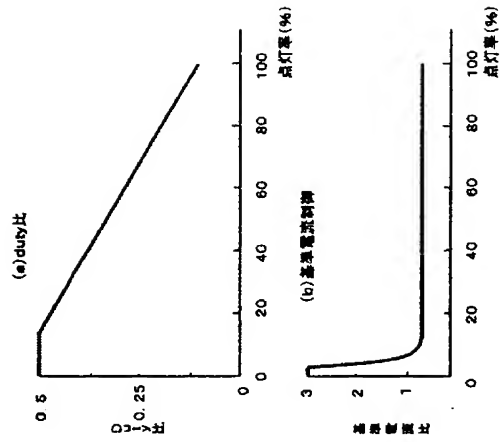
【 图 1 1 3 】



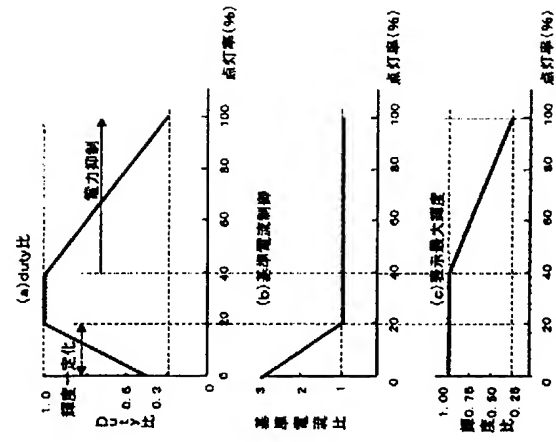
【 图 1 1 4 】



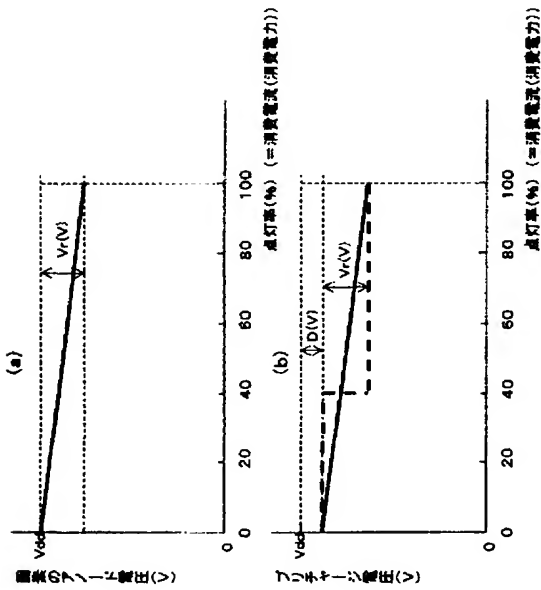
【 図 1 1 5 】



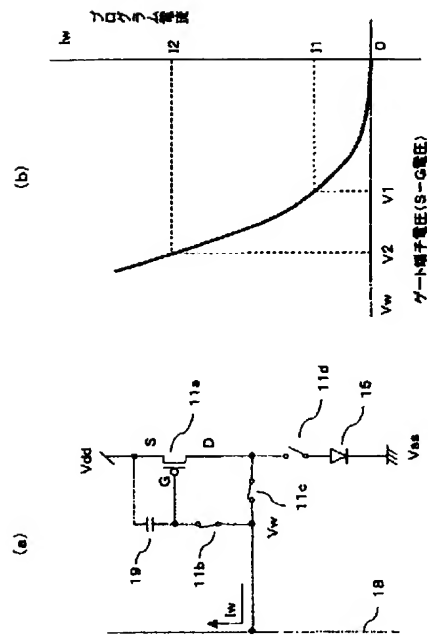
【 図 1 1 6 】



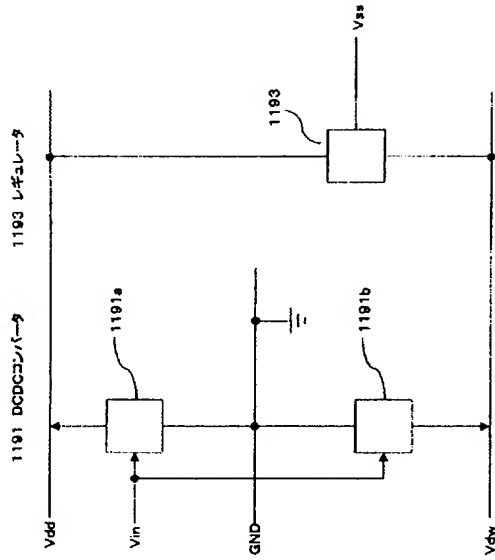
【 図 1 1 7 】



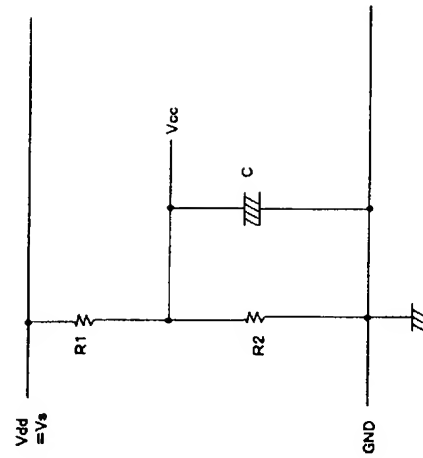
【 図 1 1 8 】



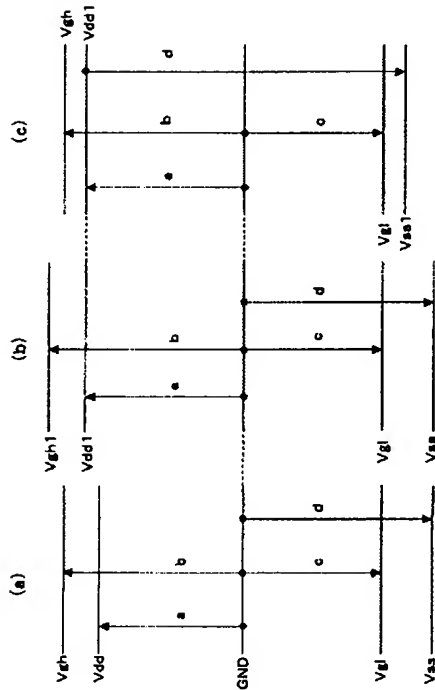
【 図 1 1 9 】



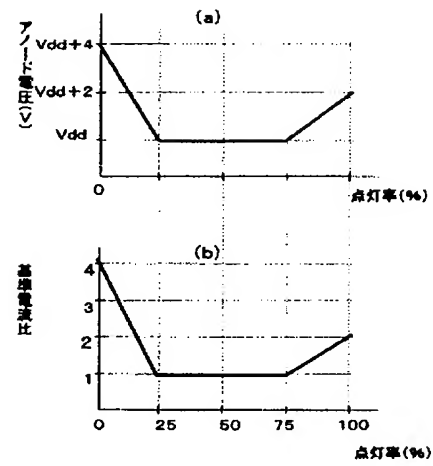
【 図 1 2 0 】



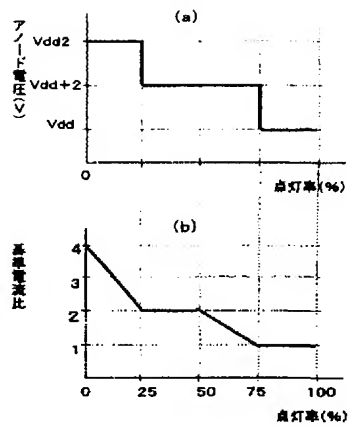
【 図 1 2 1 】



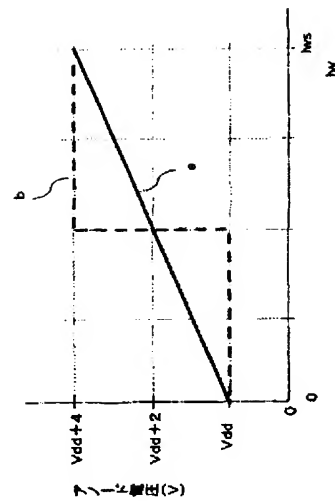
【 図 1 2 2 】



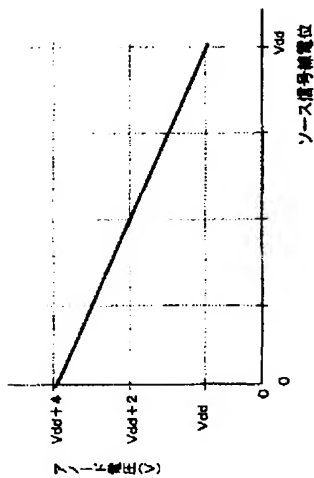
【図 1 2 3】



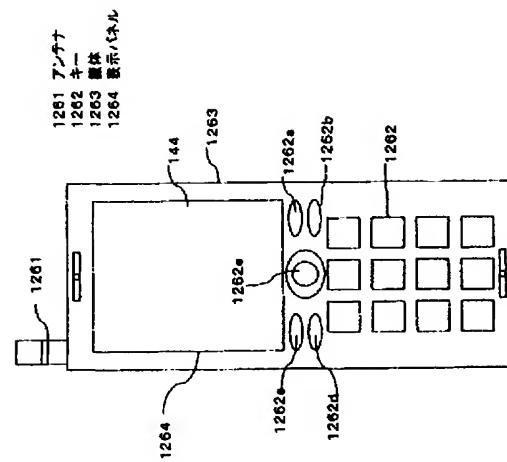
【図 1 2 4】



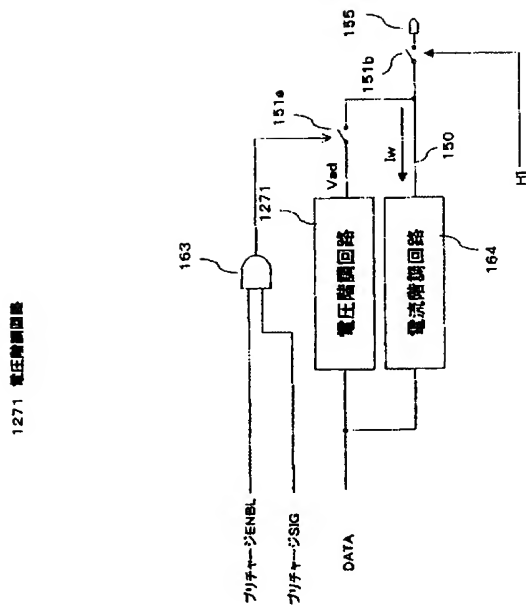
【図 1 2 5】



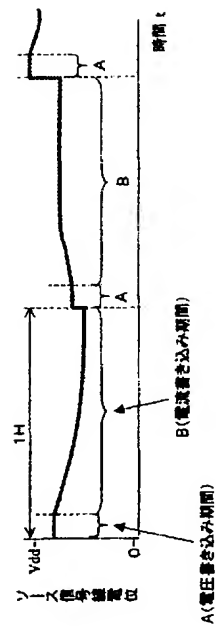
【図 1 2 6】



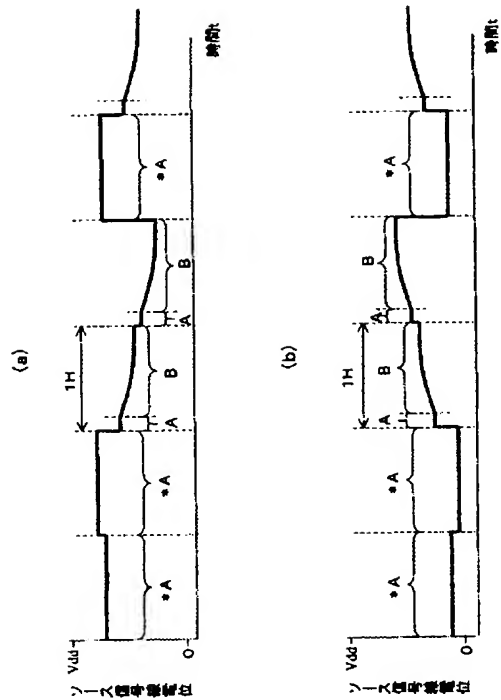
【 ☒ 1 2 7 】



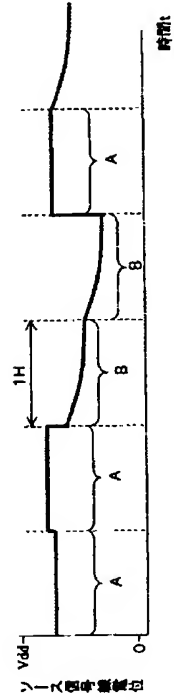
【 図 1 2 8 】



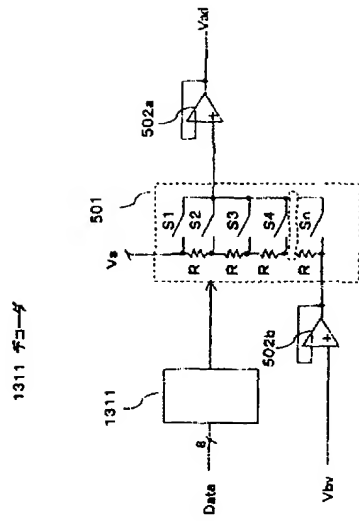
【 ☒ 1 2 9 】



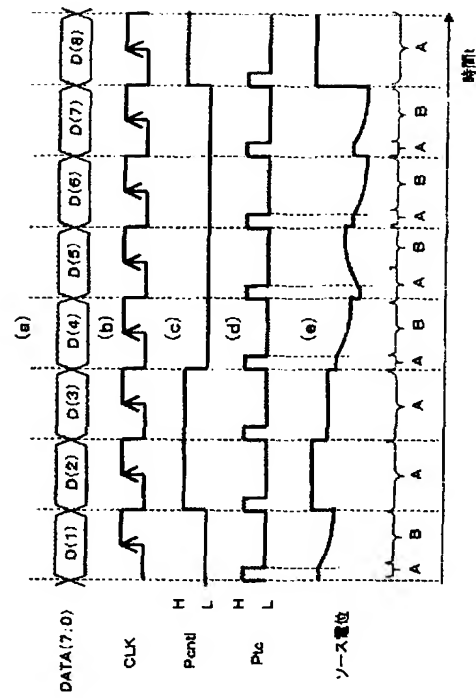
【☒ 1 3 0】



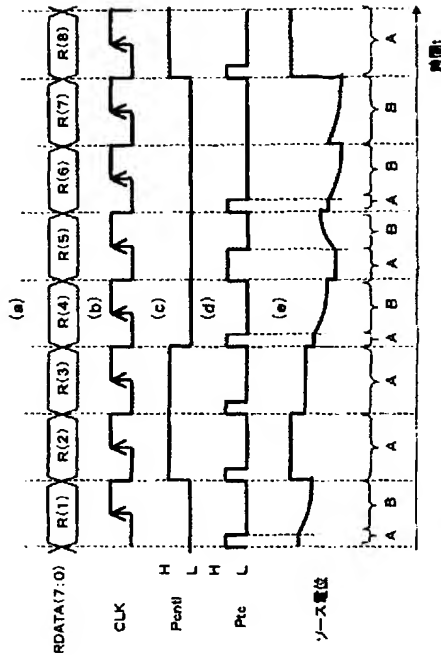
【 図 1 3 1 】



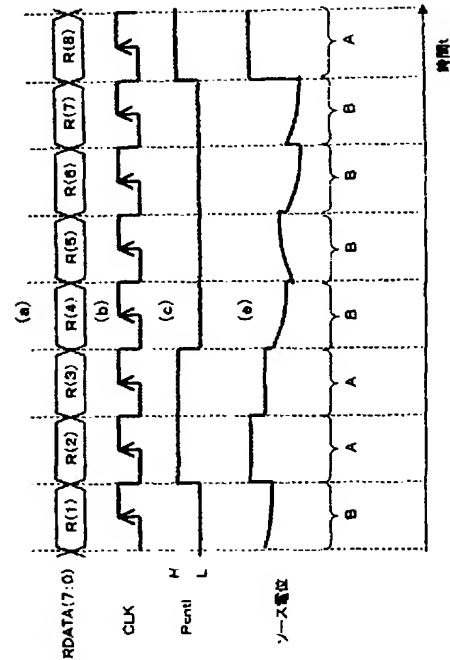
【 図 1 3 2 】



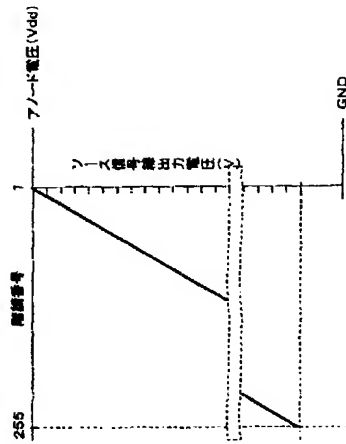
【 図 1 3 3 】



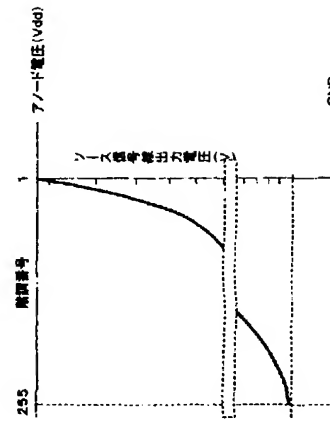
【 図 1 3 4 】



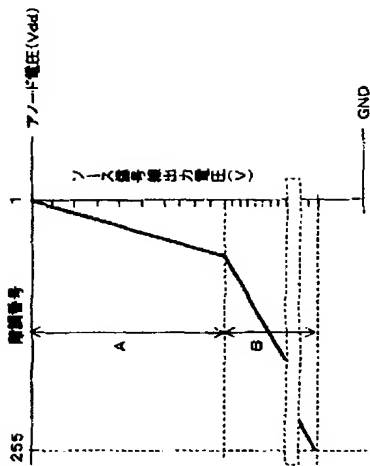
【 図 1 3 5 】



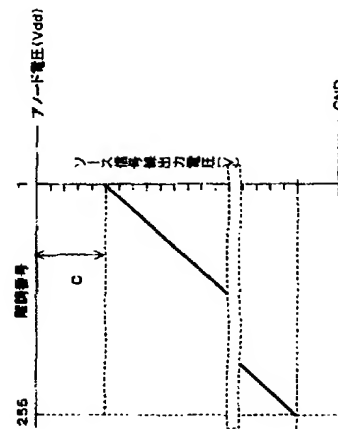
【 図 1 3 6 】



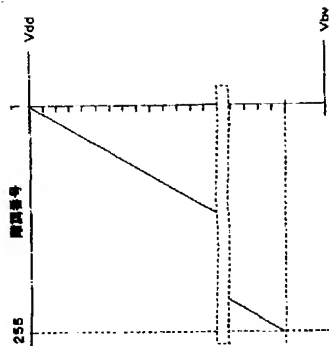
【 図 1 3 7 】



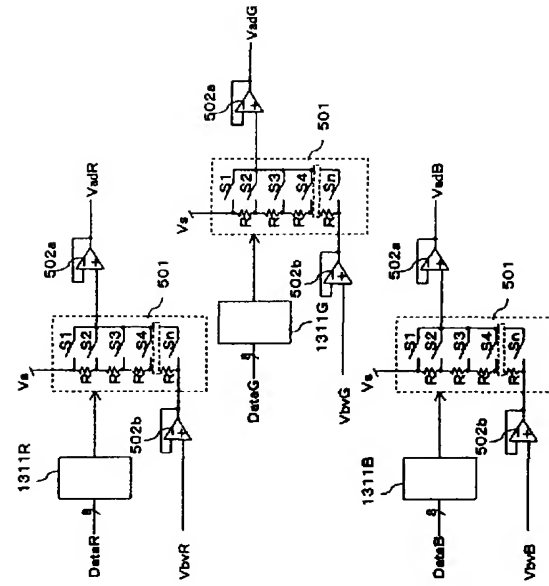
【 図 1 3 8 】



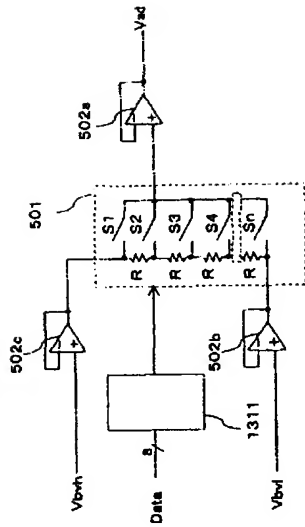
【 図 1 3 9 】



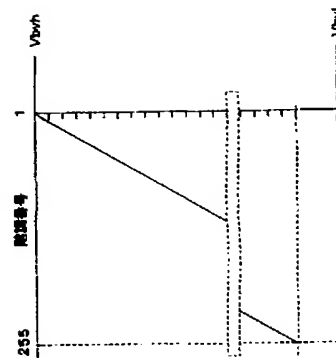
【 図 1 4 0 】



【 図 1 4 1 】

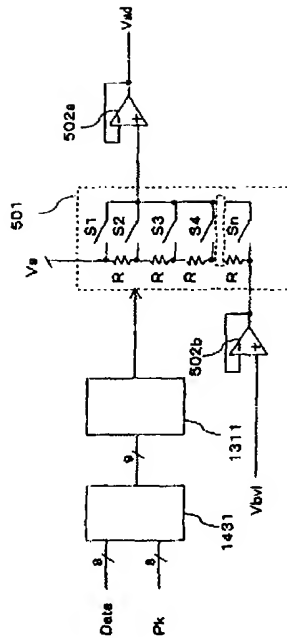


【 図 1 4 2 】

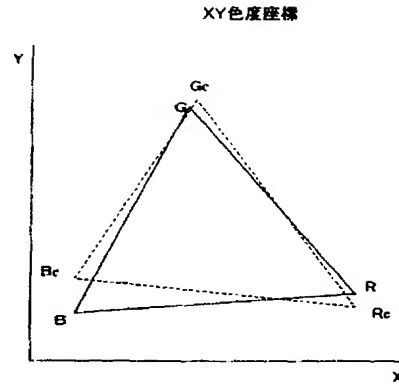


【 图 1 4 3 】

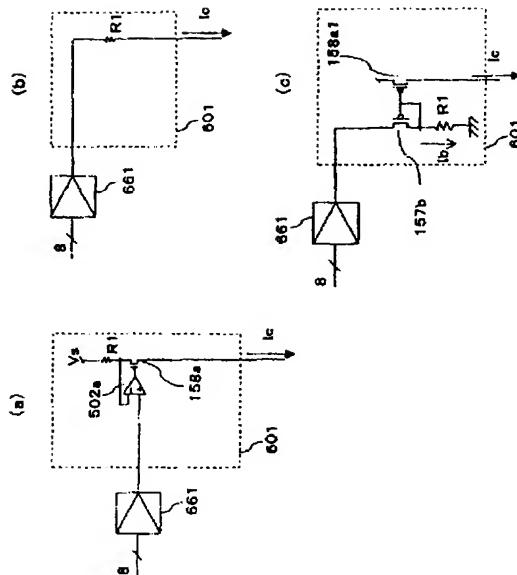
1431 加算回路



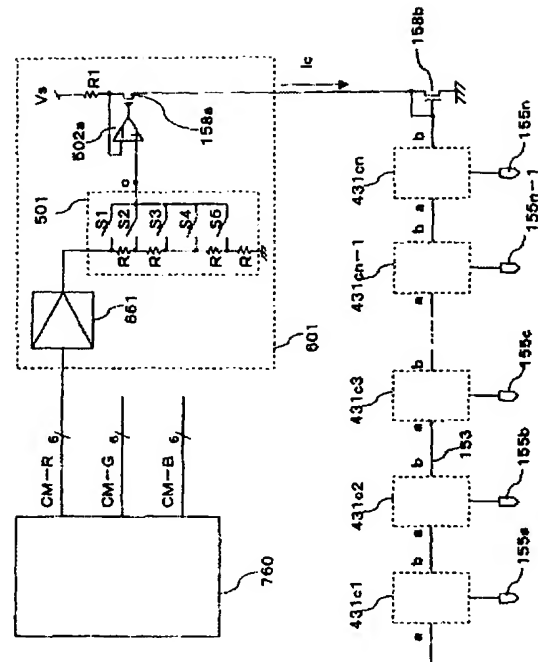
【 图 1 4 4 】



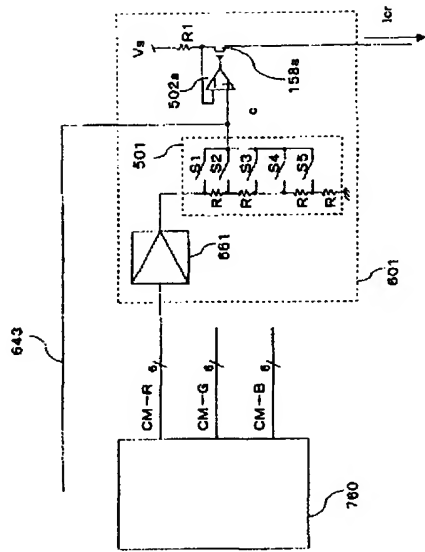
【 图 1 4 5 】



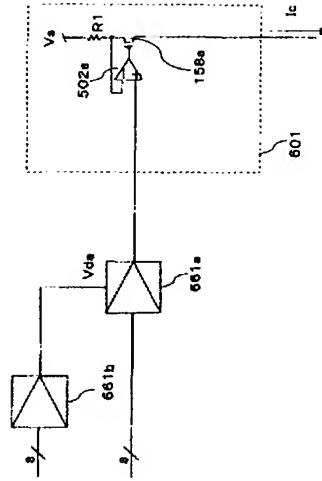
【 图 1 4 6 】



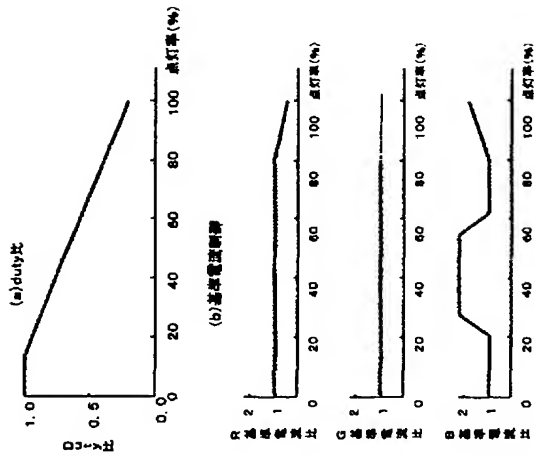
【 図 1 4 7 】



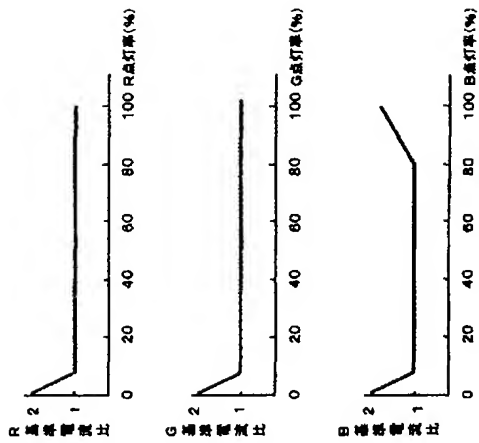
【 図 1 4 8 】



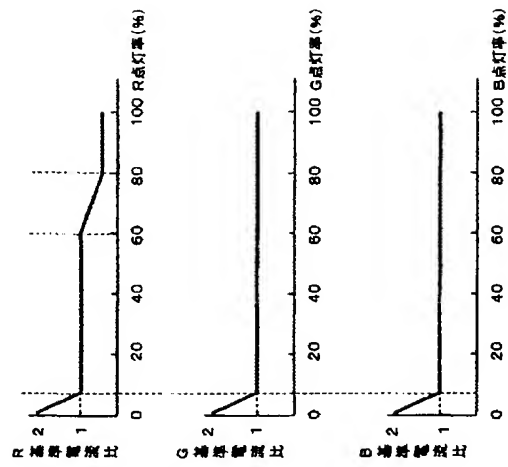
【 図 1 4 9 】



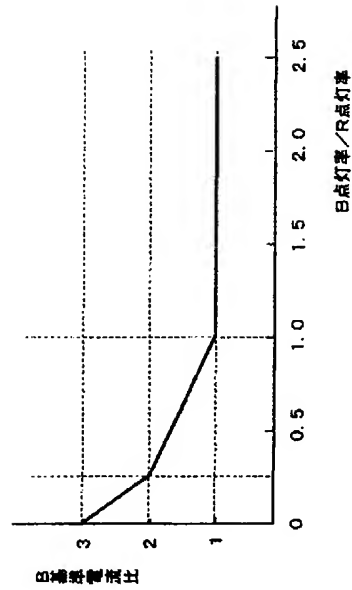
【 図 1 5 0 】



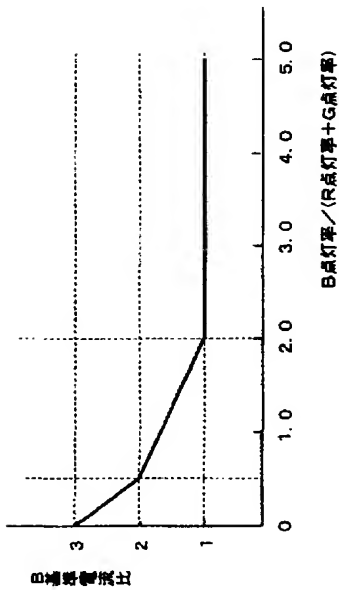
【図 1 5 1】



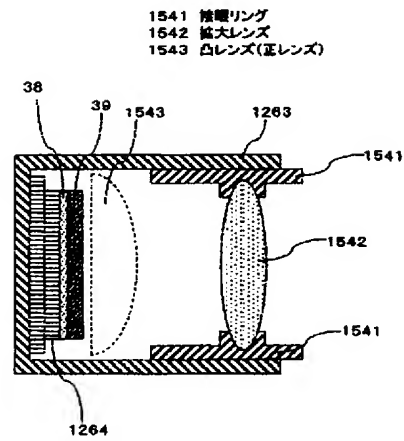
【図 1 5 2】



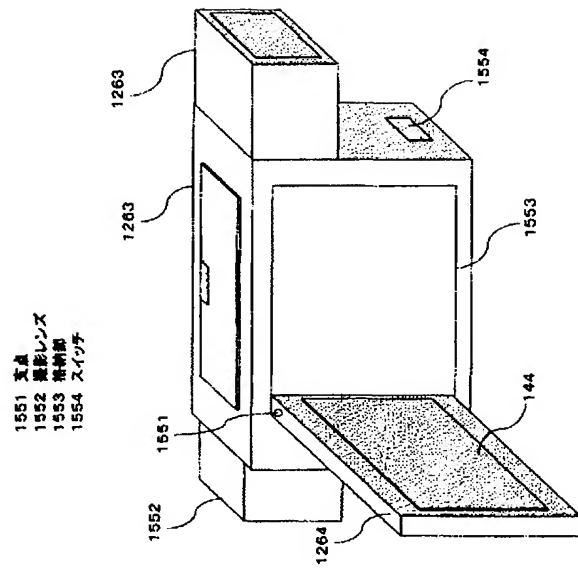
【図 1 5 3】



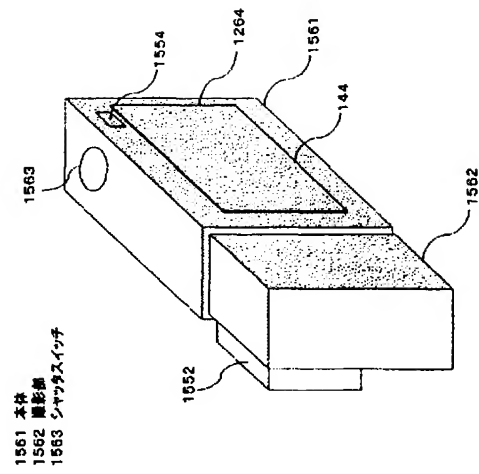
【図 1 5 4】



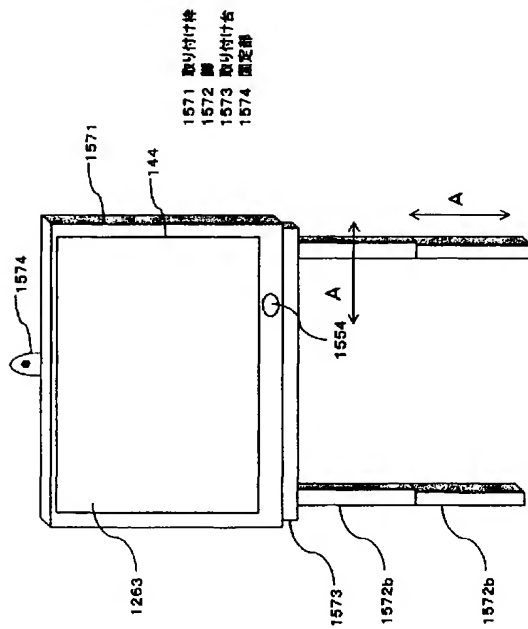
【 図 1 5 5 】



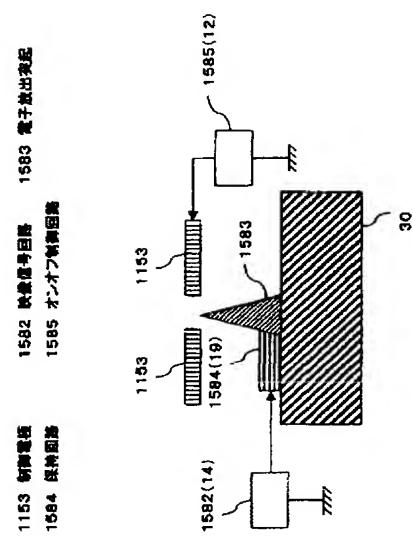
【 図 1 5 6 】



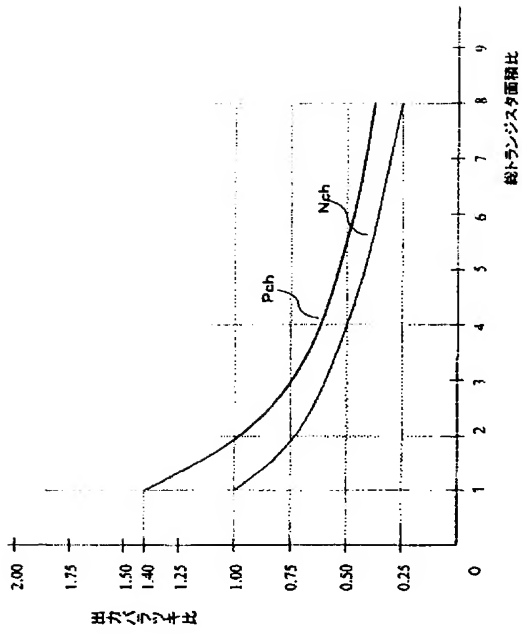
【 図 1 5 7 】



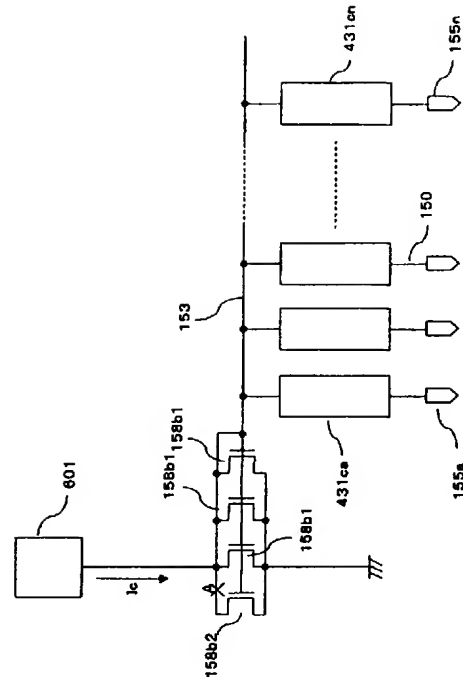
【 図 1 5 8 】



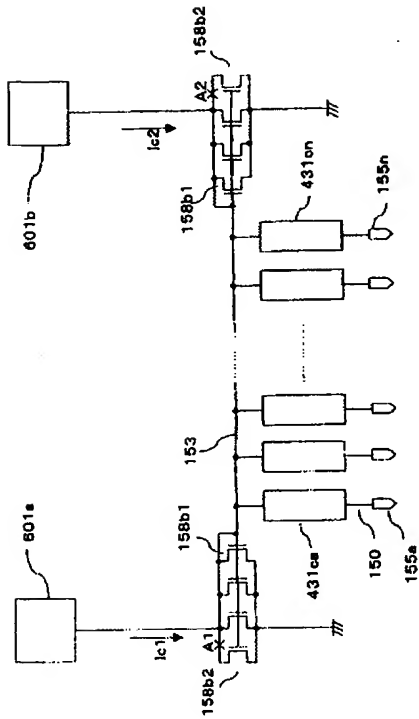
【図 159】



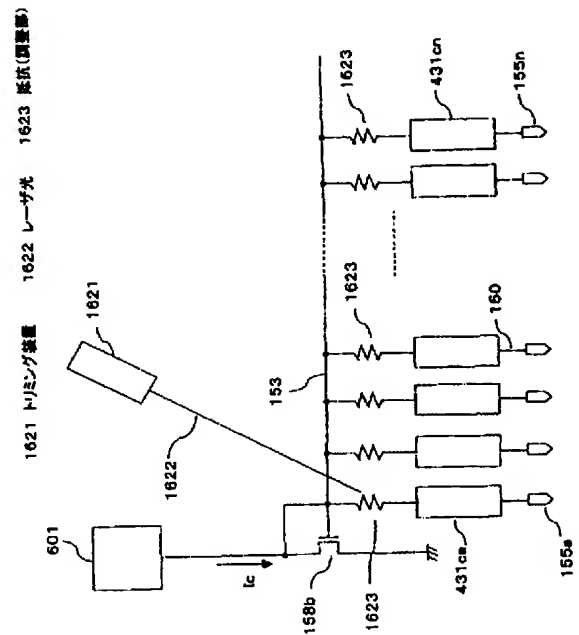
【図 160】



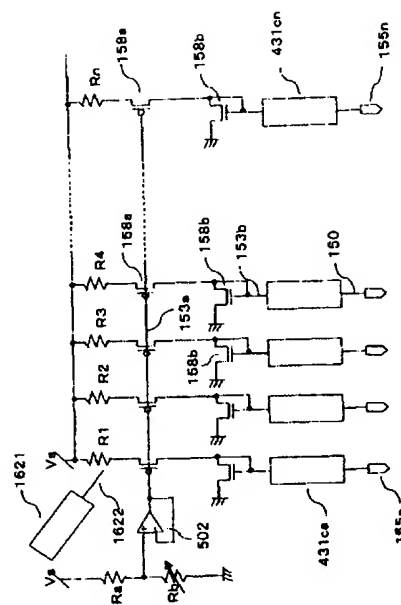
【図 161】



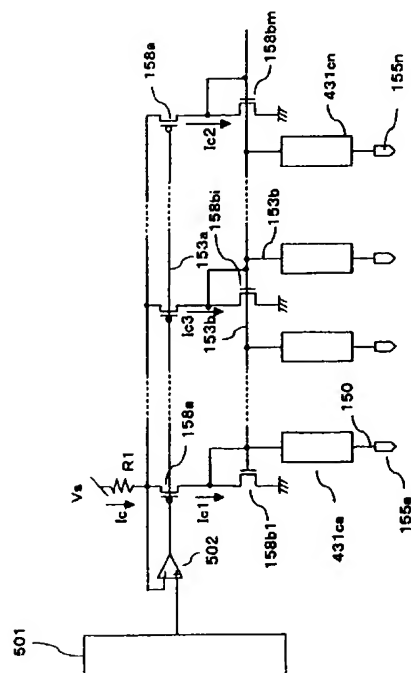
【図 162】



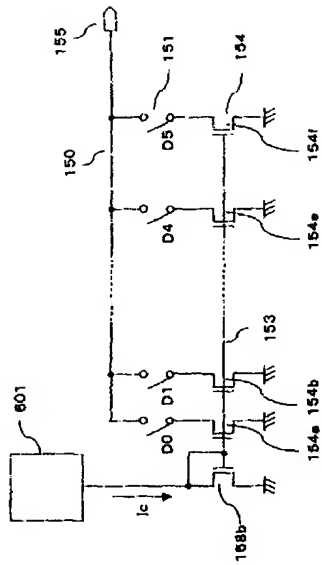
【 図 1 6 4 】



【図 166】

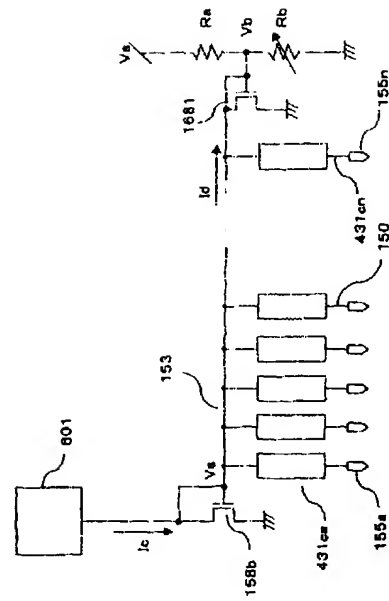


【 図 167 】

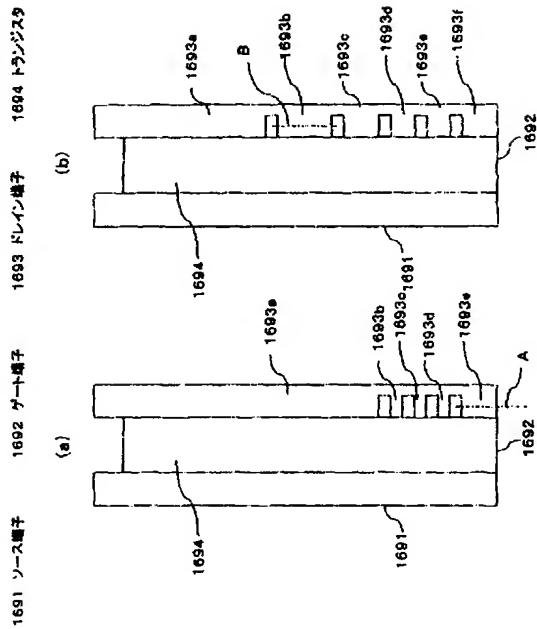


【 図 168 】

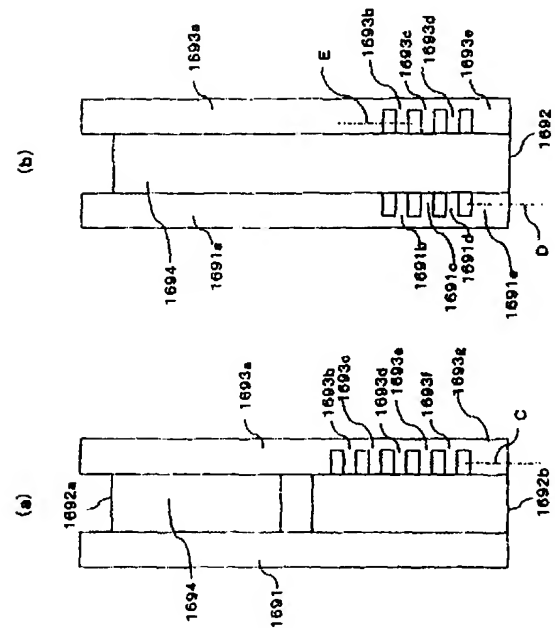
1681 補正トランジスタ



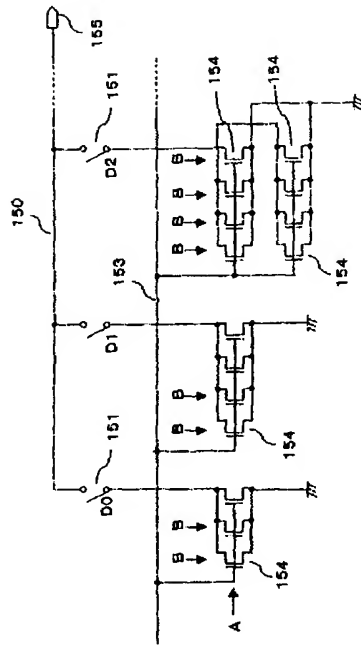
【 図 169 】



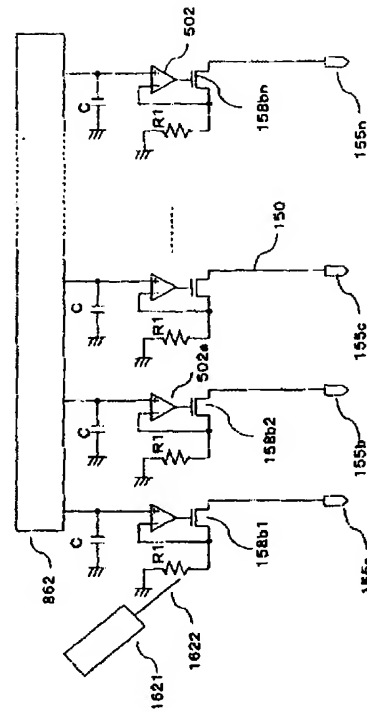
【 図 170 】



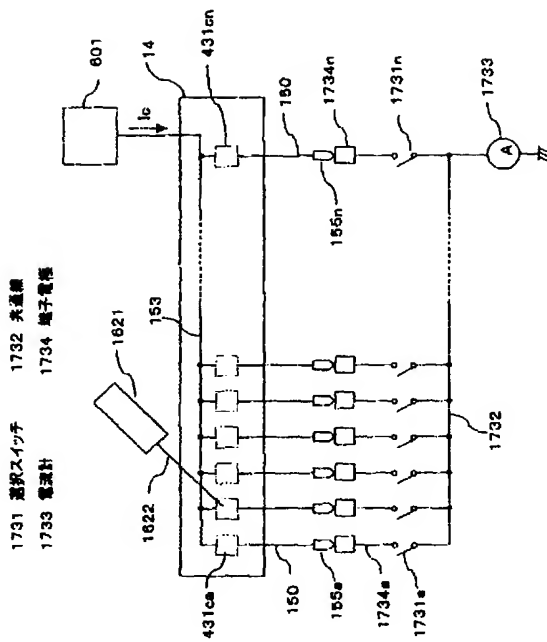
【図 171】



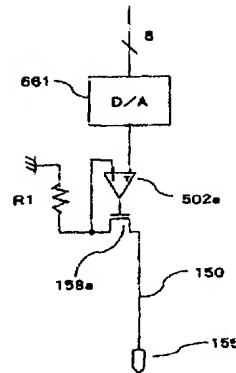
【図 172】



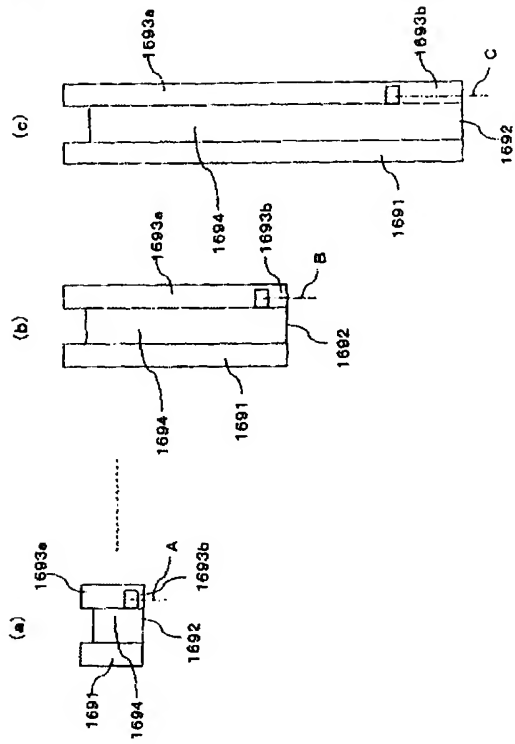
【図 173】



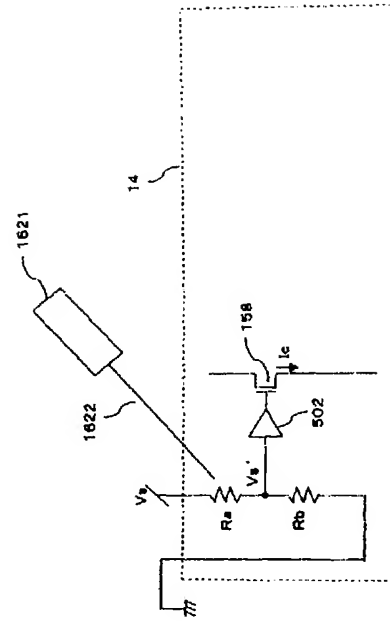
【図 174】



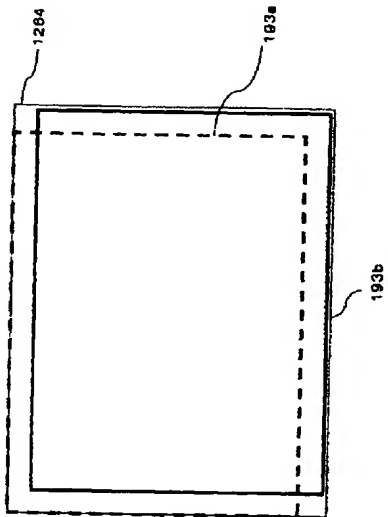
【 図 1 7 5 】



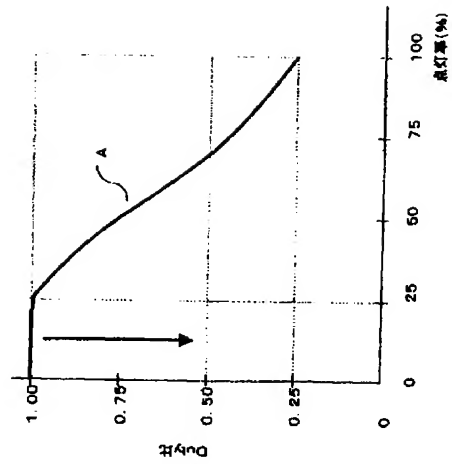
【 図 1 7 6 】



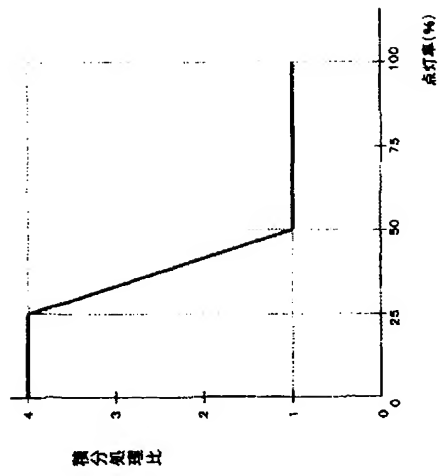
【 図 1 7 7 】



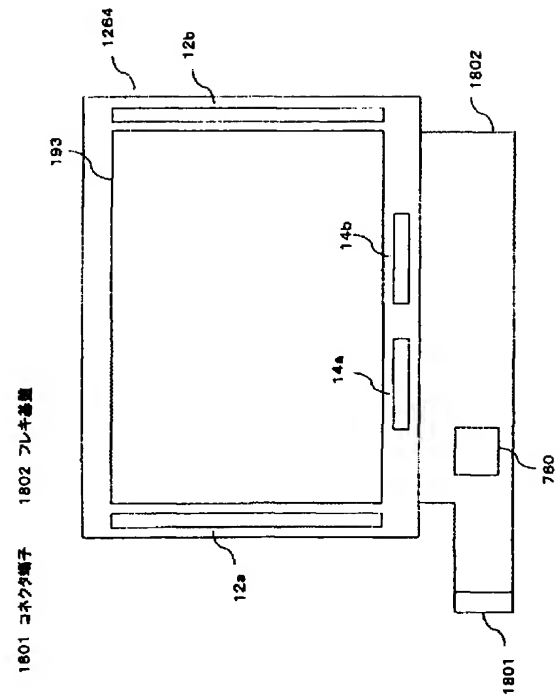
【 図 1 7 8 】



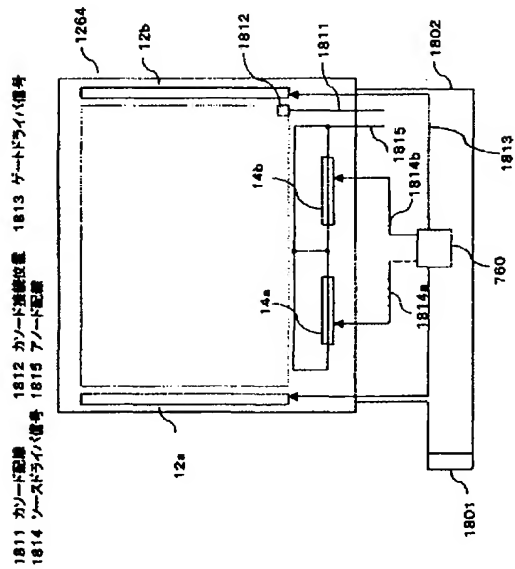
【 図 1 7 9 】



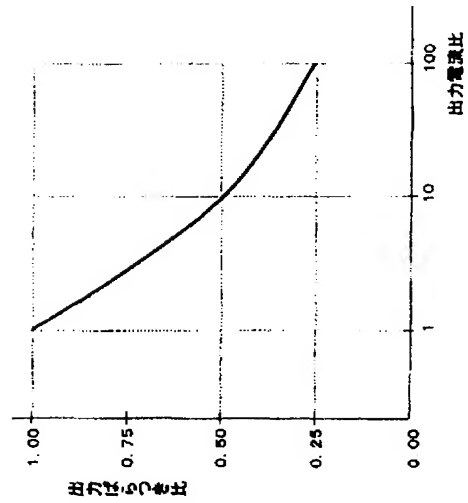
【 図 1 8 0 】



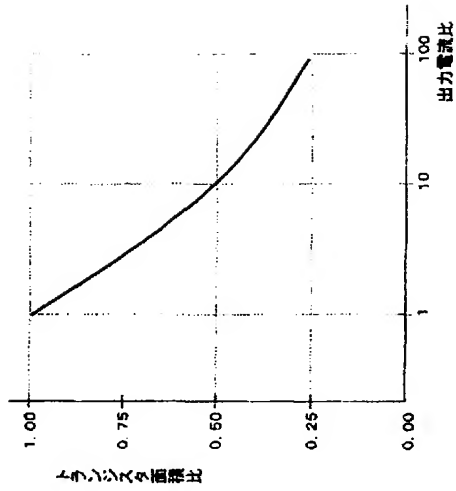
【 図 1 8 1 】



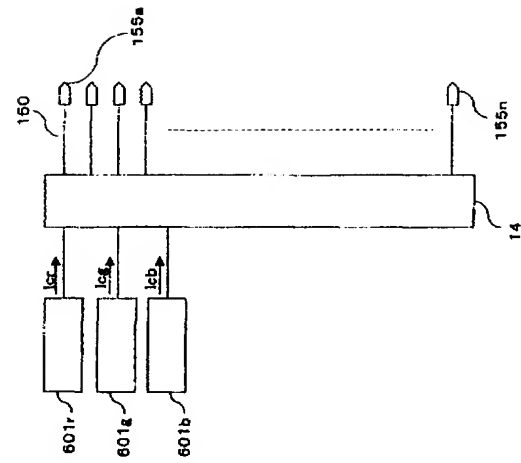
【 図 1 8 2 】



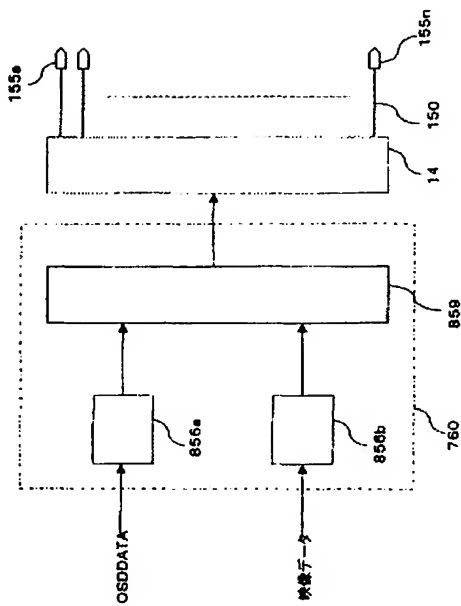
【図 183】



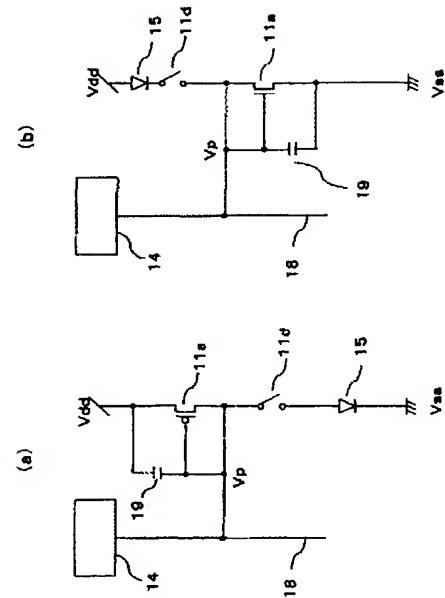
【図 184】



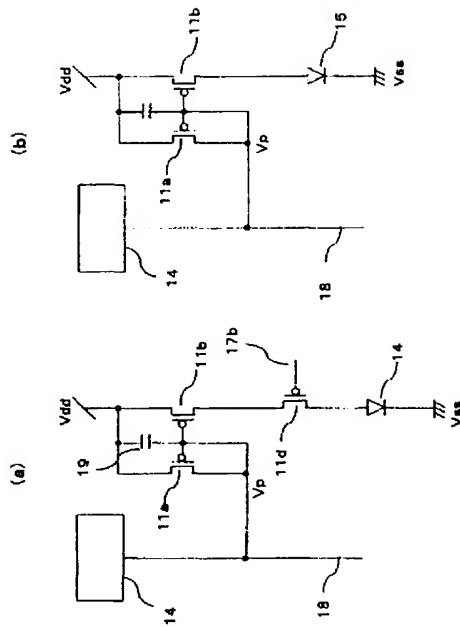
【図 185】



【図 186】

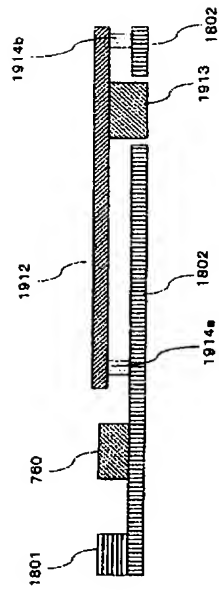


【 1 8 7 】

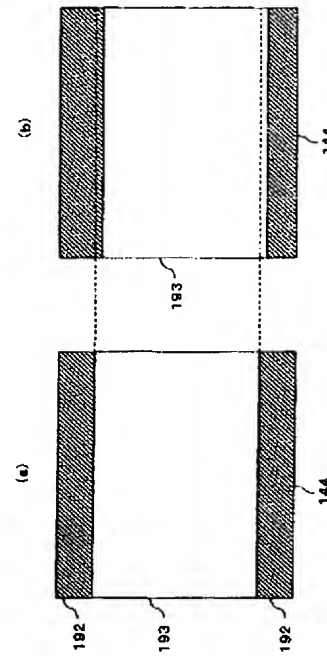


【 図 1 9 1 】

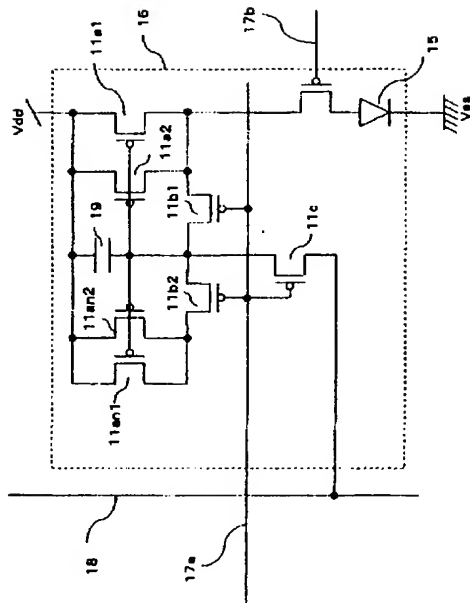
1912 電圧モジュール 1913 コイル(トランス) 1914 誘導線子



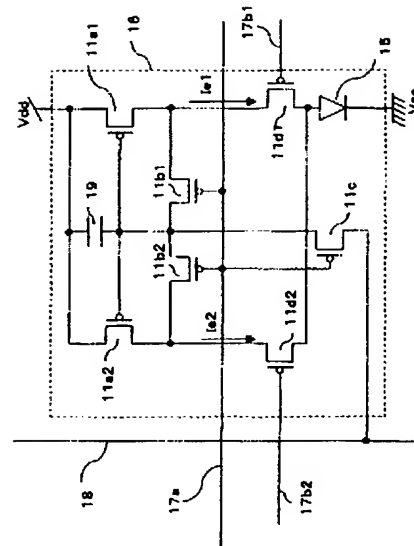
【 図 1 9 2 】



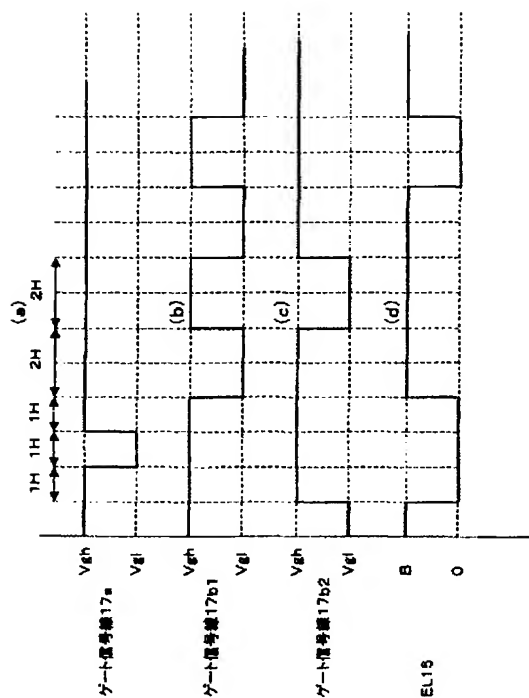
【 図 1 9 3 】



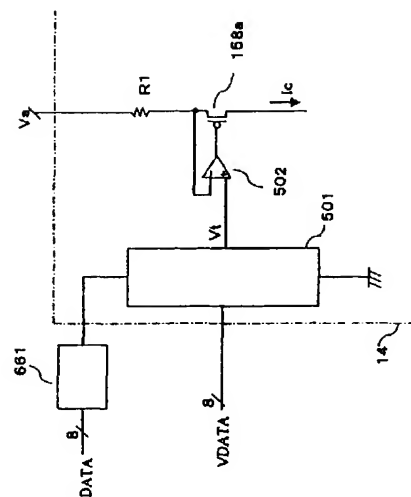
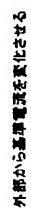
【 図 1 9 4 】



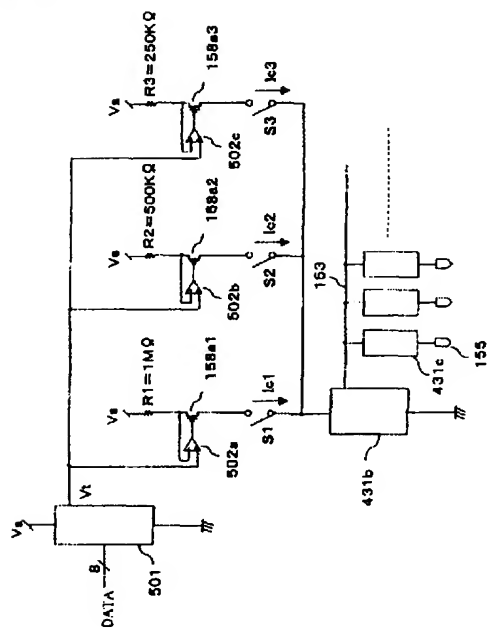
【 図 1 9 5 】



【 図 1 9 6 】

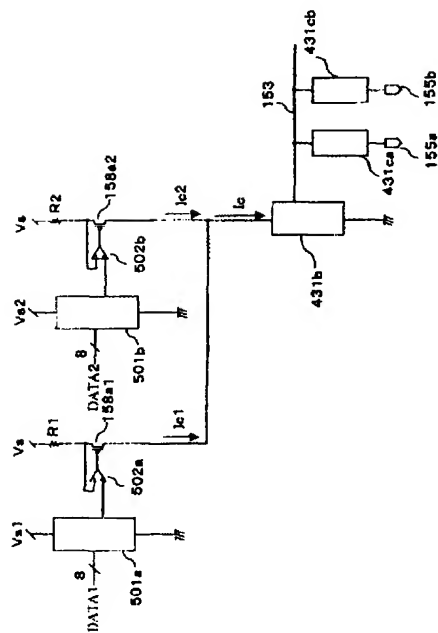


【圖 197】

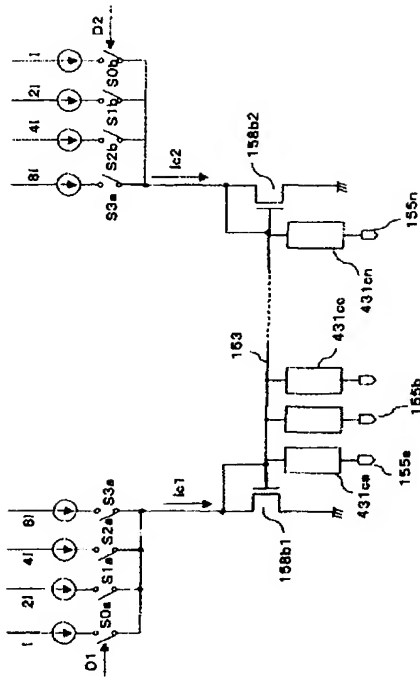


【 図 1 9 8 】

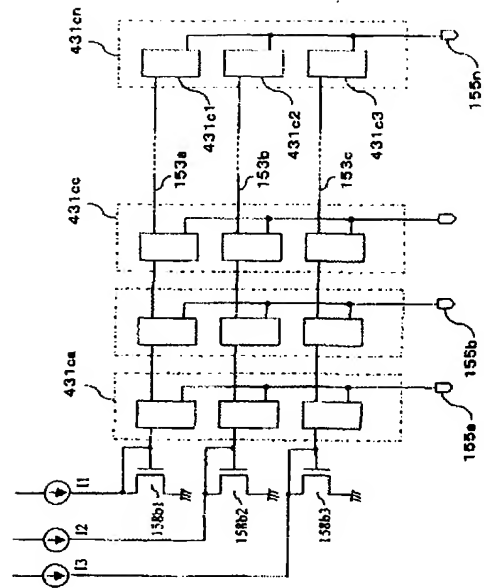
複数の基準電流を用いる



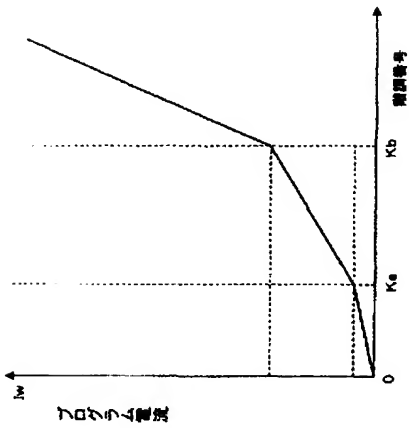
【 1 9 9 】



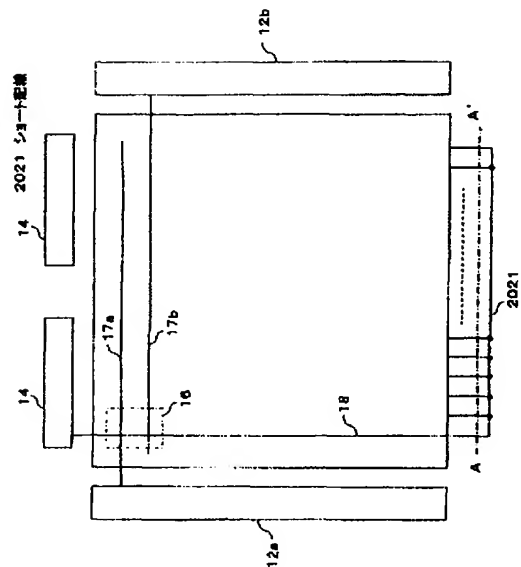
【 図 2 0 0 】



【圖 201】

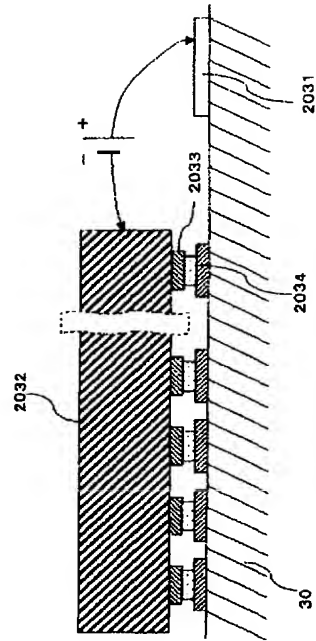


【 2 0 2 】



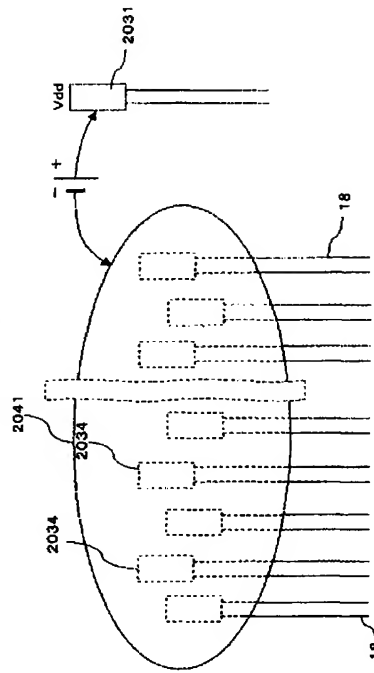
【 図 2 0 3 】

2031 ノード端子配線 2032 ショートチップ 2033 チップ端子
2034 ソース信号線端子

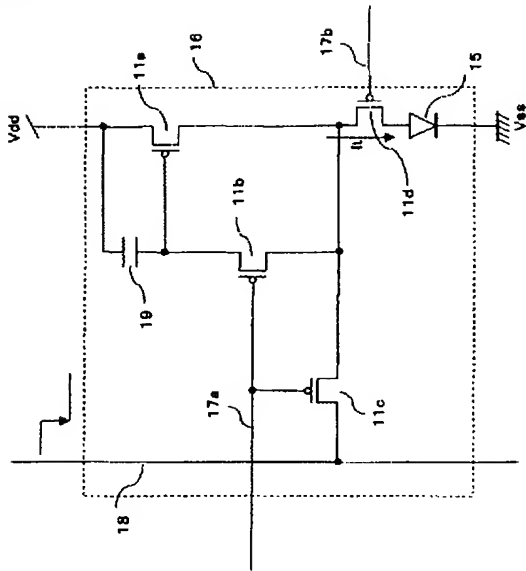


【 図 2 0 4 】

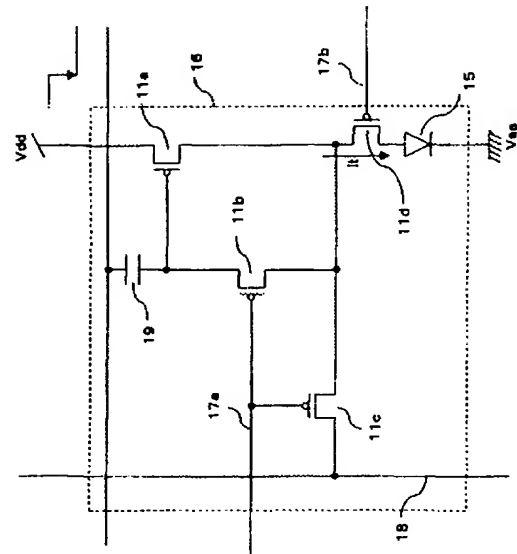
2041 ショート線



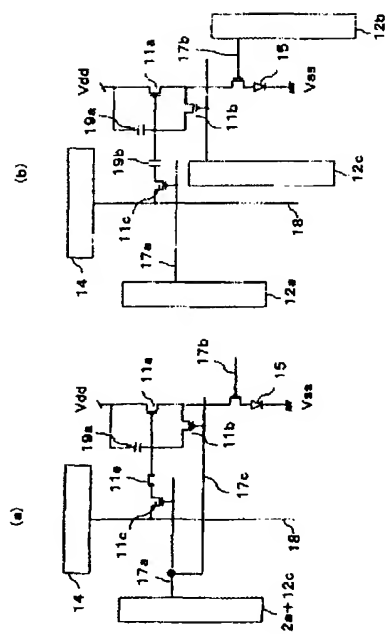
【 図 2 0 5 】



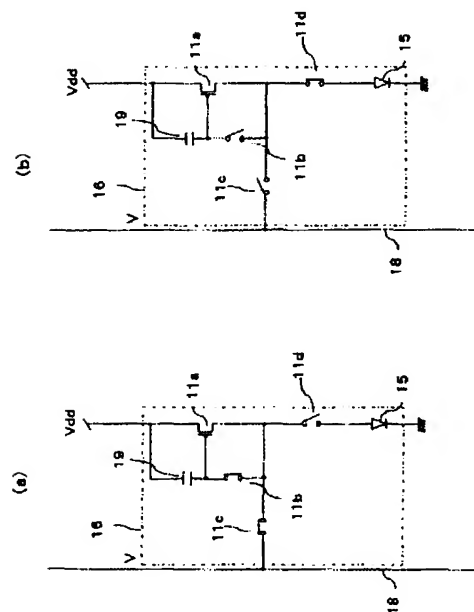
【 図 2 0 6 】



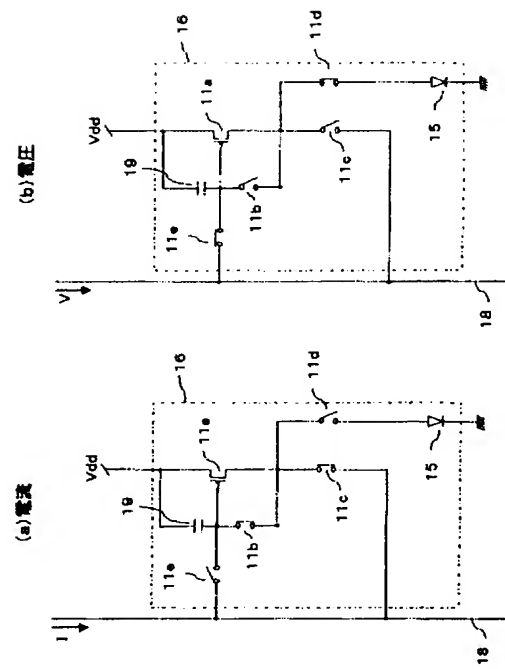
【 2 1 2 】



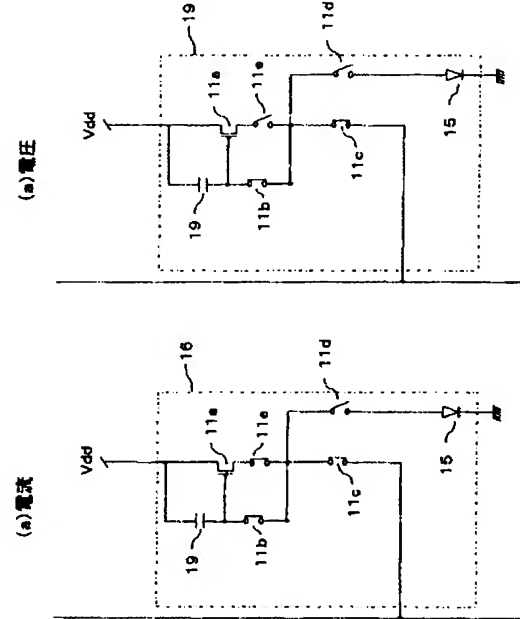
【 図 2 1 4 】



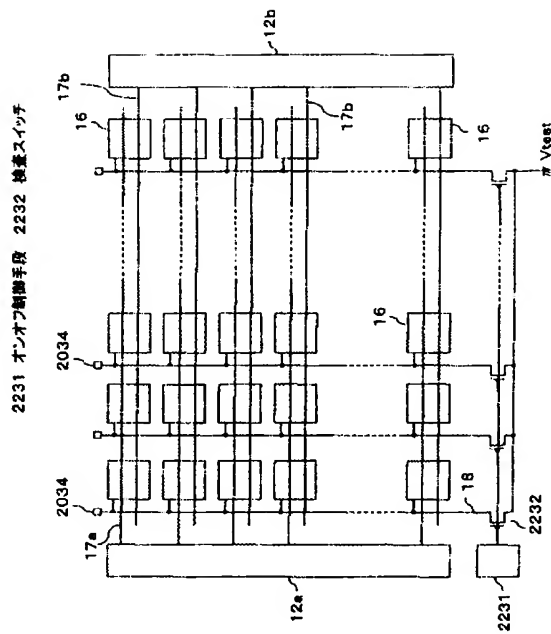
【 図 2 1 6 】



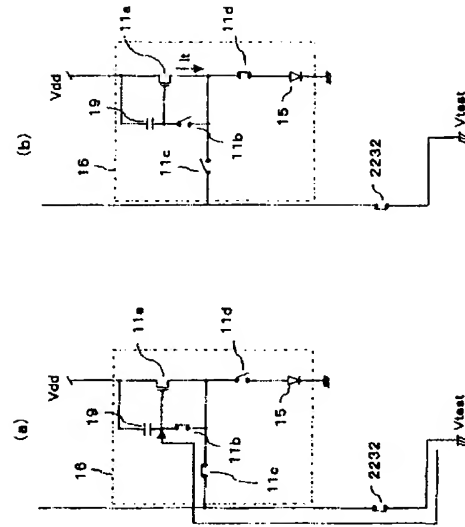
【 2 1 8 】



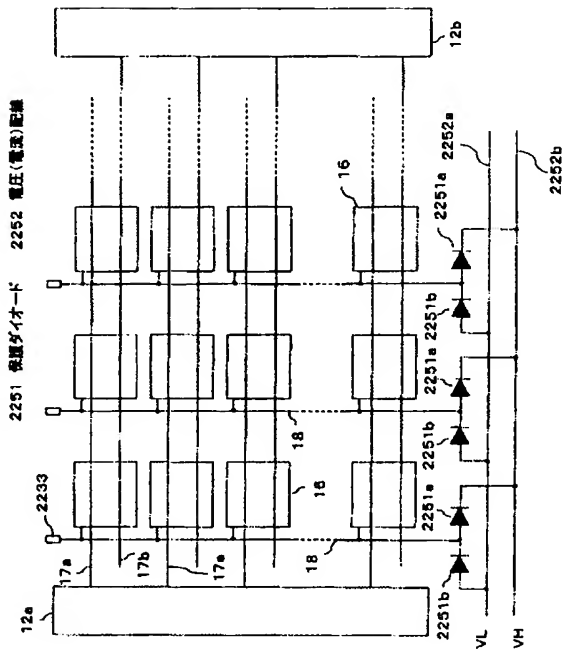
【図 2 2 3】



【図 2 2 4】

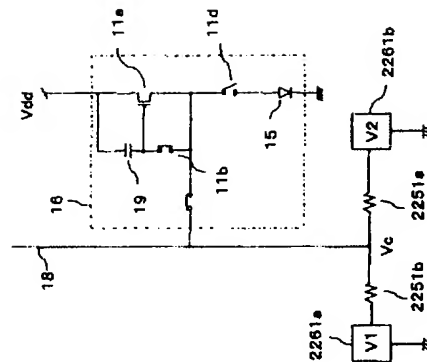


【図 2 2 5】

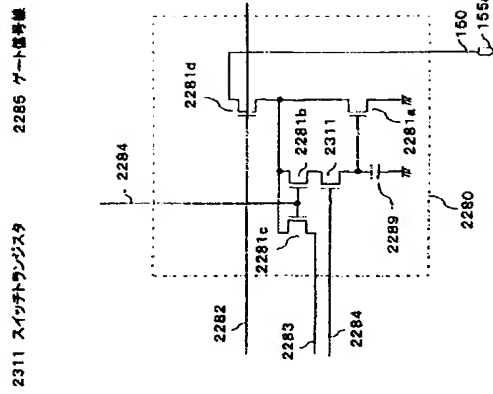


【図 2 2 6】

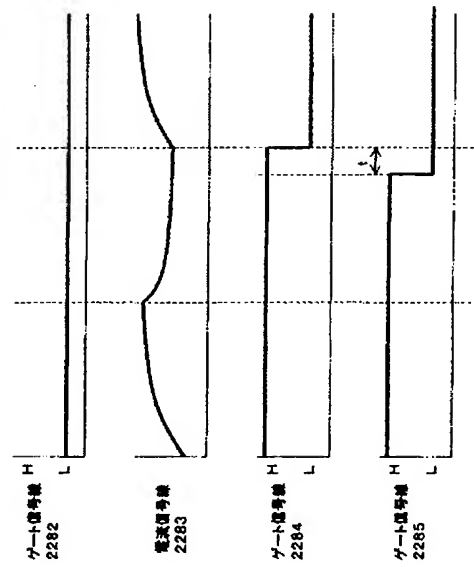
2261 電圧源



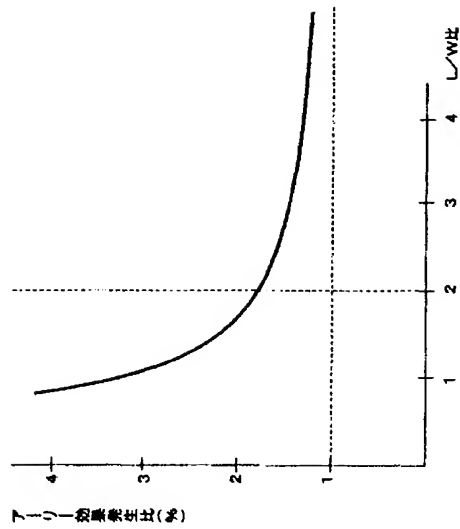
【 図 2 3 1 】



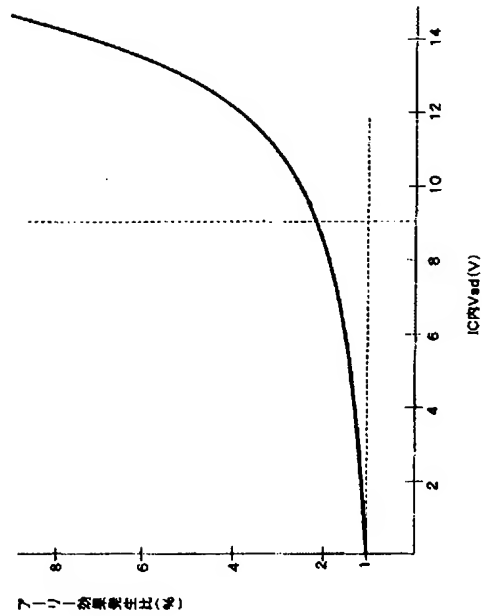
【 図 2 3 2 】



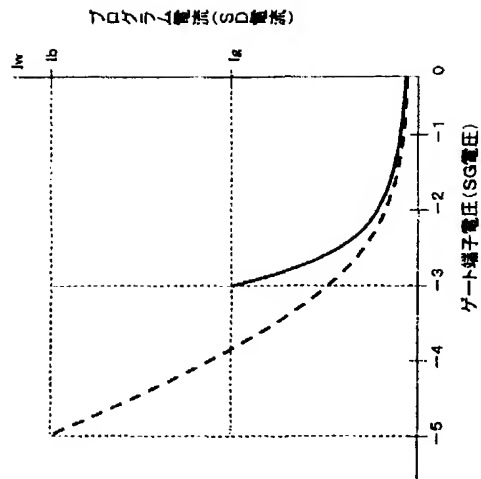
【 図 2 3 3 】



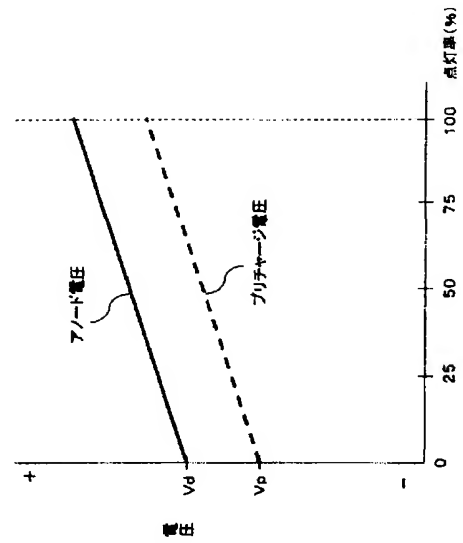
【 図 2 3 4 】



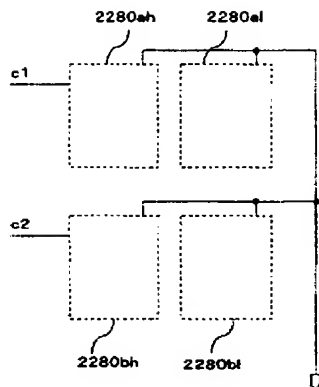
【図 2 3 5】



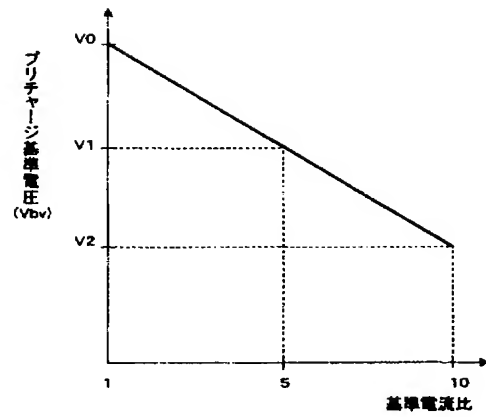
【図 2 3 6】



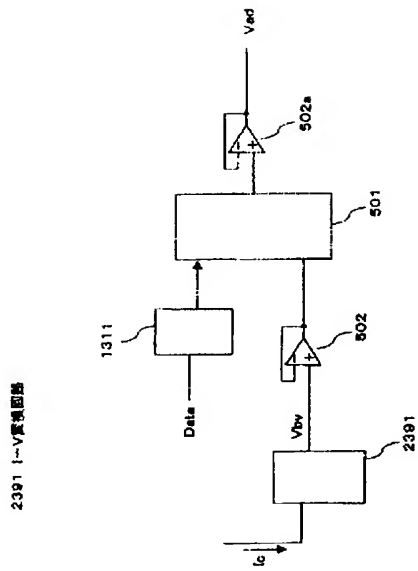
【図 2 3 7】



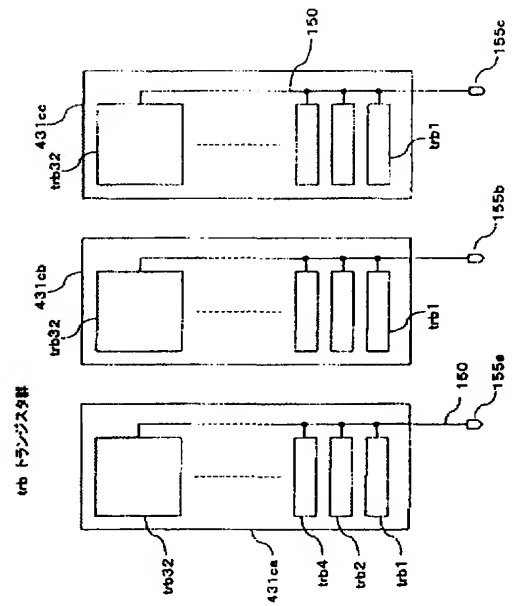
【図 2 3 8】



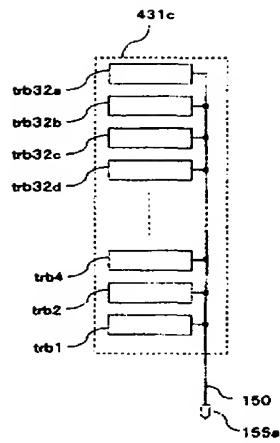
【 図 2 3 9 】



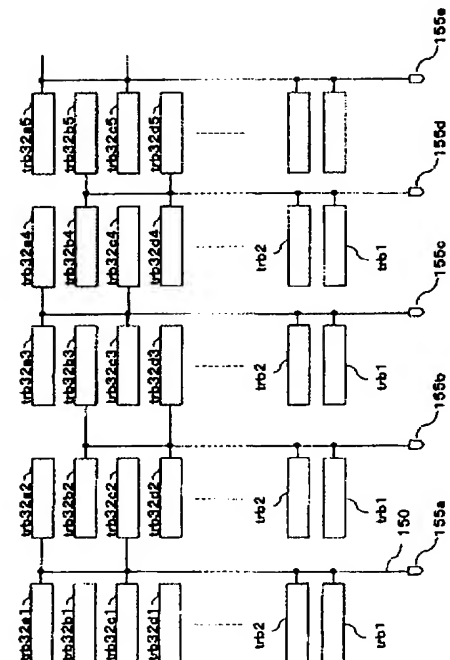
【 図 2 4 0 】



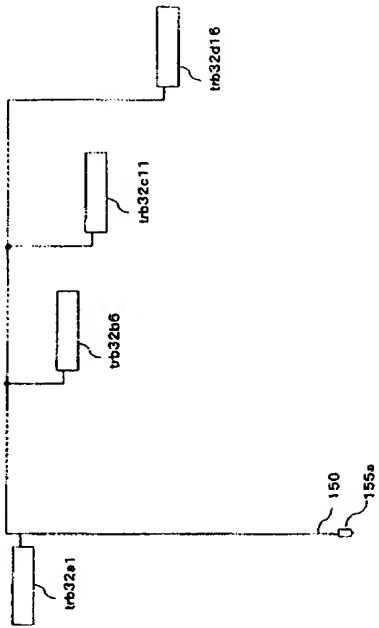
【 図 2 4 1 】



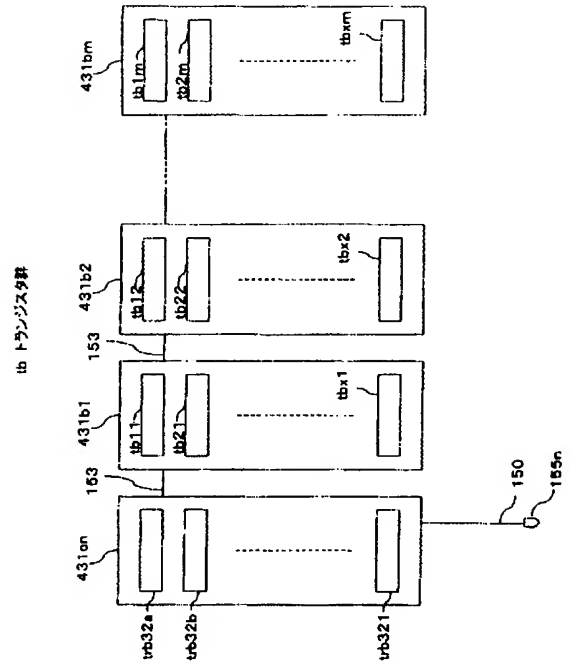
【 図 2 4 2 】



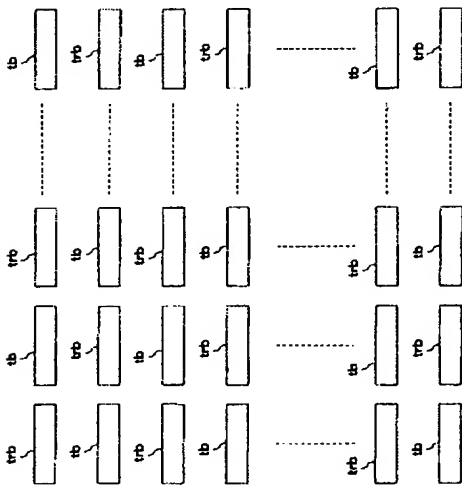
【 図 2 4 3 】



【 図 2 4 4 】



【 図 2 4 5 】



フロントページの続き

(51) Int. Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 P
H 0 5 B	33/14	A

6002/91/4 de nba c s